

AGH

AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE
Wydział Fizyki i Informatyki Stosowanej

Praca magisterska

Jakub Moroń

Mirosław Firlej

kierunek studiów: **fizyka techniczna**

specjalność: **fizyka jądrowa**

Projekt układu transceiver'a do szybkiej komunikacji szeregowej

Opiekun: **dr hab. inż. Marek Idzik**

Kraków, czerwiec 2010

Oświadczamy, świadomi odpowiedzialności karnej za poświadczenie nieprawdy, że niniejszą pracę dyplomową wykonaliśmy osobiście i samodzielnie i nie korzystaliśmy ze źródeł innych niż wymienione w pracy.

Jakub Moroń:

.....
(czytelny podpis)

Mirosław Firlej:

.....
(czytelny podpis)

Kraków, 30 czerwca 2010

**Tematyka pracy magisterskiej i praktyki dyplomowej Jakuba Moronia i
Mirosława Firleja, studentów V roku studiów kierunku fizyka techniczna,
specjalności fizyka jądrowa**

Temat pracy magisterskiej: **Projekt układu transceiver'a do szybkiej komunikacji szeregowej**

Opiekun pracy: dr hab. inż. Marek Idzik
Recenzenci pracy: dr inż. Tomasz Fiutowski
dr inż. Krzysztof Świentek

Miejsce praktyki dyplomowej: WFiIS AGH, Kraków

Program pracy magisterskiej i praktyki dyplomowej

1. Omówienie realizacji pracy magisterskiej z opiekunem.
2. Zebranie i opracowanie literatury dotyczącej tematu pracy.
3. Praktyka dyplomowa:
 - zapoznanie się z ideą działania układu PLL (Phase Locked Loop)
 - zapoznanie się z ideą działania układu CDR (Clock Data Recovery)
 - wstępne projekty układów i ich symulacje
 - dyskusja i analiza uzyskanych wyników
 - sporządzenie sprawozdania z praktyki.
4. Kontynuacja projektów związanych z tematem pracy magisterskiej.
5. Wykonanie masek technologicznych układu.
6. Badanie funkcjonalności zrealizowanego układu scalonego, jego omówienie i zatwierdzenie przez opiekuna.
7. Opracowanie redakcyjne pracy.

Termin oddania w dziekanacie: 30 czerwca 2010

.....
(podpis kierownika katedry)

.....
(podpis opiekuna)

Opracowanie układu szybkiego transceiver'a nie jest zadaniem prostym do zrealizowania, ze względu na znaczną ilość wymaganych w układzie bloków funkcjonalnych i przerasta znacznie możliwości jednej osoby. Z tego względu stworzenie układu, który mógłby być porównywany z pracami opisywanymi w publikacjach międzynarodowych wymagało pracy w zespole dwuosobowym. Ze względu na ściśle powiązanie elementów projektu ze sobą nie da się w sposób jednoznaczny podzielić pracy na dwie części. Częste referencje z jednej części do drugiej utrudniłyby jeszcze bardziej zrozumienie treści zawartej w pracy. Opracowanie redakcyjne pracy zostało zatem podzielone w następujący sposób:

Jakub Moroń opracował:

- Podstawy teorii transmisji sygnałów (podrozdział 1.1)
- Ogólną koncepcję budowy nadajnika i odbiornika (podrozdział 1.2)
- Teoretyczny opis układów CDR (podrozdział 2.1)
- Teoretyczną analizę różnych architektur przerzutników (podrozdział 2.6)
- Teoretyczną analizę rejestru wejściowego i wyjściowego (podrozdział 2.8)
- Opis symulacji i budowy przerzutników (podrozdział 3.10)
- Opis symulacji i budowy rejestru wejściowego ("serializer'a") i wyjściowego ("deserializer'a") (podrozdziały 3.11, 3.12)
- Szybką logikę testową na układzie FPGA (podrozdział 4.1)

Mirosław Firlej opracował:

- Teoretyczną ogólną analizę pętli fazowej (podrozdział 2.2)
- Teoretyczny opis elementów pętli fazowej (PFD,CP,VCO) (podrozdziały 2.3, 2.4, 2.5)
- Opis buforów LVDS (podrozdział 2.7)
- Ogólną budowę projektowanego układu ASIC (podrozdział 3.1)
- Opis symulacji i budowy układu CDR (podrozdział 3.2)
- Opis budowy pętli fazowej i jej podukładów (podrozdziały 3.3, 3.4, 3.5, 3.6, 3.8)
- Opis symulacji i budowy układu synchronizacji (podrozdział 3.7)
- Główny układ polaryzujący (podrozdział 3.9)
- Płytkę bazową dla zaprojektowanego ASIC'a oraz układ kontroli i sterowania pomiarem (podrozdział 4.2, 4.3)

Wspólnie opracowano:

- Wstęp
- Oprogramowanie do analizy danych (podrozdział 4.4)
- Wyniki pomiarów (rozdział 5)
- Podsumowanie

Spis treści

Wstęp	14
1 Koncepcja budowy układu transceiver'a	19
1.1 Podstawy teorii transmisji sygnałów	19
1.1.1 Czas propagacji sygnału	19
1.1.2 Transmisja synchroniczna i asynchroniczna	21
1.1.3 Transmisja szeregową i równoległą	23
1.1.4 Standardy transmisji asynchronicznej	24
1.1.5 Próbkowanie "single-rate" i "half-rate"	25
1.2 Koncepcja budowy układu transceiver'a	26
1.2.1 Nadajnik (Tx)	28
1.2.2 Odbiornik (Rx)	30
2 Teoretyczna analiza bloków funkcjonalnych	31
2.1 Układy odzyskiwania zegara i danych CDR	31
2.1.1 Architektury oparte na detektorach fazy	32
2.1.2 CDR typu "Burst mode"	35
2.2 Układy pętli fazowej (PLL)	39
2.2.1 Pętla fazowa pierwszego rodzaju	40
2.2.2 Pętla fazowa drugiego rodzaju	46
2.3 Oscylatory sterowane napięciem (VCO)	53
2.4 Detektory fazy stosowane w układach CDR oraz przy syntezie częstotliwości	57
2.4.1 Detektor fazy Hogge'a	58
2.4.2 Detektor fazy Alexander'a	60
2.4.3 Detektor fazy i częstotliwości (PFD)	62
2.5 Pompa ładunkowa (CP)	65
2.6 Przerzutnik	71
2.6.1 Przerzutniki statyczne	71
2.6.2 Przerzutniki dynamiczne	74
2.6.3 Parametry pracy przerzutników	76

2.7	Bufor LVDS	79
2.8	Rejestry ("serializer"/"deserializer")	81
2.8.1	Rejestry	81
2.8.2	"Deserializer" danych	85
2.8.3	"Serializer" danych	89
3	Projekt i symulacje transceiver'a	93
3.1	Budowa projektowanego układu ASIC	93
3.1.1	Plan masek technologicznych nadajnika	97
3.1.2	Plan masek technologicznych odbiornika	98
3.2	Układ odzyskiwania zegara i danych (CDR)	100
3.3	Układy pętli fazowej	107
3.3.1	Pętla fazowa z oscylatorem 960 MHz	109
3.3.2	Pętla fazowa z oscylatorem sterowanym 120/240/480 MHz	113
3.4	Oscylatory Sterowane napięciem (VCO)	116
3.4.1	Oscylator sterowany 960MHz (VCO960)	116
3.4.2	Oscylator sterowany 480MHz/240MHz/120Mhz (SVCO)	125
3.5	Detektor fazy i częstotliwości (PFD)	134
3.6	Pompa ładunkowa (CP)	141
3.7	Układ synchronizacji	149
3.7.1	Szczegółowe symulacje w trybie "single-rate"	152
3.7.2	Szczegółowe symulacje w trybie "half-rate"	155
3.8	Dzielnik sterowany	159
3.9	Główny układ polaryzujący	164
3.10	Przerzutnik	168
3.10.1	Symulacje wstępne - wybór konfiguracji przerzutnika	168
3.10.2	Symulacje szczegółowe	173
3.10.3	Maski technologiczne	180
3.11	Rejestr wyjściowy "deserializer"	184
3.11.1	Schemat blokowy zrealizowanego układu	184
3.11.2	Dzielnik	185
3.11.3	Układ formowania zegara	190
3.11.4	Rejestr wyjściowy	205
3.11.5	Maski technologiczne "deserializer'a"	225
3.12	Rejestr wejściowy "serializer"	230
3.12.1	Dzielnik z układem sterowania	231
3.12.2	Rejestr wejściowy	238
3.12.3	Maski technologiczne "serializer'a"	254

4	Przygotowanie systemu pomiarowego i akwizycji danych	259
4.1	Szybka logika testowa na układzie FPGA	259
4.1.1	Układy FPGA	259
4.1.2	Środowisko projektowe i język Verilog	261
4.1.3	Projekt szybkiej logiki testowej	261
4.2	Płytki bazowa do pomiarów ASIC'a	269
4.2.1	Schemat płytki bazowej	270
4.2.2	Projekt ścieżek na płycie bazowej	272
4.3	Układ kontroli i sterowania pomiarem	275
4.3.1	Bufor wejścia/wyjścia dla szybkiej logiki pomiarowej	275
4.3.2	Układ sterowania trybami pracy, wyświetlaniem i prezentacją statusu	276
4.3.3	Płytki drukowana układu kontroli i sterowania pomiarem	278
4.3.4	Oprogramowanie mikrokontrolera układu kontroli i sterowania pomiarem	280
4.4	Oprogramowanie do analizy danych testowych	284
5	Wstępne pomiary transceiver'a	287
5.1	Układ pętli fazowej nadajnika	287
5.2	Kompletny transceiver	292
5.2.1	Pierwsze testy funkcjonalne	292
5.2.2	Analizy widmowe dla układu CDR	294
5.3	Pobór prądu układu	297
	Podsumowanie	299
	Bibliografia	303
	Spis rysunków	304
	Spis tabel	316

Wstęp

Zagadnienie przesyłu informacji jest niezwykle istotne we współczesnej elektronice cyfrowej. Spotykamy się z nim niemal wszędzie, począwszy od komunikacji między podzespołami komputera osobistego, a kończąc na globalnej sieci telekomunikacyjnej. Wraz ze wzrostem częstotliwości, a więc i szybkości transmisji danych, problemy napotymane kiedyś przy wielkoskalowych (rzędu setek metrów, kilometrów, itd.) łączach objawiają się obecnie przy transmisjach sygnału na odległość rzędu pojedynczych cm czy mm, jak np. na płycie głównej komputera.

Jedną z najważniejszych dziedzin nauki, w której potrzebna jest transmisja danych z bardzo dużą szybkością, jest fizyka wysokich energii. Obecnie działające eksperymenty, jak np. te w Europejskim Laboratorium Fizyki Cząstek Elementarnych (CERN), wyposażone są w tysiące, a nawet miliony detektorów promieniowania, wykrywających powstałe po zderzeniu wiązek cząstki i promieniowanie. Ilość powstałych danych jest na tyle duża, że sprawia poważne trudności przy transmisji od miejsca detekcji do centrum obliczeniowego. Eksperymenty naukowe działające przy akceleratorze LHC (ATLAS, CMS, LHCb, ALICE) dostarczają danych z szybkością rzędu 700 MB/s . Przesłanie szeregowo takiej ilości informacji wymaga układu nadajnika i odbiornika (transceiver) mogącego pracować z prędkością 5.6 Gb/s . Mimo wstępnej selekcji danych bezpośrednio przy detektorze, ilość otrzymywanych w eksperymentach danych będzie ciągle rosła, a problem szybkiej transmisji sygnałów będzie się stawał coraz bardziej krytyczny.

Celem niniejszej pracy jest wykonanie układu nadajnika-odbiornika, czyli transceiver'a do szybkiej komunikacji szeregowej. Podstawą działań projektowych jest opracowanie schematów ideowych wszystkich potrzebnych do jego działania bloków funkcjonalnych oraz ich symulacje wstępne. Dalsze czynności obejmują projekt masek technologicznych całego transceiver'a oraz symulacje z uwzględnieniem wpływu elementów pasożytniczych. Niniejszy projekt transceiver'a jest pierwszym podejściem do tematyki szybkiej transmisji danych realizowanym w Zespole Elektroniki Jądrowej i Detekcji Promieniowania Katedry Oddziaływań i Detekcji Cząstek WFiIS AGH. Stąd wykonany na potrzeby niniejszej pracy układ jest prototypowy i stanowi bazę dla dalszego rozwoju. Jest to też pierwszy w Zespole (a prawdopodobnie także w Polsce) projekt układu cyfrowego, który wymaga wykorzystania użytej technologii (AMS $0.35\ \mu\text{m}$) do granic jej możliwości częstotliwościowej.

Zgodnie z przyjętymi założeniami, projektowany układ powinien pracować na przełączanych trybach pracy realizujących cztery podstawowe częstotliwości transmisji (120, 240, 480 i 960 MHz). Każdy z tych trybów może dodatkowo pracować z próbkowaniem danych na jednym lub obu zboczach przebiegu zegarowego, uzyskując tym samym 8 możliwych konfiguracji. Każda z częstotliwości podstawowych jest generowana z wzorca o częstotliwości 30 MHz przez odpowiednie powielenie częstotliwości, a zmiana częstotliwości powinna umożliwić poprawne działanie układu na innych pośrednich częstotliwościach. Podstawowym wymogiem przy konstrukcji transceiver'a było zaprojektowanie układu odzyskiwania zegara i danych CDR (ang. "Clock and Data Recovery") zapewniającego poprawną synchronizację pomiędzy blokami nadajnika i odbiornika.

W rozdziale pierwszym zostały przedstawione teoretyczne podstawy transmisji sygnałów, ze szczególnym uwzględnieniem różnic między transmisją asynchroniczną i synchroniczną, oraz między transmisją szeregową a równoległą. Przedstawione zostały także standardy transmisji asynchronicznej, która wykorzystywana jest w projektowanym układzie transceiver'a, oraz wykorzystywane w praktyce typy próbkowania danych. Rozdział ten zawiera również zarys ogólnej koncepcji budowy nadajnika i odbiornika, wchodzących w skład projektowanego układu.

W rozdziale drugim zawarta została teoretyczna analiza wybranych podukładów wchodzących w skład projektowanego transceiver'a. Przedstawione zostały tutaj typy układów odzyskiwania zegara i danych stosowane w literaturze światowej, ze szczególnym uwzględnieniem typu "burst mode" (opisanego dokładnie w rozdziale 1). Omówiona została tutaj zasada działania pętli fazowej i używanych do jej budowy bloków (pompy ładunkowej, detektora fazy i częstotliwości oraz oscylatora sterowanego napięciem). W rozdziale porównano również wiele rodzajów przerzutników, wykorzystywanych głównie przy budowie rejestrów ("serializer'a" i "deserializer'a"), oraz podano podstawowe informacje na temat buforów LVDS, na których opiera się standard elektryczny wymiany informacji z projektowanym transceiver'em.

W rozdziale trzecim zawarta została cała merytoryczna część projektu, a mianowicie schematy i maski technologiczne układu transceiver'a. Przedstawiono dokładny projekt budowy układu, począwszy od rozmieszczenia nadajnika i odbiornika wewnątrz struktury półprzewodnikowej, przechodząc przez symulacje użytych konfiguracji pętli fazowej oraz układu odzyskiwania zegara i danych, a skończywszy na przedstawieniu symulacji rejestrów wejściowego i wyjściowego.

W rozdziale czwartym zostały przedstawione prace nad przygotowaniem systemu testowego. Omówiono między innymi projekt szybkiej logiki testowej, zbudowanej w oparciu o układ FPGA, oraz płytkę bazową na której został umieszczony prototypowy układ. W wielkim skrócie został omówiony także dodatkowy układ do kontroli całego systemu pomiarowego oraz napisany na potrzeby testów program do generacji i analizy pakietu transmitowanych danych.

W rozdziale piątym zawarto opis wykonanych pomiarów gotowego układu oraz prezentacja i

omówienie uzyskanych wyników. Ponieważ testy niedawno się rozpoczęły, nacisk został położony głównie na zaprezentowanie prostych pomiarów potwierdzających działanie układu.

Schematy i rozwiązania zawarte w rozdziale drugim zaczerpnięte są z pozycji literaturowych i umożliwiają jedynie zrozumienie idei działania poszczególnych podukładów. Zastosowanie praktyczne wymagało rozbudowy i znaczących modyfikacji niniejszych rozwiązań na potrzeby dostosowania ich do użytej technologii (AMS 0.35 μm). Opis wprowadzonych modyfikacji i architektur, będących samodzielną pracą autorów, został zawarty w rozdziale trzecim.

Projekt jest bardzo złożony, więc jego realizacja odbywała się w dwuosobowym zespole. Dla podkreślenia wkładu autorów w opracowanie kolejnych rozdziałów, na stronie 10 został przedstawiony podział wykonanych prac.

Rozdział 1

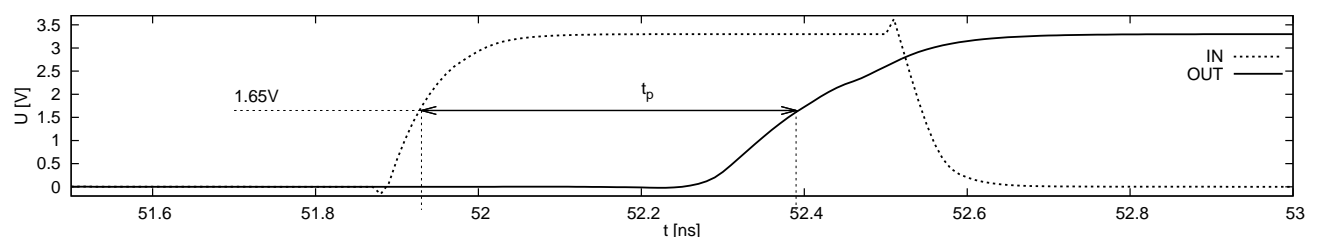
Koncepcja budowy układu transceiver'a

1.1 Podstawy teorii transmisji sygnałów

Jak zostało wspomniane we wstępie, zagadnienie transmisji sygnału cyfrowego jest obecnie niezwykle powszechne. Niniejszy rozdział ma na celu przytoczenie wybranych podstawowych pojęć, jak również zobrazowanie problemów występujących przy różnych rodzajach transmisji. Pozwoli to przedstawić ideę działania zaprojektowanego układu transceiver'a, a także umożliwi zrozumienie jego praktycznego zastosowania.

1.1.1 Czas propagacji sygnału

Czasem propagacji sygnału określamy różnicę czasów pomiędzy wystąpieniem pewnego charakterystycznego punktu przebiegu cyfrowego na wejściu i wyjściu linii transmisyjnej. W zależności od potrzeb punkt taki można różnie zdefiniować, najczęściej jednak obiera się go na poziomie 50% maksymalnej amplitudy sygnału. Rysunek 1.1 przedstawia schematycznie przebiegi na wejściu IN i wyjściu OUT cyfrowej linii transmisyjnej obrazując definicję czasu propagacji t_p sygnału odniesionego do poziomu 1.65 V, czyli połowy maksymalnej amplitudy wynoszącej 3.3 V.



Rysunek 1.1: Definicja czasu propagacji.

Czas propagacji zależy od właściwości fizycznych linii transmisyjnej. W zależności od geometrii linii i materiałów wykorzystanych do jej budowy (przewodnika i otaczającego go izolatora) czasy propagacji mogą się diametralnie różnić. Podstawą fizyczną ich wyznaczania dla danej linii są równania Maxwella opisujące rozchodzenie się fali elektromagnetycznej w ośrodku. W odniesieniu do sygnałów elektrycznych równania te można przedstawić w sposób bardziej, z punktu widzenia elektroniki, praktyczny [4]. Do opisu ośrodka w którym propaguje się sygnał, w miejsce przenikalności elektrycznej i magnetycznej, stosuje się wówczas elektryczne wielkości takie jak: rozproszony opór R przewodnika wyrażony na jednostkę długości [Ω/m], rozproszoną indukcyjność L [H/m], rozproszoną pojemność C [F/m] oraz upływność czynną G dielektryka rozdzielającego przewodniki linii [S/m]¹. W takiej sytuacji linię transmisyjną można potraktować jako szereg infinitezymalnych układów RLC, przez które propaguje się sygnał w kierunku współrzędnej z . Przy założeniu, że zespolone amplitudy napięcia $U(z, t)$ i prądu $I(z, t)$ są sinusoidalnymi funkcjami czasu o postaci:

$$U(z, t) = U(z) \exp(j\omega t), \quad I(z, t) = I(z) \exp(j\omega t) \quad (1.1)$$

zaś parametry linii transmisyjnej pozostają stałe zarówno w przestrzeni jak i czasie, można określić parametr γ zwany stałą propagacji jako:

$$\gamma^2 = (R + j\omega L)(G + j\omega C) \quad (1.2)$$

Wówczas przestrzenną składową amplitudy napięcia i prądu można znaleźć na podstawie równań różniczkowych postaci:

$$\frac{d^2 U(z)}{dz^2} - \gamma^2 U(z) = 0 \quad \frac{d^2 I(z)}{dz^2} - \gamma^2 I(z) = 0 \quad (1.3)$$

Uwzględnienie zależności czasowej przebiegów napięcia i prądu umożliwiają tzw. równania telegrafistów, opracowane przez Oliviera Heaviside'a. Równania te są również nazywane równaniami linii długiej i przyjmują postać:

$$\begin{aligned} -\frac{\partial U(z, t)}{\partial z} &= RI(z, t) + L \frac{\partial I(z, t)}{\partial t} \\ -\frac{\partial I(z, t)}{\partial z} &= GU(z, t) + C \frac{\partial U(z, t)}{\partial t} \end{aligned} \quad (1.4)$$

Rozwiązując powyższe równania telegrafistów lub ogólne równania Maxwella można wywodzić wzory na prędkość V_f rozchodzenia się fali w danej linii długiej. Odwrotność tej prędkości jednoznacznie określa czas propagacji na jednostkę długości τ_p , wyrażany w [s/m]. W przypadku płytki drukowanej PCB uproszczony wzór pozwalający obliczyć czas propagacji na jednostkę długości dla pojedynczej ścieżki można przedstawić jako²:

$$\tau_p = 3,34 \cdot 10^{-9} \sqrt{0,475 \cdot \epsilon_r + 0,67} \quad \left[\frac{s}{m} \right] \quad (1.5)$$

¹Modelem linii długiej są w tym przypadku dwa równoległe przewodniki, rozdzielone i odseparowane od otoczenia izolatorem.

²http://www.technick.net/public/code/cp_dp.php?aiocp_dp=util_pcb_imp_microstrip

gdzie ϵ_r to przenikalność elektryczna izolatora PCB (laminatu) rozdzielającego warstwy miedzi. Zależność ta została wyprowadzona dla uproszczonego modelu zakładającego pomijalnie małe opór R i upływność G (tzw. linia długa bezstratna). Z tego względu zależność 1.5 nie uwzględnia przekroju poprzecznego ścieżki ani grubości laminatu. Przy użyciu tego wzoru można wyznaczyć czas propagacji na jednostkę długości dla typowego PCB, wynoszący $\tau_p = 5,6 \text{ ns}/m$. Widać więc, że dla sygnałów o niskich częstotliwościach (np. rzędu 1 MHz , czyli okresie $1 \mu s$) odcinek linii o długości 1 m wprowadza znikome przesunięcie fazowe (rzędu $0,01\pi$). Tak więc przesunięcia fazowe sygnałów o takich częstotliwościach stają się istotne dopiero przy łączach długości dziesiątek bądź setek metrów. Odmienna sytuacja występuje przy wysokich częstotliwościach. Dla sygnału o $f = 1 \text{ GHz}$ przesunięcie o jeden pełen okres 2π wystąpi już na drodze 18 cm . Zmienia to diametralnie skalę przestrzenną problemu i połączenia, które dla niskich częstotliwości można potraktować jako idealne (z zerowym czasem propagacji), w przypadku sygnałów wysokoczęstotliwościowych należy rozpatrywać jako linie długie.

1.1.2 Transmisja synchroniczna i asynchroniczna

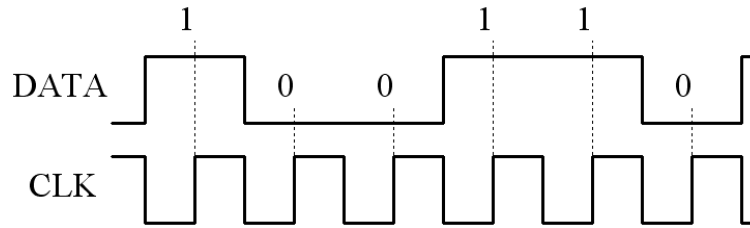
Podstawowym rozróżnieniem typów transmisji jest podział na transmisję synchroniczną i asynchroniczną[1]. Każdy przekaz informacji cyfrowej można rozpatrywać na poziomie logicznym w postaci ciągu bitów (np. "10011"). Przechodząc do poziomu fizycznej transmisji takiego sygnału podstawowym zagadnieniem staje się rozróżnienie kolejnych bitów w przebiegu danych. Przykładowy przebieg przedstawiony na rysunku 1.2 nie niesie bez tego rozróżnienia żadnej istotnej informacji poza taką, że występują w nim naprzemienne ciągi zer i jedynek.



Rysunek 1.2: Przykładowy przebieg danych.

Aby było możliwe prawidłowe odczytanie sekwencji bitów reprezentowanych przez ten przebieg musi zostać z nim połączona informacja o miejscu początku każdego kolejnego bitu. Najprostszym, stosowanym powszechnie rozwiązaniem jest stowarzyszenie z linią danych sygnału zegarowego, którego zbocza narastające jednoznacznie określają lokalizację czasową bitów. Przekaz danych równocześnie z sygnałem zegarowym nazywany jest transmisją synchroniczną, zaś jej ideę wyjaśnia rysunek 1.3.

Transmisja synchroniczna jest niezwykle wygodna z punktu widzenia układu odbierającego dane. Sygnał zegarowy określa chwilę odczytu kolejnego bitu z linii DATA, tak więc nie ma potrzeby stosowania żadnych specjalizowanych układów odbiorczych. Dużą zaletą transmisji synchronicznej jest też to, że nie narzuca ona żadnych sztywnych ograniczeń na czas trwania pojedynczego bitu (pomijając oczywiście maksymalną częstotliwość pracy nadajnika i odbior-



Rysunek 1.3: Przykład transmisji synchronicznej.

nika). Ponieważ praca odbiornika jest synchronizowana przebiegiem zegarowym z nadajnika, przesył danych może zostać łatwo wstrzymany na pewien okres czasu poprzez pozostawienie linii zegarowej na stałym poziomie. Z tych względów ten typ transmisji jest bardzo często spotykany wewnątrz układów scalonych, jako że wymaga on minimalnej ilości układów pośredniczących w przesyłaniu danych.

Podstawowym problemem przy użyciu transmisji synchronicznej do przekazu informacji na większe odległości są przesunięcia fazowe. Jeżeli nie zapewni się identycznych parametrów linii przesyłających sygnały DATA i CLK (co w praktyce jest bardzo trudne, lub wręcz niemożliwe) każdy z przebiegów będzie transmitowany z różnym czasem propagacji t_p , co na wejściu odbiornika przełoży się na przesunięcie fazowe przebiegów. Należy przy tym zauważyć, że rzeczywisty przebieg danych cechuje się niezerowymi czasami narastania i opadania, tak więc użyteczny stan ustalony linii DATA trwa krócej niż jeden okres zegara. W zależności od degradacji zbocz sygnału powodowanej transmisją, zmienia się więc maksymalne, nie powodujące przekłamanie danych, przesunięcie fazowe.

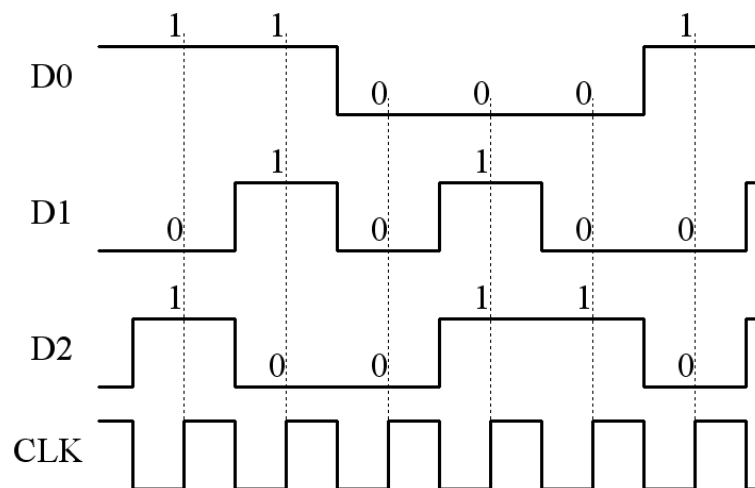
Aby uniknąć problemu utrzymania równych czasów propagacji wprowadzona została transmisja asynchroniczna. W tym przypadku pomiędzy odbiornikiem a nadajnikiem przesyłany jest jedynie przebieg danych (jak na rysunku 1.2), zaś rozróżnienie kolejnych danych jest możliwe dzięki odgórnemu ustaleniu czasu trwania pojedynczego bitu. W praktyce oznacza to, że taktujący odczyt przebieg zegarowy o określonej częstotliwości jest tworzony niezależnie w odbiorniku i nadajniku. Aby spełnione było podstawowe założenie transmisji asynchronicznej mówiące o ustalonym czasie trwania jednego bitu, przebiegi zegarowe w obu niezależnych (i często odległych od siebie) układach muszą mieć dokładnie taką samą częstotliwość. Jakakolwiek rozbieżność, nawet na poziomie promili, po odpowiednio długim czasie przełoży się na różnicę faz obu zegarów powodującą przekłamanie odczytu. Z czysto fizycznych przyczyn niezależne wygenerowanie dwóch identycznych przebiegów jest niemożliwe, stąd w odbiorniku konieczne jest zastosowanie układu odzyskiwania zegara i danych CDR (ang. "Clock and Data Recovery").

Ponieważ przebieg danych jest tworzony na podstawie generowanego w nadajniku zegara, czas trwania jednego bitu może nieznacznie różnić się od określonego teoretycznie, a także podlega długofalowym fluktuacjom wynikającym z niestabilności generatora częstotliwości. Z drugiej strony informacje o tych rozbieżnościach są zawarte w przebiegu danych pod postacią

położenia jego zboczy w czasie. Wykorzystanie tej informacji jest podstawą działania układu CDR, który w zależności od zmian czasu trwania bitu modyfikuje odpowiednio częstotliwość bazową odbiornika. Umożliwia to poprawny odczyt danych, jednak znacząco komplikuje układ odbiorczy w stosunku do stosowanego w transmisji synchronicznej.

1.1.3 Transmisja szeregową i równoległą

Przykładowe przebiegi przedstawione w poprzednim podrozdziale ukazywały dane przekazywane pojedynczą linią DATA. Taki typ transmisji nazywany jest szeregową od faktu, że kolejne dane są przesyłane w szeregu, jedna po drugiej. Dla takiej transmisji minimalny czas trwania pojedynczego bitu, określany maksymalną częstotliwością zegarów nadajnika i odbiornika, jednoznacznie określa szybkość przesyłu danych. Przykładowo, jeśli czas ten wynosi $1 \mu s$ (co odpowiada częstotliwości zegara $1 MHz$), to układ jest zdolny przekazać $\frac{1}{10^{-6}}$ bitów na sekundę, czyli $1 Mbps$. Wartość tą można w łatwy sposób zwielokrotnić dodając kolejne linie danych taktowane tym samym zegarem. W ten sposób otrzymuje się transmisję równoległą, której przykładowe przebiegi przedstawia rysunek 1.4. Na każdym zboczu zegara CLK odczytywane są równocześnie stany na trzech liniach D0-2. Ponieważ każda z linii przesyła dane z przykładową prędkością $1 Mbps$, stąd komunikacja między układami osiąga $3 Mbps$.

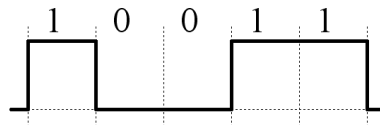


Rysunek 1.4: Przykład transmisji równoległej.

Transmisja równoległa umożliwia proste zwiększenie szybkości bez podnoszenia częstotliwości zegara, powoduje jednak takie same problemy przy przesyśle danych jak transmisja synchroniczna. Występujący tam problem zgodności faz linii DATA i CLK przenosi się tutaj na wszystkie linie danych, co jeszcze bardziej komplikuje budowę odpowiednich linii przesyłowych. Z tego względu przy większych odległościach unika się transmisji równoległej stosując w jej miejsce szeregową. Pozwala ona ominąć problem synchronizacji czasów propagacji, jednak wymaga znacznie wyższych częstotliwości zegara dla zapewnienia takiej samej przepustowości co magistrala równoległa.

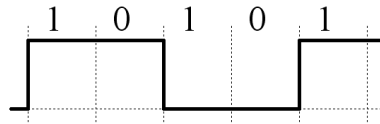
1.1.4 Standardy transmisji asynchronicznej

Przez standard transmisji nazywany jest sposób, w jaki stany logiczne są reprezentowane przez przebieg napięcia na linii danych. Najbardziej naturalną metodą jest przypisanie wartości logicznej jednego z dwóch skrajnych poziomów napięcia (masa lub zasilanie). W logice dodatniej napięcie zasilania odpowiada logicznej jedynce, zaś masa zero. Przesyłanie danych polega wówczas na ustawieniu odpowiedniego poziomu napięcia na linii danych i utrzymanie go w niezmięnionej postaci przez cały czas trwania bitu. Ten standard nazywany jest NRZ (ang. "no return to zero") i został przedstawiony na rysunku 1.5.



Rysunek 1.5: Standard NRZ.

Pewną modyfikacją NRZ jest standard NRZI ("no return to zero inverted") przedstawiony na rysunku 1.6. W tym przypadku brak zmiany napięcia na linii danych, niezależnie od jego wartości bezwzględnej oznacza logiczne zero (bądź jedynkę w standardzie USB [3]), zaś dowolna zmiana jedynkę (zero).



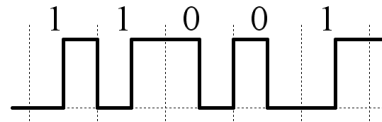
Rysunek 1.6: Standard NRZI.

Oba standardy charakteryzuje maksymalnie jedna zmiana poziomu sygnału na bit. Jak wspomniano, zbocza na linii danych są wykorzystywane przez układ CDR do synchronizacji zegara, więc muszą występować odpowiednio często by nie pojawiła się znacząca różnica częstotliwości między nadajnikiem a odbiornikiem. Wymusza to stosowanie na poziomie protokołu transmisji metod wstawiania dodatkowych bitów między dane (tzw. kodowania) tak, by były zapewnione odpowiednie odległości pomiędzy zboczami. W standardzie NRZ jakkolwiek dłuższy ciąg zer lub jedynek oznacza utrzymywanie stałego poziomu na linii danych i musi podlegać kodowaniu. W przypadku NRZI jedynie ciąg zer grozi utratą synchronizacji, gdyż każdej jedynce odpowiada zmiana poziomu sygnału. Dodatkowo oba standardy charakteryzuje brak zbalansowania linii danych, tzn. średni poziom napięcia (liczony jako suma napięć w kolejnych przedziałach czasu podzielona przez ich ilość) zależy tylko od przekazywanego ciągu bitów.

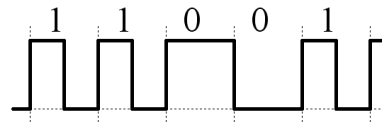
Obu wad (konieczności kodowania i niezbalansowania linii) są pozbawione standardy modulacji fazy PM³ i częstotliwości FM. W pierwszym z nich jedynka jest reprezentowana zmianą

³Standard modulacji fazy PM jest nazwany również standardem Manchester.

poziomu linii danych z niskiego na wysoki, zaś zero zmianą odwrotną. Przykład standardu PM przedstawia rysunek 1.7. Ponieważ reprezentacje zera i jedynki stanowią swoją wzajemną negację, co w pewnym sensie odpowiada przesunięciu przebiegu w fazie o π , stąd standard ten otrzymał nazwę modulacji fazy. Modulacja częstotliwości, przedstawiona na rysunku 1.8 zakłada reprezentację jedynki jako dwie zmiany poziomu linii danych, zero zaś reprezentowane jest przez jedną zmianę. Tak więc obie reprezentacje różnią się częstością zmian (czyli "częstotliwością"), stąd nazwa modulacji częstotliwości.



Rysunek 1.7: Standard PM.



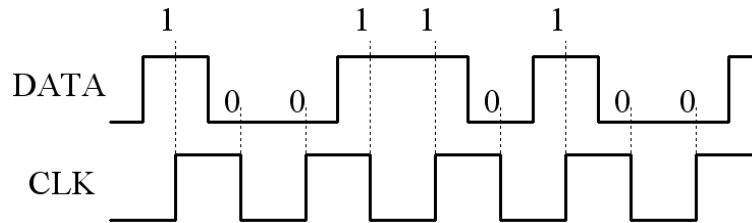
Rysunek 1.8: Standard FM.

Choć standardy PM i FM zapewniają odpowiednie zbalansowanie linii danych i nie wymagają stosowania kodowania na poziomie protokołu, to są jednak znacznie trudniejsze do obsługi na poziomie nadajnika i odbiornika danych. Relatywnie prosta budowa odbiornika i układu CDR wymaga zastosowania jednego ze standardów NRZI lub NRZ, nawet kosztem skomplikowania logiki zarządzającej transmisją.

1.1.5 Próbkowanie "single-rate" i "half-rate"

Osobnym zagadnieniem, dotyczącym bardziej sposobu wykorzystania sygnału zegarowego w odbiorniku i nadajniku niż samej transmisji jest próbkowanie w trybach "single-" i "half-rate". Dotychczas powiedziane było, że odbiornik transmisji asynchronicznej wytwarza własny przebieg zegarowy z pomocą układu CDR, przechodząc wewnątrz swojej struktury ponownie do synchronicznego odczytu danych. Jak widać z rysunku 1.3, w standardzie NRZ zbocza narastające sygnału CLK są wykorzystywane do próbkowania linii danych. Tym samym okres zegara wyznacza minimalny czas trwania jednego bitu i szybkość transmisji (np. 1 *Mbps* dla zegara 1 *MHz*). Wykorzystanie tylko jednego zbocza do odczytu nazywa się trybem "single-rate". Na rysunku 1.3 faza sygnału zegarowego jest tak uzgodniona z przebiegiem danych, że zbocze opadające CLK pokrywa się ze zboczami danych, dzięki czemu taktujące zbocze narastające wypada dokładnie w połowie długości bitu. Można zauważyć, że przesunięcie fazy przebiegu zegarowego o $\frac{\pi}{2}$ umieści oba jego zbocza pomiędzy zboczami danych. W takiej sytuacji można próbować linię danych zarówno zboczem narastającym jak i opadającym CLK, dwukrotnie

zwiększając przepustowość transmisji bez podnoszenia częstotliwości zegara. Innymi słowy czas trwania bitu będzie determinowany połową okresu przebiegu zegarowego, co dla 1 MHz da szybkość przesyłu 2 Mbps . Taki sposób odczytu, przedstawiony na rys 1.9 jest nazywany trybem "half-rate". Warto przy tym zauważyć, że o ile przy przejściu pomiędzy trybami nie zmienia się częstotliwość zegarów nadajnika i odbiornika, to jednak wzrasta dwukrotnie średnia częstość zmian na linii danych, co narzuca wyższe wymagania dla buforów wejścia/wyjścia układów i samej linii transmisyjnej.



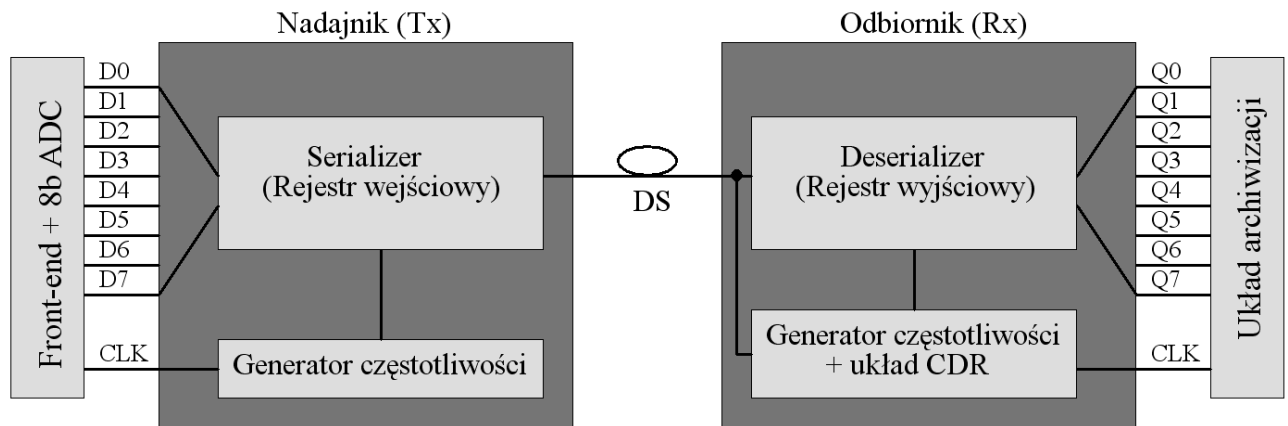
Rysunek 1.9: Idea działania trybu "half-rate".

1.2 Koncepcja budowy układu transceiver'a

Aby zrozumieć potrzebę stosowania układów pośredniczących w przesyłaniu danych (transceiver'ów) należy sobie uświadomić, że dla wielu układów elektronicznych podstawową i naturalnie wynikającą z ich konstrukcji jest transmisja równoległa synchroniczna. Za przykład może tu posłużyć choćby przetwornik analogowo-cyfrowy ADC stosowany w torach odczytowych detektorów promieniowania (tzw. "front-end"). Wyjściem przetwornika jest równoległa magistrala o rozmiarze zależnym od jego rozdzielczości bitowej. Dodatkowo w wielu praktycznie stosowanych architekturach (np. "pipe-line") przetwornik pracuje synchronicznie względem wewnętrznego zegara, wystawiając dane zgodnie z jego okresem. Informacja z wyjść przetwornika musi zostać dalej przekazana odpowiednim systemom archiwizującym i przetwarzającym, które z wielu przyczyn (rozmiary geometryczne, poziom promieniowania, itd.) muszą być oddalone od detektorów. Jednak jak już wspomniano, transmisja równoległa synchroniczna jest najgorszą możliwą metodą przesyłania sygnałów na większe odległości. Z tego punktu widzenia potrzebna jest transmisja szeregową asynchroniczną, do której z kolei nie jest przystosowany ani przetwornik, ani też często system archiwizacji danych. Rodzi to potrzebę konstrukcji układu pośredniczącego - transceiver'a.

Rysunek 1.10 przedstawia ogólną ideę budowy układu transceiver'a. Składa się on z dwóch głównych podukładów - nadajnika (Tx od ang. transmitter) i odbiornika (Rx, ang. receiver). Wejściem nadajnika jest równoległa synchroniczna 8-bitowa magistrala, dzięki której może on odbierać dane np. z toru odczytowego detektora. Tak samo zorganizowane jest wyjście odbiornika podłączonego w tym przykładzie do układu archiwizacji danych. Oba układy są połączone między sobą poprzez pojedynczą linię DS, przez którą transmisja przebiega w sposób szeregowy asynchroniczny. Dzięki takiemu rozwiązaniu odbiornik i nadajnik może dzielić dużą odległość,

co w przypadku transmisji równoległej synchronicznej byłoby trudne do realizacji. Z drugiej strony, dzięki takiej samej organizacji wejść i wyjść układ pozostaje "niewidoczny" z punktu widzenia zewnętrznych urządzeń, dla których komunikacja przebiega poprzez równoległą magistralę.



Rysunek 1.10: Idea budowy układu transceiver'a.

Oprócz zamiany typu transmisji, czego dokonują rejestry wejściowy i wyjściowy, układy odbiornika i nadajnika muszą być również wyposażone w generatory częstotliwości. Jak wspomniano, aby zachować taką samą przepustowość linii szeregowej DS w stosunku do równoległych, transmisja szeregową musi przebiegać odpowiednio szybciej. W przypadku zastosowanych w projekcie 8-bitowych magistral transceiver musi pracować z zegarem wewnętrznym o ośmiokrotnie wyższej częstotliwości, niż ta z którą przebiega transmisja równoległa.

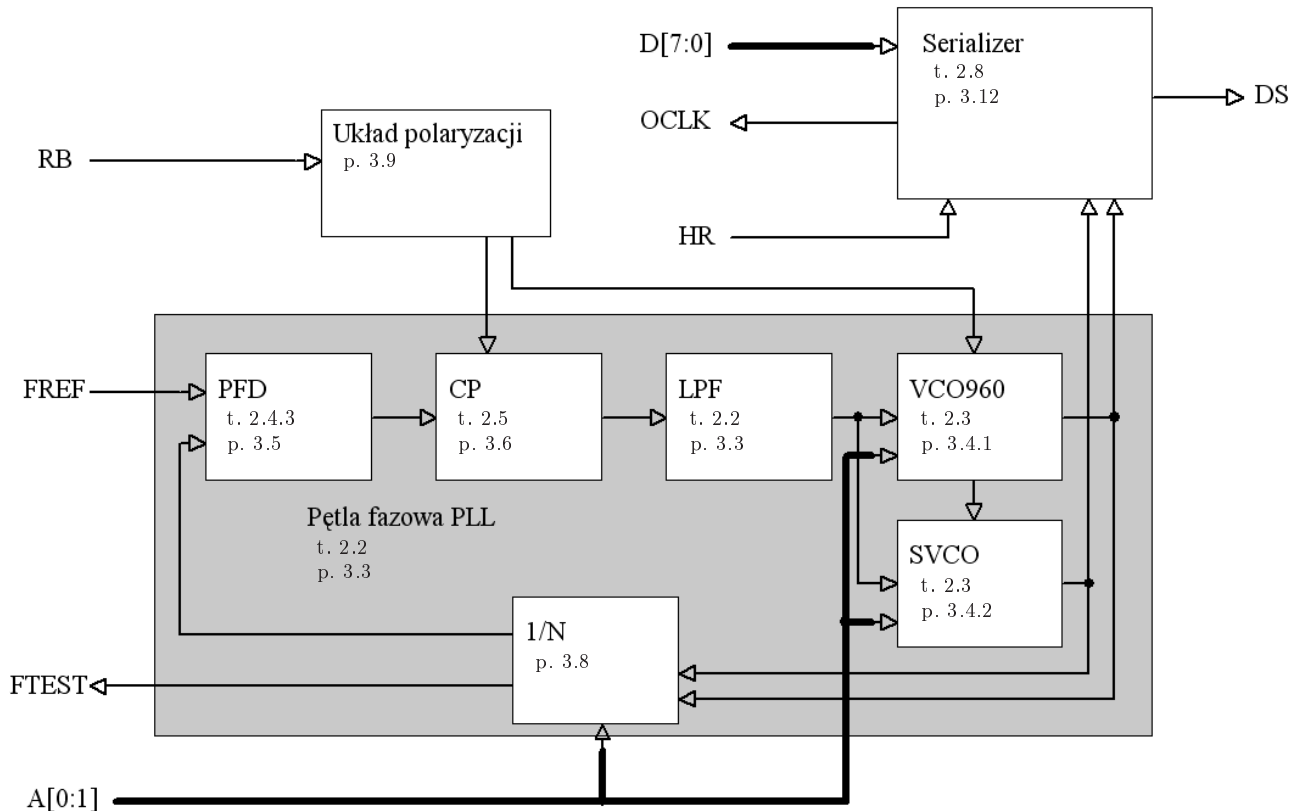
Podstawową zaletą niezależnego układu transceiver'a jest jego uniwersalność. Dla samego układu nie są bowiem istotne ani przesyłane dane, ani rola urządzeń z którymi się komunikuje. Umożliwia to wielokrotne stosowanie tego samego układu w wielu systemach i uwalnia ich projektantów od konieczności każdorazowego wykonania konwerterów transmisji. Aby zwiększyć spektrum zastosowań projektowanego w niniejszej pracy układu zdecydowano się zastosować cztery podstawowe częstotliwości, z których każda może być wykorzystywana zarówno w trybie "single-" jak i "half-rate". Częstotliwości te to 120 MHz, 240 MHz, 480 MHz i 960 MHz. Na drodze dalszego zwiększania szybkości pracy stanęły niestety ograniczenia narzucane przez

częstotliwość pracy [MHz]	Tr. szeregową [Mbps]		Tr. równoległa [Mbps]	
	"half-rate"	"single-rate"	"half-rate"	"single-rate"
120	240	120	30	15
240	480	240	60	30
480	960	480	120	60
960	1920	960	240	120

Tabela 1.1: Prędkości transmisji w projektowanym układzie transceiver'a.

zastosowaną w projekcie technologię AMS 0,35 μm . Tabela 1.1 przedstawia zbiorczo wszystkie prędkości transmisji, z jakimi transceiver ma docelowo działać. Szybkość wyjściowej transmisji równoległej wyrażono w $MBps$, czyli megabajtach na sekundę. Wartość ta odpowiada częstotliwości zegara taktującego magistrale wejściową i wyjściową.

1.2.1 Nadajnik (Tx)

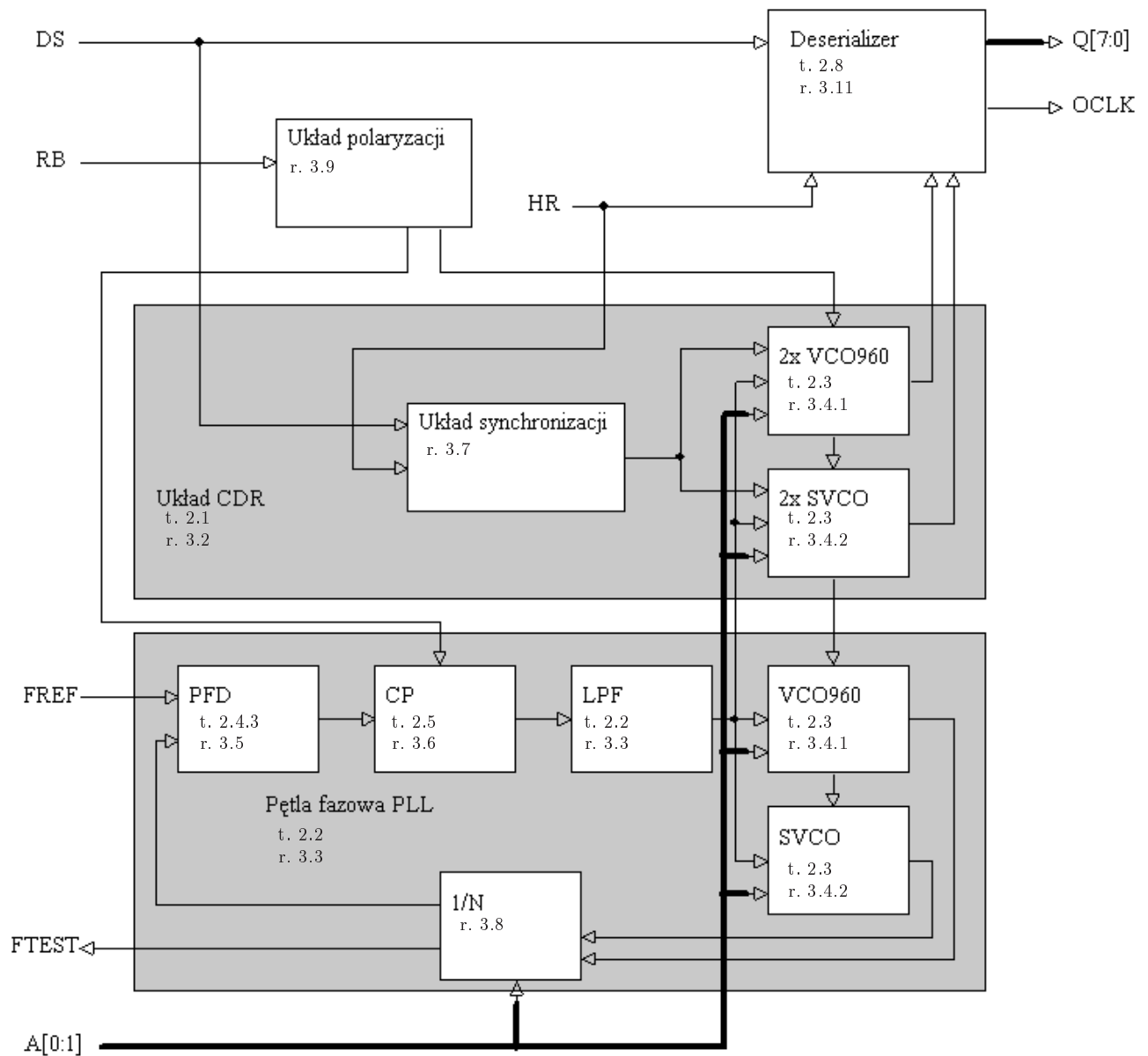


Rysunek 1.11: Schemat blokowy nadajnika.

Rysunek 1.11 przedstawia schemat blokowy układu nadajnika. Pod nazwami poszczególnych bloków podano referencje do rozdziałów opisujących w sposób teoretyczny ich działanie (oznaczonych przez "t."), a także przedstawiających najczęściej stosowane architektury. Referencje oznaczone skrótem "p." prowadzą do rozdziałów przedstawiających faktyczną realizację bloków w niniejszym projekcie, wraz z ich maskami technologicznymi i wynikami symulacji. Niektóre z układów pominięto w opisie teoretycznym (np. układ polaryzacji) ze względu na prostotę działania (w tym przypadku jest to układ źródeł prądowych).

Podstawową dla działania układu konwersję danych z postaci równoległej (wejściowa magistrala $D[7:0]$) na szeregową (linia DS) wykonuje blok "serializer'a". Tworzy on również zegar $OCLK$ taktujący transmisję równoległą, a także umożliwia wybór trybu pracy "single-" lub "half-rate" poprzez linię HR .

Niezbędny do pracy "serializer'a" bazowy przebieg zegarowy generuje pętla fazowa PLL na podstawie zewnętrznej referencyjnej częstotliwości FREF. W skład pętli wchodzi detektor fazy i częstotliwości PFD (ang. Phase Frequency Ddetector), pompa ładunkowa CP (Charge Pump), filtr dolnoprzepustowy LPF (Low Pass Filter) oraz oscylatory sterowane napięciem VCO (Voltage Controlled Oscillator). Ze względu na cztery częstotliwości podstawowe okazało się niezbędne użycie dwóch niezależnych oscylatorów, SVCO dla generacji 120 MHz, 240 MHz i 480 MHz oraz VCO960 dla najwyższej częstotliwości 960 MHz. Wyboru szybkości zegara dokonuje się z zewnątrz ASIC'a poprzez magistralę sterującą A[1:0]. Ustawia ona także stopień podziału częstotliwości w ostatnim z bloków składowych pętli, sterowanym dzielniku 1/N. Dzięki zmianie dzielnika, dla każdej z prędkości działania zewnętrzna częstotliwość referencyjna pozostaje stała. Dzielnik dostarcza też dostępny na zewnątrz ASIC'a przebieg FTEST o



Rysunek 1.12: Schemat blokowy odbiornika.

stałym stopniu podziału $1/64$. Umożliwia to w wersji testowej kontrolę poprawności działania pętli PLL. Niezbędnych dla działania układu prądów dostarcza układ polaryzacji. Wejście RB umożliwia ustawienie dolnej częstotliwości zakresów pracy VCO, co powoduje bezwzględne przesunięcie krzywych wzmocnienia VCO na potrzeby testów ASIC'a.

1.2.2 Odbiornik (Rx)

Na rysunku 1.12 przedstawiony został schemat blokowy drugiej części transceiver'a, czyli odbiornika danych. Rozdziały dotyczące poszczególnych bloków oznaczono tak samo jak na schemacie blokowym nadajnika.

Pętla fazowa PLL zawarta w odbiorniku jest, z ideowego punktu widzenia, identyczna z pętlą nadajnika. Blok odbiornika zawiera również taki sam układ polaryzujący. Różnicą w stosunku do nadajnika jest układ CDR zapewniający niezbędną synchronizację przebiegów oraz układ "deserializer'a" pełniący funkcję konwertera transmisji szeregowej na równoległą. Analogicznie do "serializer'a", synchronizacja magistrali równoległej Q[7:0] następuje generowanym wewnątrz ASIC'a przebiegiem OCLK.

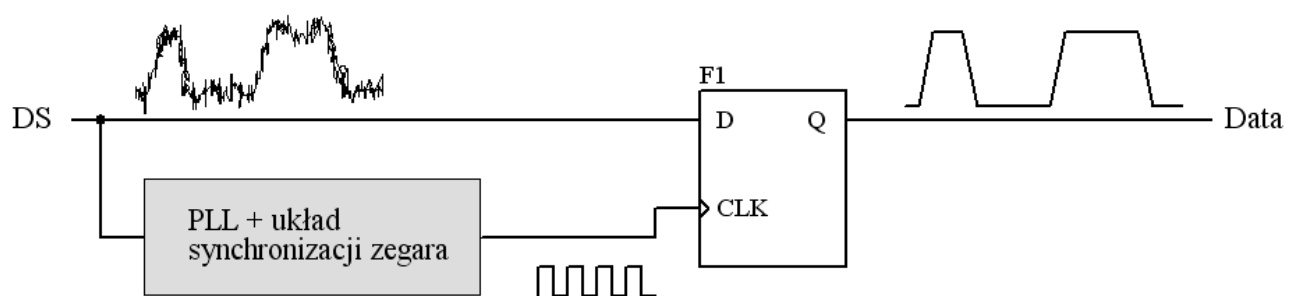
W projekcie zastosowano układ CDR typu "burst mode" (którego ideę działania przedstawiono dokładniej w rozdziale 2.1.2). Wymaga on do pracy po dwa dodatkowe oscylatory VCO każdego typu (dwa SVCO i dwa VCO960). Wybrana przez sygnał sterujący prędkością przesyłu A[1:0] para oscylatorów (SVCO lub VCO960) jest naprzemiennie załączana na podstawie szeregowego przebiegu danych DS, zgodnie z ideą działania układu CDR typu "burst mode". Dodatkowy układ synchronizacji jest wymagany ze względu na pracę układu w dwóch trybach próbkowania "single-" i "half-rate" (wybieranych sygnałem HR).

Rozdział 2

Teoretyczna analiza bloków funkcjonalnych

2.1 Układy odzyskiwania zegara i danych CDR

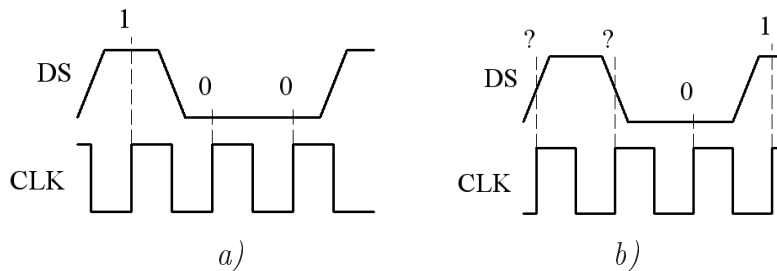
Układ odzyskiwania zegara i danych (z ang. CDR - "Clock and Data Recovery") jest kluczowy dla poprawnego odbioru szeregowych, asynchronicznych danych. Dane takie, docierając do układu odbiornika, charakteryzują się dużym szumem i rozrzutem czasowym długości trwania pojedynczego bitu (ang. "time jitter"). Zadaniem układu CDR jest odtworzenie danych bez szumu, rozrzutów czasowych i zsynchronizowanie z nimi przebiegu zegarowego wytwarzanego przez pętlę fazową PLL[9].



Rysunek 2.1: Wpływ układu CDR na przebieg danych.

Rysunek 2.1 przedstawia schematycznie wpływ działania układu CDR na linię danych. Wchodzące do odbiornika linią DS dane są próbkowane przez przerzutnik F1 w ściśle określonych zbczami zegara CLK chwilach. Umożliwia to usunięcie szumu, gdyż źródłem sygnału dla linii Data jest końcowy stopień przerzutnika (np. inwerter). Minimalizowane jest również rozmycie długości trwania pojedynczego bitu, gdyż położenie zbcz na linii Data jest determinowane okresem zegara CLK. Stawia to pewne określone warunki przebiegowi zegarowemu

generowanemu przez układ synchronizacji. Przebieg ten musi mieć stały okres, by zminimalizować dalsze rozmycie czasowe przebiegu danych, musi mieć określoną (i stałą) relację fazy w stosunku do zboczy danych, zaś częstotliwość przebiegu jest determinowana szybkością transmisji danych (ang. "bit rate", wyrażaną w *bps* - bitach na sekundę). Dla niskich szybkości przesyłu (w porównaniu z osiąganymi w danej technologii częstotliwościami) możliwe jest użycie metody wielokrotnego próbkowania (ang. "oversampling"). Wówczas czas trwania bitu na linii danych musi stanowić wielokrotność okresu zegara w ASIC'u. Metoda ta jest jednak niemożliwa do zastosowania przy prędkościach transmisji porównywalnych z maksymalną osiąganą w danej technologii częstotliwością. Pozostałe metody bazują na wytworzeniu przebiegu zegarowego o okresie równym czasowi trwania pojedynczego bitu i ustaleniu takiego przesunięcia fazowego, by np. narastające zbocze zegara wypadło w środku odległości między zboczami danych (rys. 2.2). Najczęściej stosowane rozwiązania bazują na takiej modyfikacji pętli fazowej PLL, by zegar przez nią generowany był w odpowiedni sposób zsynchronizowany z przebiegiem danych. Uzyskuje się to bądź poprzez architektury oparte na detektorach fazy pracujących na linii danych[5] bądź poprzez dodanie dodatkowych oscylatorów VCO, których pracą steruje poziom linii danych (architektura zwana z ang. "burst mode")[10, 11, 20].



Rysunek 2.2: Przykład synchronizacji zegara z linią danych: a) prawidłowy, b) nieprawidłowy.

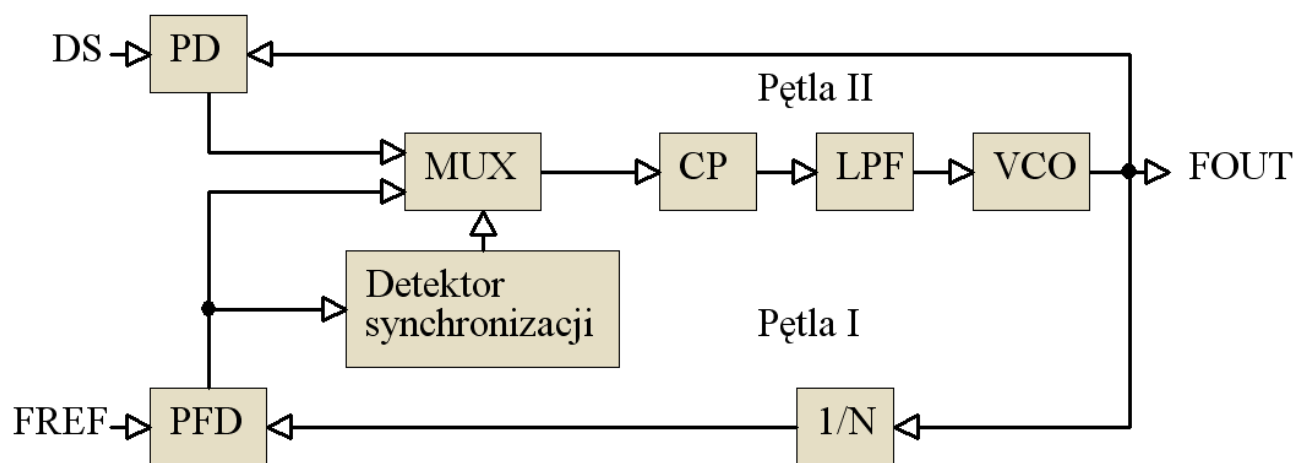
2.1.1 Architektury oparte na detektorach fazy

Ideą architektur opartych na detektorach fazy jest wytworzenie drugiej pętli sprzężenia zwrotnego, równoległej do podstawowej pętli PLL. Wykorzystywane są głównie dwa rozwiązania zakładające użycie jednego lub dwóch oscylatorów VCO.

2.1.1 a) Architektura CDR z jednym oscylatorem VCO

Rysunek 2.3 przedstawia schemat blokowy układu CDR z jednym oscylatorem VCO. W początkowej fazie pracy detektor synchronizacji poprzez multiplexer MUX dołącza do wejścia pompy ładunkowej CP detektor fazy i częstotliwości PFD. W ten sposób zamykane jest sprzężenie zwrotne w pętli I. Detektor PFD dopasowuje częstotliwość przebiegu generowanego przez pętlę do przebiegu referencyjnego FREF, tak jak ma to miejsce w "zwykłej" pętli fazowej. Gdy detektor synchronizacji wykryje, że impulsy sterujące z detektora PFD zanikają (co oznacza że

przebieg FOUT ma zadaną częstotliwość zaś pętla I jest zsynchronizowana), dołącza do wejścia pompy CP przebieg z detektora fazy PD zamykając tym samym sprzężenie zwrotne drugiej pętli. Ponieważ częstotliwość przebiegu FOUT została wstępnie ustalona przez działanie pętli I, nie powinna ona odbiegać zbytnio od szybkości transmisji danych. W takiej sytuacji detektor fazy PD dostają jedynie napięcie na filtrze LPF ustalone we wstępnej fazie pracy w taki sposób, by przebieg generowany przez oscylator VCO był zgodny w fazie z przebiegiem danych z linii DS.



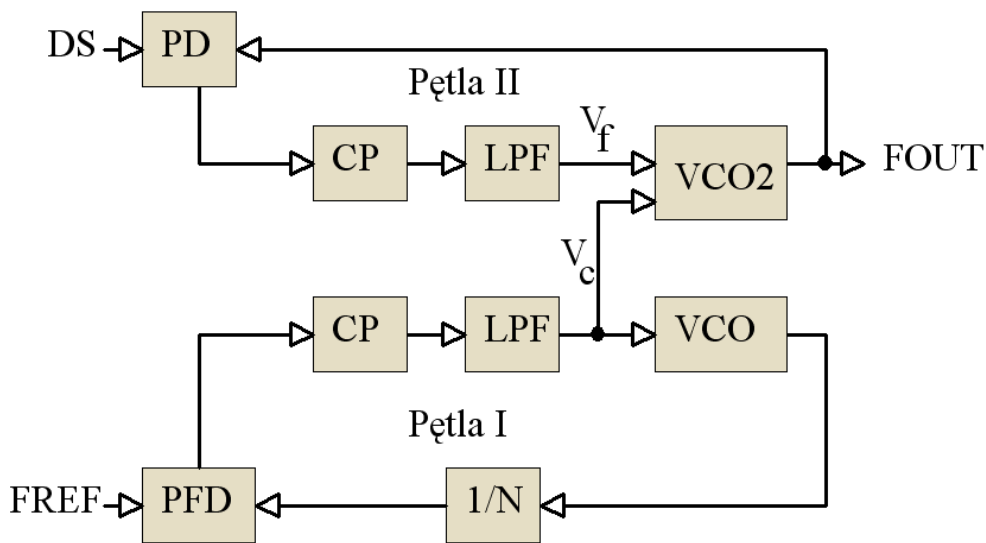
Rysunek 2.3: Schemat blokowy układu CDR z jednym oscylatorem VCO.

Modyfikacją tej architektury jest użycie dwóch niezależnych pomp ładunkowych CP (po jednej w każdej pętli) i umieszczenie analogowego multipleksera pomiędzy ich wyjściami i filtrem LPF. Takie rozwiązanie upraszcza połączenie detektorów PD i PFD z wejściami pomp, eliminując pomiędzy nich układ przełączający. Jak zostanie wykazane w rozdziale dotyczącym symulacji projektu, symetria sygnałów sterujących pracą pompy jest niezwykle kluczowa dla utrzymania stabilnej częstotliwości na wyjściu pętli PLL. Użycie multipleksera w tym miejscu wymaga bardzo dokładnego dopasowania czasów transmisji sygnału przez wszystkie przełączane linie sterujące. Z drugiej strony multipleksowanie prądów z wyjść pomp niesie za sobą niebezpieczeństwo modyfikacji poziomu napięcia na filtrze LPF poprzez efekty wstrzykiwania ładunku przez klucze analogowe.

Zdecydowaną wadą przedstawionego rozwiązania jest konieczność użycia oscylatora VCO o na tyle dużym wzmocnieniu, by było możliwe uzyskanie synchronizacji z przebiegiem referencyjnym przez pierwszą pętlę. Niestety w takiej sytuacji drobne zmiany sygnałów sterujących z detektora fazy PD podczas pracy pętli II będą się przekładać na duże odchyłki częstotliwości przebiegu FOUT, a więc na duże rozmycie czasowe odzyskanego przebiegu danych. Zaletą tej architektury jest użycie pojedynczego VCO, dzięki czemu nie występuje tu problem dopasowania oscylatorów, z jakim mamy do czynienia w niżej przedstawionych rozwiązaniach.

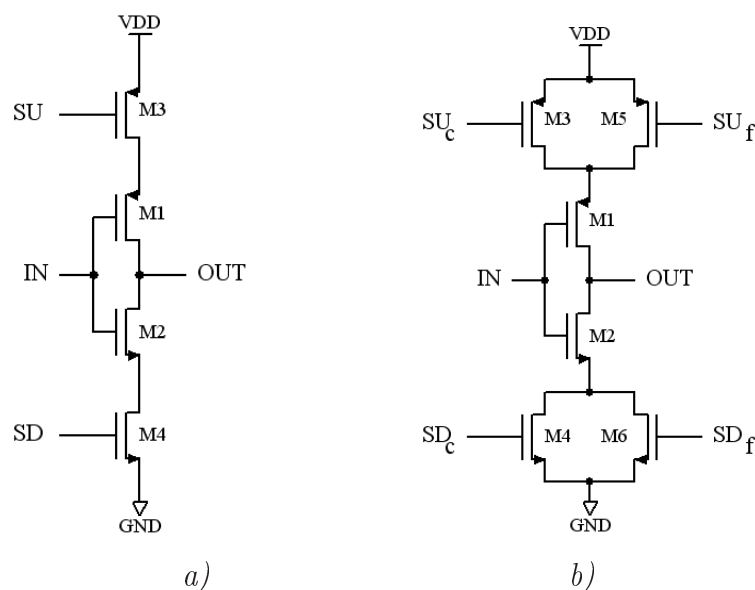
2.1.1 b) Architektura z dwoma oscylatorami VCO

Na rysunku 2.4 przedstawiony został schemat blokowy architektury pozbawionej problemów dużych rozrzutów czasowych i przełączania sygnałów sterujących. Zastosowane w niej zostały dwa oscylatory VCO, dla każdej z dwóch pętli niezależnie. Zadaniem pętli I jest wytworzenie przebiegu o częstotliwości ustalonej przez zegar referencyjny FREF, podobnie jak w poprzednim przypadku. Jednak w tej konfiguracji pętla I działa w sposób ciągły, zaś tworzony przez nią przebieg zegarowy nie jest wykorzystywany dalej w układzie. W miejsce tego pętla I dostarcza napięcia V_c sterującego pracą oscylatora VCO. Napięcie to ustala wstępnie (zgrubnie) częstotliwość generowaną w VCO2 przynależnym do drugiej pętli. Jeżeli oba VCO są takie same, to napięcie V_c powinno się przełożyć na takie same częstotliwości przebiegów na ich wyjściach (równych, jak już wspomniano, szybkości transmisji danych). W takim przypadku detektor fazy PD w drugiej pętli ustawia takie napięcie sterujące V_f , by dostroić fazę przebiegu uzyskiwanego z VCO2 do zmian sygnału na linii danych.



Rysunek 2.4: Schemat blokowy układu CDR z dwoma oscylatorami VCO.

Aby było możliwe równoczesne sterowanie oscylatora VCO2 dwoma różnymi potencjałami wymaga on pewnej modyfikacji w stosunku do standardowej architektury. Jedno z możliwych rozwiązań przedstawiono na rysunku 2.5. Jest on rozszerzeniem standardowego inwertera z ograniczonym poborem prądu (rys. 2.5a). W tym przypadku prąd głównej pary tranzystorów M1 i M2 jest limitowany równolegle przez tranzystory M3 i M4 sterowane potencjałami wytworzonymi na podstawie napięcia V_c oraz M5 i M6, odpowiednio sterowane napięciem V_f . Alternatywą dla tego rozwiązania może być pozostawienie pojedynczej pary tranzystorów limitujących prąd sterowanych potencjałami zależnymi od obu napięć V_c i V_f . Modyfikacji musi wówczas ulec układ polaryzacji oscylatora.



Rysunek 2.5: Przykład inwertera z ograniczonym poborem prądu: a) sterowanego jednym i b) dwoma potencjałami.

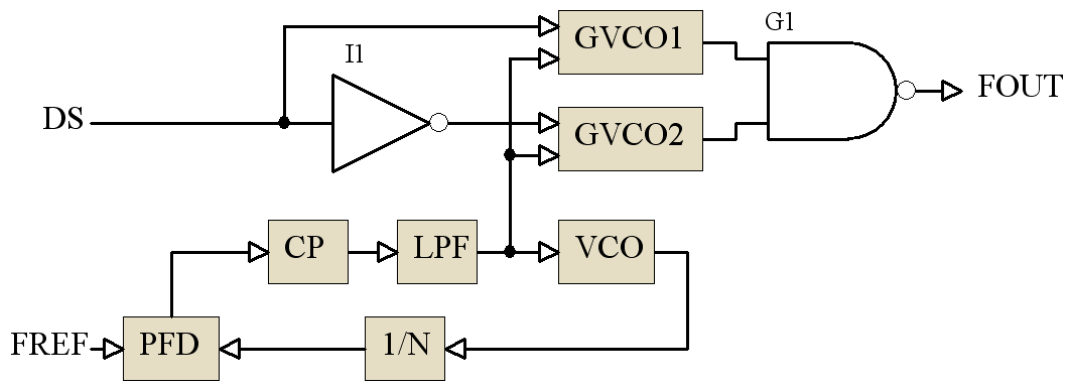
Podstawowym problemem w tej konfiguracji jest odpowiednie dopasowanie obu oscylatorów. W założeniu oba VCO powinny generować tą samą częstotliwość w odpowiedzi na napięcie sterujące V_c . Ponieważ rozwiązanie to jest stosowane w celu redukcji rozmycia czasowego przebiegu danych, wzmocnienie VCO2 w funkcji napięcia V_f powinno być możliwie małe. W takiej sytuacji pętla II ma mały zakres zmian częstotliwości i wymaga do poprawnej pracy wstępnego ustalenia okresu oscylacji przez pierwszą pętlę. Jeżeli VCO2 w odpowiedzi na ustalone napięcie V_c będzie generować nieco odmienną od założonej częstotliwość, to pętla II może nie być w stanie skompensować różnicy okresu zegara i szybkości transmisji danych.

Wzajemne dopasowanie parametrów tranzystorów pomiędzy oscylatorami utrudnia ich nieco odmienna konstrukcja. Dodatkowo minimalizacja wpływu rozrzutów technologicznych wymaga, by oba VCO znalazły się jak najbliżej siebie na maskach technologicznych. Ze względu na dostrojenie napięciem V_f przez pętlę II VCO2 pracuje z częstotliwością minimalnie różną w stosunku do VCO. Powoduje to wzajemne indukowanie zakłóceń przez oba oscylatory, zarówno przez podłoże jak i linię zasilania. Zakłócenia te wpływają w pierwszym rzędzie na potencjały sterujące tranzystorami ograniczającymi prąd inwerterów. Chwilowe zmiany prądu w inwerterach modyfikują średnią częstotliwość pracy VCO i powodują zwiększenie rozmycia czasowego przebiegu danych.

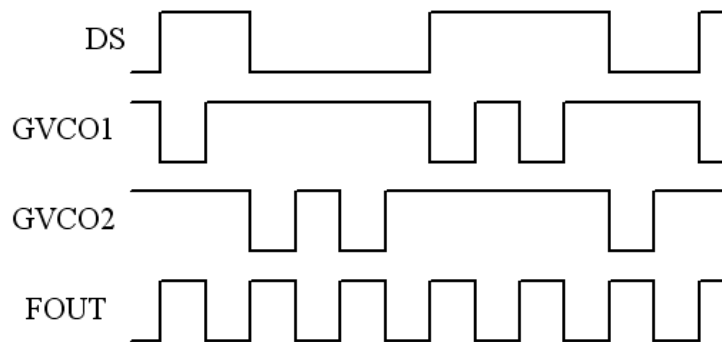
2.1.2 CDR typu "Burst mode"

Dwie przedstawione wcześniej konfiguracje cechuje użycie podwójnej pętli fazowej. Znacznie prostszą konstrukcją ma układ CDR typu "burst mode", którego schemat blokowy przedsta-

wia rysunek 2.6. W tym przypadku źródłem zsynchronizowanego przebiegu zegarowego są dwa oscylatory GVCO sterowane stanem linii danych. Angielski skrót GVCO (od "Gated Voltage Controlled Oscillator") ma swoje źródło w metodzie włączania oscylatorów bramką logiczną wpiętą w pętlę sterowanych inwerterów. Przyjmując że oscylatory są włączane sygnałem wysokim widać z rys. 2.6, że górny z nich pracuje na stanie wysokim linii danych zaś dolny, sterowany poprzez inwerter I1, na niskim. Połączenie przebiegów umożliwia bramka G1 przy założeniu, że wyjście nieaktywnego oscylatora jest w stanie wysokim. W przeciwnym wypadku końcową bramkę NAND należałoby zastąpić bramką NOR. Rysunek 2.7 przedstawia przykładowe przebiegi ilustrujące zasadę działania układu CDR typu "burst mode".



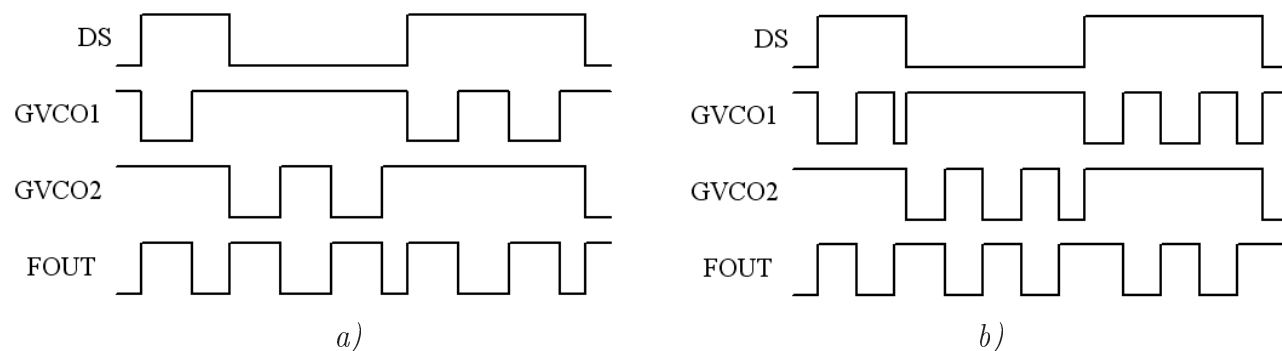
Rysunek 2.6: Schemat blokowy układu CDR typu "burst mode".



Rysunek 2.7: Idea działania układu CDR typu "burst mode".

Naprzemienne włączanie VCO zmieniającym się poziomem linii DS zapewnia synchronizację fazy danych i przebiegu FOUT. W idealnym przypadku, gdy częstotliwość generowana przez pętlę fazową pokrywa się dokładnie z szybkością transmisji, na wyjściu bramki uzyskiwany jest przebieg prostokątny o wypełnieniu 50%. W innym wypadku układ jest w stanie skompensować nawet dość dużą różnicę częstotliwości, o ile tylko zapewnione zostanie odpowiednio częste występowanie zboczy danych. Gdy szybkość transmisji jest większa od częstotliwości generowanej przez pętlę fazową, zmiana stanu na linii DS włącza drugie GVCO wcześniej niż wynikałoby to z okresu zegara (rys. 2.8a). W przeciwnym razie aktywne GVCO rozpoczyna kolejny okres

oscylacji, przerwany po zmianie stanu linii DS. Jeśli czasy włączenia i wyłączenia GVCO są porównywalne, to początek nowego okresu z jednego GVCO sumuje się z rozpoczęciem oscylacji przez drugi oscylator poszerzając jeden z półokresów zegara (rys. 2.8b). Wynikiem obu zdarzeń jest zaburzenie wypełnienia wyjściowego przebiegu zegarowego FCLK.



Rysunek 2.8: Synchronizacja przebiegów zegara i danych: gdy szybkość transmisji jest a) większa i b) mniejsza od częstotliwości pracy pętli.

Należy zauważyć, że aby układ "burst mode" CDR mógł współpracować z przerzutnikiem próbkującym (rys. 2.1), sygnał FCLK musi zostać zanegowany, tzn. dane powinny być próbkowane na jego zboczach opadających. Możliwa do przyjęcia (czyli nie powodująca przekłamania odczytu) różnica częstotliwości przebiegów danych i zegara jest zależna od przyjętego systemu kodowania danych, czyli maksymalnej odległości pomiędzy zboczami synchronizującymi układ. Jak widać z rysunku 2.8 układ "burst mode" CDR będzie działał poprawnie do chwili, gdy przesunięcie fazowe między sygnałem zegarowym a początkiem kolejnego bitu nie osiągnie wartości połowy okresu, czyli π . Jeżeli dla przykładu maksymalna odległość między zboczami na linii danych zostanie określona na 6 bitów (czyli sześć okresów zegara), to różnica faz na jeden okres może wynosić nawet $\frac{\pi}{6}$, co odpowiada względnej różnicy częstotliwości rzędu 8%. Oznacza to jednak bardzo duże rozmycie czasowe odzyskanego przebiegu danych co może spowodować błędy odczytu w dalszej części układu.

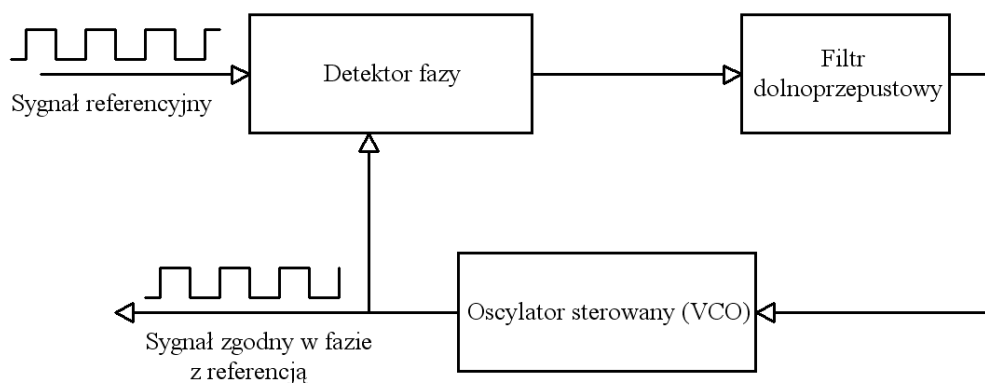
Podobnie jak dla układu CDR z dwoma oscylatorami i detektorem fazy kluczowym zagadnieniem jest dopasowanie wszystkich trzech oscylatorów tak, by generowały przebiegi o takiej samej częstotliwości w odpowiedzi na napięcie z filtru LPF. W tym przypadku jest to jednak prostsze, gdyż wszystkie oscylatory mogą mieć taką samą konstrukcję. Nie ma tutaj potrzeby stosowania dodatkowego napięcia sterującego, zaś główny oscylator pętli VCO może również być oscylatorem bramkowanym, jednak o wejściu sterującym podpiętym na stałe do linii zasilania. Niestety również w tym układzie występuje problem przesłuchów, podobnie jak w CDR z dwoma VCO. Co prawda wszystkie trzy oscylatory pracują z taką samą częstotliwością, ale z dowolnym przesunięciem fazowym, przez co momenty przełączenia inwerterów w VCO pętli

fazowej i aktywnym GVCO następują w różnym czasie. Dodatkowo oscylatory GVCO są naprzemiennie włączane, co również może indukować zakłócenia na liniach sterujących. Jak już wspomniano zakłócenia te zmieniają chwilowe prądy inwerterów w oscylatorach modyfikując średnią częstotliwość i powiększając rozmycie czasowe przebiegu danych. Natomiast zdecydowaną zaletą tej architektury jest prosta budowa nie wymagająca konstrukcji drugiej pętli fazowej i detektora PD.

W literaturze występuje wiele innych rozwiązań układów CDR, takich jak np. architektury oparte na pętlach opóźniających DLL zastosowanych w postaci układu dostosowującego fazę [6, 7, 8]. Pętle opóźniające są również stosowane do uzyskania wielu (np. 12) przebiegów zegarowych o niewielkich (np. $\frac{\pi}{6}$) przesunięciach fazowych, z pomocą których realizowana jest idea wielokrotnego próbkowania bez potrzeby multiplikacji częstotliwości zegara względem szybkości transmisji. Zdecydowano się jednak omówić tylko trzy najczęściej spotykane rozwiązania, szczególnie że są one oparte na szczegółowo opisanej zasadzie działania pętli fazowej PLL.

2.2 Układy pętli fazowej (PLL)

Pętle fazowe (ang. phase-locked loops (PLL)) zostały wynalezione w 1930 roku [21] i od razu znalazły zastosowanie w elektronice i komunikacji. Od wielu lat są powszechnie stosowane w telewizji do synchronizacji pionowej i poziomej obrazu, gdzie ciągły przebieg zegarowy musi być synchronizowany do przychodzących impulsów. Układy te stosowane są również powszechnie w całej dziedzinie transmisji sygnałów, a ponadto do syntezy dużych częstotliwości, modulacji i demodulacji fazy i częstotliwości, układach odzyskiwania zegara i danych oraz synchronizacji przebiegów zegarowych względem siebie. Pętle fazowe umożliwiają działanie urządzeń powszechnego użytku takich jak: radio, telewizja, wszelkie typy komunikacji (karty sieciowe, USB itp.) oraz pamięci masowe.



Rysunek 2.9: Uproszczony schemat blokowy pętli fazowej

Na rysunku 2.9 widać uproszczony schemat blokowy typowej pętli fazowej. Zadaniem układu jest dopasowanie częstotliwości wyjściowej do sygnału referencyjnego, tak aby wiązały je ściśle zależności fazowe. Oba przebiegi (wyjściowy i referencyjny) podawane są na detektor fazy, a potem na filtr dolnoprzepustowy, których zadaniem jest wytworzenie wolnozmiennego sygnału sterującego oscylator. Dzięki ujemnemu sprzężeniu zwrotnemu poziom napięcia sterującego VCO ustawia się na takiej wartości, aby sygnał na jego wyjściu zgadzał się z sygnałem referencyjnym. Do poprawnego działania pętli fazowej konieczne są następujące bloki:

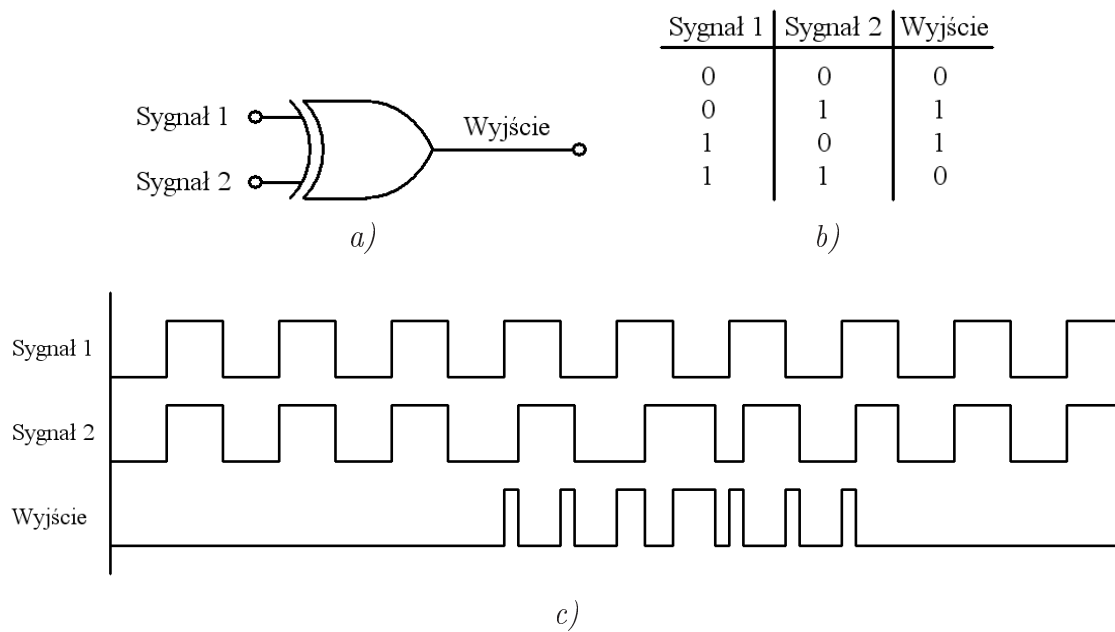
- Detektor fazy (ang. phase detector (PD)). Jest to nieliniowy układ, którego wyjście zawiera informację o różnicy faz dwóch sygnałów wejściowych (sygnał referencyjny i wyjście z oscylatora). W bardziej rozbudowanej wersji można tutaj zastosować detektor fazy i częstotliwości (ang. phase-frequency detector (PFD)), który porównuje ze sobą nie tylko fazy sygnałów ale też zgodność częstotliwości.
- Oscylator sterowany napięciem (ang. voltage controlled oscillator (VCO)). Jest drugim nieliniowym układem wchodzącym w skład PLL'a. Generuje on przebieg zegarowy o częstotliwości zależnej od napięcia panującego na jego wejściu sterującym.
- Filtr (ang. loop filter (LF)). W najprostszym przypadku jest to klasyczny filtr RC. Jego

zadaniem jest wygładzenie odpowiedzi impulsowej powstałej po detekcji różnicy faz, tak aby uzyskać wolnozmienny poziom napięcia potrzebny do sterowania oscylatora.

- Ujemne sprzężenie zwrotne. Wyjście oscylatora podłączone jest na jedno z wejść detektora fazy, dzięki czemu możliwe jest wytworzenie sygnału błędu do sterowania oscylatora

2.2.1 Pętla fazowa pierwszego rodzaju

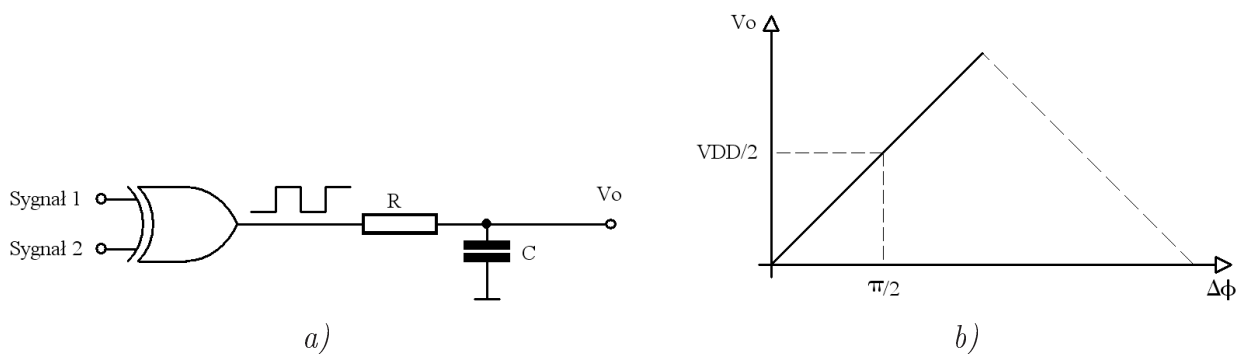
Pętle fazowe są układami nieliniowymi i nie mogą istnieć bez detektora fazy i oscylatora sterowanego, dzięki którym następuje zamiana odpowiedzi sygnałowej na odpowiedź w postaci różnicy faz i odwrotnie. Pętle fazowe spotykane w literaturze są zwykle pierwszego lub drugiego rzędu, nie uwzględniając elementów pasożytniczych. W przypadku cyfrowej pętli fazowej, działającej na przebiegach prostokątnych można w prosty sposób zaprezentować ideę działania detektora fazy, gdyż w najprostszym przypadku jest on najzwyklejszą bramką XOR.



Rysunek 2.10: Idea działania najprostszego detektora fazy, bramki XOR. a) - symbol bramki XOR, b) - tabela prawdy oraz c) - przykładowe przebiegi wejściowe i wyjściowe

Rysunek 2.10 przedstawia zasadę działania najprostszego detektora fazy. Gdy oba sygnały są zgodne w fazie, to na wyjściu bramki XOR jest stan niski. W przypadku gdy nastąpi przesunięcie w fazie jednego z sygnałów to na wyjściu pojawia się sygnał błędu, będący odpowiedzią na różne poziomy logiczne na dwóch wejściach bramki. Po dołączeniu filtra dolnoprzepustowego, zgodnie z rysunkiem 2.11 sygnał błędu zostanie uśredniony.

Łatwo zauważyć, że gdy przebiegi prostokątne będą się różnić dokładnie o $1/4$ okresu (różnica faz $\Delta\phi = \pi/2$) to na wyjściu detektora fazy powstanie przebieg o wypełnieniu równym 50%. Dzięki elementom RC w filtrze, na wyjściu V_o ustali się wtedy potencjał równy połowie



Rysunek 2.11: Zastosowanie filtra dolnoprzepustowego do uśredniania sygnału błędu. a) - schemat detektora fazy wraz z najprostszym filtrem dolnoprzepustowym oraz b) - średnia wartość napięcia sterującego oscylator w zależności od różnicy faz przebiegów wejściowych

napięcia zasilania. Ogólnie wartość napięcia na wyjściu filtra przedstawia następujący wzór[21]:

$$V_o = VDD \cdot \frac{\Delta\phi}{\pi} = K_P \cdot \Delta\phi \quad (2.1)$$

gdzie: V_o - wartość napięcia na wyjściu filtra RC

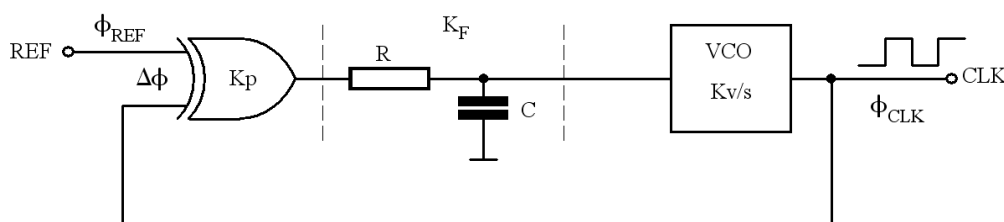
$\Delta\phi$ - różnica faz przebiegów na wejściu detektora fazy

K_P - wzmacnienie detektora fazy

Wzmacnienie detektora fazy wyraża się zatem prostą zależnością:

$$K_P = \frac{VDD}{\pi} \left[\frac{V}{radian} \right] \quad (2.2)$$

Dla lepszego zrozumienia tego wzoru pomocny będzie rysunek 2.11. Kiedy oba przebiegi na wejściu detektora fazy są zgodne w fazie to napięcie V_o jest równe 0. Oscylator generuje wtedy mniejszą częstotliwość niż referencyjna i z czasem przebiegi przesuwiają się względem siebie. Pojawiająca się różnica faz $\Delta\phi$ powoduje wzrost średniej wartości napięcia V_o i jednocześnie wzrost częstotliwości generowanej przez oscylator, co w efekcie kompensuje wzrastającą wartość $\Delta\phi$. Przykładem stabilnej pracy pętli jest stan, w którym napięcie $V_o = VDD/2$. Taki stan jest naturalny dla działania pętli fazowej, ponieważ oscylator dla napięcia równego $V_{center} = V_o = VDD/2$ będzie generował częstotliwość podstawową (f_{center}) równą częstotliwości referencyjnej. Ponieważ pętla fazowa ma zwarte sprzężenie zwrotne, sygnał wyjściowy z



Rysunek 2.12: Schemat blokowy pętli fazowej z detektorem fazy na bramce XOR

oscylatora w takim przypadku musi być przesunięty w fazie o $1/4$ okresu względem przebiegu wzorcowego. Tylko wtedy sygnał błędu z detektora fazy będzie wymuszał generację odpowiedniej częstotliwości, zgodnej z referencyjną i nastąpi zsynchronizowanie pętli fazowej. Opisywany układ PLL przedstawiony jest na rysunku 2.12. W literaturze nazywany jest mianem pętli fazowej pierwszego rodzaju.

Fazowa funkcja przenoszenia dla pętli z rysunku 2.12 może zostać wyznaczona na podstawie następującego równania[21]:

$$\phi_{CLK} = \frac{K_V}{s} K_F K_P \Delta\phi \quad s = j\omega \quad (2.3)$$

Różnica faz jest równa: $\Delta\phi = \phi_{REF} - \phi_{CLK}$, a zatem wzór można przepisać jako:

$$\phi_{CLK} = \frac{K_V}{s} K_F K_P (\phi_{REF} - \phi_{CLK}) \quad (2.4)$$

Po prostych przekształceniach funkcja fazowa $H(s)$ przyjmuje postać:

$$H(s) = \frac{\phi_{CLK}}{\phi_{REF}} = \frac{K_P K_F K_V}{s + K_P K_F K_V} \quad (2.5)$$

A zatem zgodnie z operacją całkowania w dziedzinie Laplace'a: $\phi = \frac{1}{s}\omega$ faza sygnału ϕ_{CLK} na wyjściu oscylatora sterowanego w zależności od częstości sygnału referencyjnego ω_{REF} będzie dana następującym wzorem:

$$\phi_{CLK}(s) = \frac{K_P K_F K_V}{s + K_P K_F K_V} \cdot \frac{\omega_{REF}(s)}{s} \quad (2.6)$$

Aby dalsza analiza pętli fazowej pierwszego rodzaju była prosta, a jednocześnie pokazywała jej najważniejsze właściwości, można wprowadzić uproszczenie poprzez pominięcie funkcji przenoszenia filtra $K_F = 1$. Odpowiedź pętli na skok częstości wejściowej o wartość ω_i wygląda następująco:

$$\phi_{CLK}(s) = \frac{K}{s + K} \cdot \frac{\omega_i}{s \cdot s} \quad \omega_{REF} = \frac{1}{s} \cdot \omega_i \quad K = K_P K_V \quad (2.7)$$

Na podstawie odwrotnej transformaty Laplace'a zamiana postaci operatorowej $\phi_{CLK}(s)$, na postać czasową $\phi_{CLK}(t)$ będzie miała następujący przebieg:

$$\begin{aligned} \phi_{CLK}(t) &= \lim_{s \rightarrow -K} \frac{(s + K) K \omega_i \cdot e^{st}}{(s + K) s^2} + \lim_{s \rightarrow 0} \frac{d}{ds} \left(\frac{s^2 K \omega_i \cdot e^{st}}{(s + K) s^2} \right) = \\ &= \lim_{s \rightarrow -K} \frac{K \omega_i \cdot e^{st}}{s^2} + \lim_{s \rightarrow 0} \frac{K \omega_i t (s + K) \cdot e^{st} - K \omega_i \cdot e^{st}}{(s + K)^2} = \\ &= \frac{\omega_i}{K} \cdot e^{-Kt} + \frac{K^2 \omega_i t - K \omega_i}{K^2} = \omega_i t + \frac{\omega_i}{K} \cdot e^{-Kt} - \frac{\omega_i}{K} \end{aligned} \quad (2.8)$$

Ostatecznie zmiana fazy przebiegu wyjściowego $\phi_{CLK}(t)$ w dziedzinie czasu, w odpowiedzi na skok częstotliwości sygnału referencyjnego ω_i przyjmie postać:

$$\phi_{CLK}(t) = \omega_i t + \frac{\omega_i}{K_P K_V} \cdot e^{-K_P K_V t} - \underbrace{\frac{\omega_i}{K_P K_V}}_{\text{offset fazy}} \quad (2.9)$$

Z równania 2.9 jednoznacznie widać, że pętla fazowa wprowadza przesunięcie fazowe (offset) zależne od wartości wzmocnienia $K_P K_V$. Częstotliwość wyjściowa $\omega_{CLK}(t)$ w dziedzinie czasu wyraża się poprzez pochodną $\phi_{CLK}(t)$ po czasie, co daje następującą formułę:

$$\omega_{CLK}(t) = \frac{d\phi_{CLK}(t)}{dt} = \omega_i - \underbrace{\omega_i \cdot e^{-K_P K_V t}}_{= 0 \text{ dla } t \rightarrow \infty} \quad (2.10)$$

Eksponencjalny składnik z czasem zmierza do 0, a zmiana częstotliwości wyjściowej podąża za skokiem częstotliwości na wejściu. Aby pokazać w jaki sposób parametry filtra wpływają na stabilność pracy pętli fazowej należy do równania 2.5 wprowadzić funkcję przenoszenia K_F najprostszego filtra dolnoprzepustowego (RC) przedstawioną następującym wzorem:

$$K_F = \frac{1}{1 + sRC} \quad (2.11)$$

Po wprowadzeniu nowych zmiennych (ω_n - częstość naturalna, ξ - współczynnik tłumienia):

$$\omega_n = \sqrt{\frac{K_P K_V}{RC}} \quad \xi = \frac{1}{2} \cdot \sqrt{\frac{1}{K_P K_V RC}} \quad (2.12)$$

Równanie 2.5 przyjmuje postać:

$$H(s) = \frac{\phi_{CLK}}{\phi_{REF}} = \frac{\omega_{CLK}}{\omega_{REF}} = \frac{\omega_n^2}{s^2 + 2\xi\omega_n \cdot s + \omega_n^2} \quad (2.13)$$

Dalsza analiza przebiega w analogiczny sposób jak w poprzednim przypadku, a jej celem jest wyznaczenie w dziedzinie czasu odpowiedzi na skok częstotliwości sygnału referencyjnego ω_i . Ostateczne równanie wyjściowe po uwzględnieniu wszystkich założeń wyraża się zależnością:

$$\omega_{CLK}(s) = \frac{\omega_n^2}{s^2 + 2\xi\omega_n \cdot s + \omega_n^2} \cdot \frac{\omega_i}{s} \quad \omega_{REF}(s) = \frac{\omega_i}{s} \quad (2.14)$$

Powstała funkcja posiada trzy bieguny, jednym z nich jest wartość $s_0 = 0$, a pozostałe dwa należy wyznaczyć szukając pierwiastków dwumianu kwadratowego. Delta tego dwumianu przedstawia się następująco:

$$\Delta = 4\xi^2\omega_n^2 - 4\omega_n^2 \quad \sqrt{\Delta} = 2\omega_n\sqrt{\xi^2 - 1} \quad (2.15)$$

W zależności od wartości współczynnika tłumienia ξ^2 możliwe są trzy rozwiązania:

$$s_{1,2} = \begin{cases} -\xi\omega_n & \text{dla } \xi^2 = 1 \\ -\xi\omega_n \pm \omega_n\sqrt{\xi^2 - 1} & \text{dla } \xi^2 > 1 \\ -\xi\omega_n \pm j \cdot \omega_n\sqrt{1 - \xi^2} & \text{dla } \xi^2 < 1 \end{cases} \quad (2.16)$$

Dla $\xi^2 > 1$ odpowiedzią układu jest esponencjalna zmiana częstości na wyjściu do wartości wynikającej ze skoku ω_i . Dla przypadku w którym $\xi^2 = 1$, to podążanie częstości wyjściowej za zmianą na wejściu jest także esponencjalne ale możliwie najszybsze. W dwóch pierwszych przypadkach działanie pętli fazowej jest zawsze stabilne i nie mogą powstawać oscylacje. W ostatnim przypadku, najważniejszym z punktu widzenia analizy stabilności ($\xi^2 < 1$), funkcja wyrażona zależnością 2.14 posiada parę biegunów zespolonych sprzężonych i przyjmuje postać:

$$\omega_{CLK}(s) = \frac{\omega_n^2}{\left(s + \xi\omega_n + j \cdot \omega_n\sqrt{1 - \xi^2}\right)\left(s + \xi\omega_n - j \cdot \omega_n\sqrt{1 - \xi^2}\right)} \cdot \frac{\omega_i}{s} \quad (2.17)$$

Na podstawie odwrotnej transformaty Laplace'a, a także za pośrednictwem twierdzenia o Residuum, zamiana postaci operatorowej $\omega_{CLK}(s)$, na postać czasową $\omega_{CLK}(t)$ będzie miała następujący przebieg:

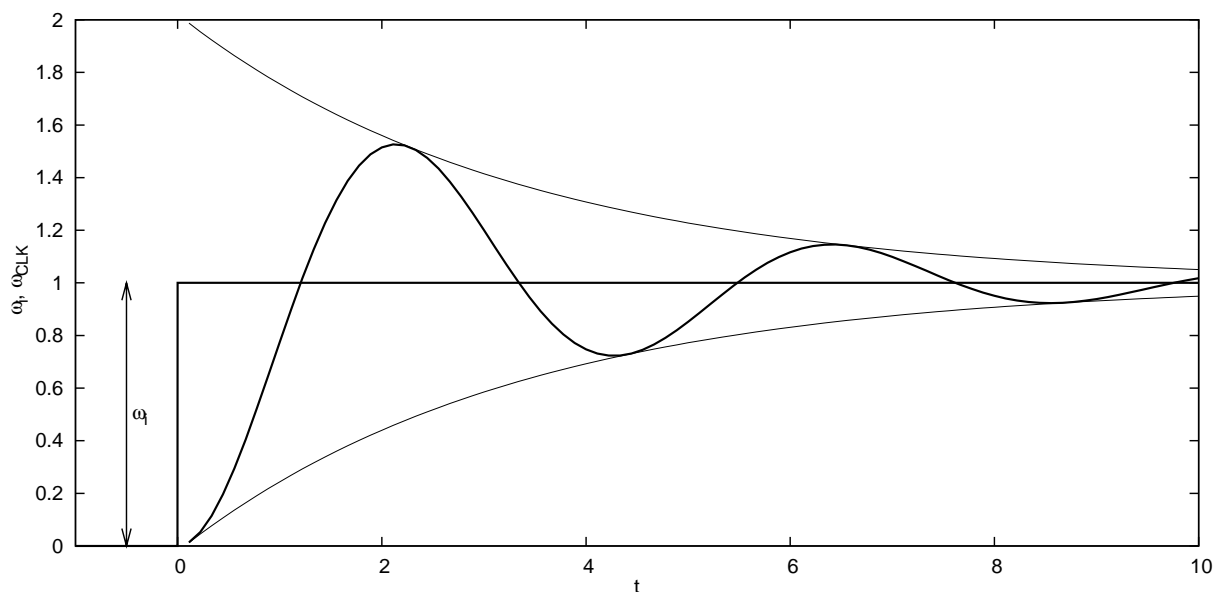
$$\begin{aligned} \omega_{CLK}(t) &= \omega_i + 2\Re \left[\lim_{s \rightarrow -\xi\omega_n - j\omega_n\sqrt{1-\xi^2}} \left(\frac{\omega_n^2 \omega_i \cdot e^{st}}{s \left(s + \xi\omega_n - j\omega_n\sqrt{1-\xi^2} \right)} \right) \right] = \\ &= \omega_i + \Re \left[\frac{\omega_i \cdot e^{(-\xi\omega_n - j\omega_n\sqrt{1-\xi^2})t}}{\left(\xi + j\sqrt{1-\xi^2} \right) \left(j\sqrt{1-\xi^2} \right)} \right] = \omega_i + \Re \left[\frac{\omega_i \cdot e^{(-\xi\omega_n - j\omega_n\sqrt{1-\xi^2})t}}{e^{j \cdot \arctan \frac{\sqrt{1-\xi^2}}{\xi}} \cdot \sqrt{1-\xi^2} \cdot e^{j \cdot \frac{\pi}{2}}} \right] = \\ &= \omega_i + \omega_i \cdot \frac{e^{-\xi\omega_n t}}{\sqrt{1-\xi^2}} \cdot \Re \left[e^{-j \left(\omega_n\sqrt{1-\xi^2} \cdot t + \arctan \frac{\sqrt{1-\xi^2}}{\xi} + \frac{\pi}{2} \right)} \right] = \\ &= \omega_i - \omega_i \cdot e^{-\xi\omega_n t} \cdot \frac{1}{\sqrt{1-\xi^2}} \cdot \sin \left(\omega_n\sqrt{1-\xi^2} \cdot t + \arctan \frac{\sqrt{1-\xi^2}}{\xi} \right) \end{aligned} \quad (2.18)$$

Na podstawie tożsamości matematycznych można zapisać ostateczną formułę w prostszej postaci:

$$\omega_{CLK}(t) = \omega_i - \omega_i \cdot e^{-\xi\omega_n t} \cdot \frac{1}{\sqrt{1-\xi^2}} \cdot \sin \left(\omega_n\sqrt{1-\xi^2} \cdot t + \arccos \xi \right) \quad (2.19)$$

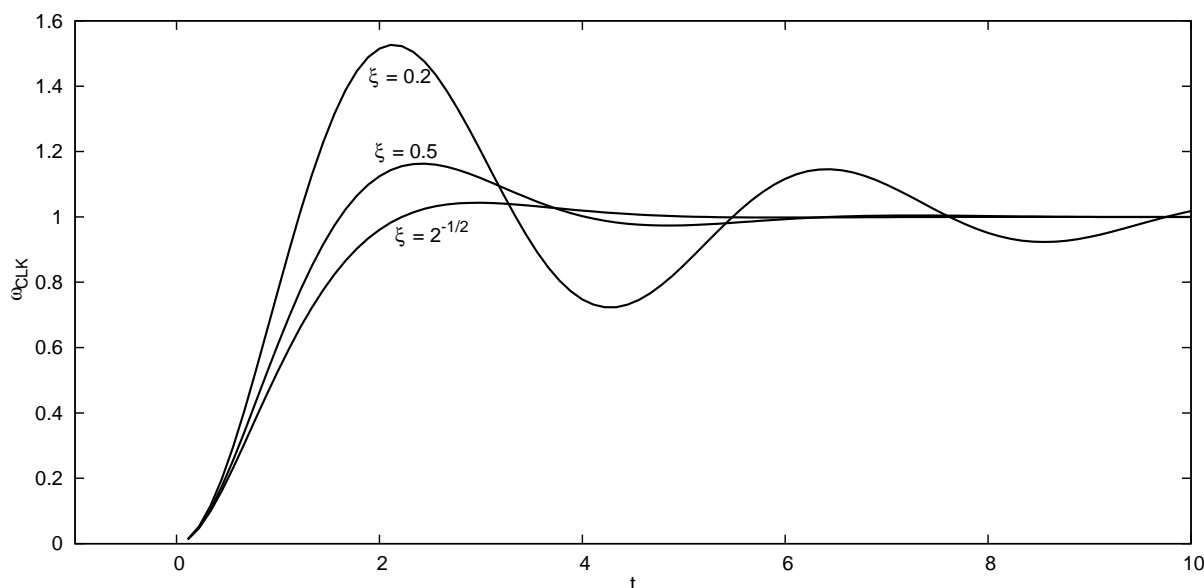
Jak widać zmiana częstości $\omega_{CLK}(t)$ po pewnym czasie osiągnie wartość taką samą jak skok częstości referencyjnej ω_i , ponieważ drgania zostaną stłumione przez występujący we wzorze czynnik $e^{-\xi\omega_n t}$. Na rysunku 2.13 przedstawiona jest przykładowa zależność odpowiedzi wyjścia pętli fazowej na wymuszenie w postaci skoku jednostkowego częstości referencyjnej. Drgania będą tłumione szybciej gdy częstość graniczna filtra $\omega_{LP} = \frac{1}{RC}$ będzie większa, ale przez to przebieg impulsowy z detektora fazy będzie źle całkowany. Na podstawie wzorów 2.12 można wyprowadzić równanie opisującą ten problem:

$$\xi\omega_n = \frac{1}{2} \cdot \omega_{LP} \quad (2.20)$$



Rysunek 2.13: Odpowiedź wyjścia pętli fazowej na skok częstości referencyjnej

W rezultacie tej zależności wymagane jest znalezienie optimum między dobrą filtracją napięcia sterującego VCO, a niskimi oscylacjami częstości na wyjściu pętli fazowej. Wykres 2.14 przedstawia wpływ parametru ξ na tłumienie oscylacji w odpowiedzi pętli fazowej. Dla wartości współczynnika tłumienia $\xi < 0.5$, powstały na wejściu skok częstości powoduje duże i wolno gasnące oscylacje. Dla wartości $\xi > \frac{\sqrt{2}}{2}$ oscylacje na wyjściu są tak małe, że można je zaniedbać.



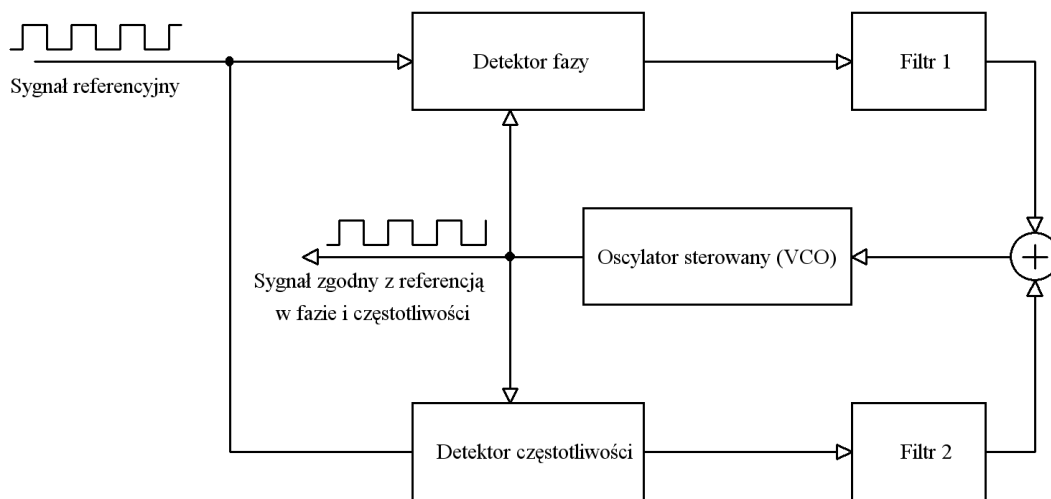
Rysunek 2.14: Porównanie oscylacji na wyjściu w zależności od współczynnika ξ

Pętla fazowa pierwszego rodzaju jest układem prostym w konstrukcji, jednak posiada sporo wad. Prosty detektor fazy sprawia, że pętla może się synchronizować na częstotliwości harmonicznej przebiegu referencyjnego, co jest zjawiskiem niepożądanym. Pociąga to za sobą ko-

nieczność stosowania oscylatorów o zakresie częstotliwości od $> 0.5 \cdot f_{center}$ do $< 2 \cdot f_{center}$, aby nie było możliwości wygenerowania przebiegu wyjściowego o częstotliwości harmonicznej. Filtr użyty w tym rodzaju pętli fazowej jest najprostszym dolnoprzepustowym filtrem RC. Napięcie na wyjściu tego filtra oscyluje nawet w chwili gdy pętla uzyskała już synchronizację, co powoduje modulację częstotliwości wyjściowej. Pętla fazowa pierwszego rodzaju nie potrafi utrzymać synchronizacji dla dużych skoków częstości wejściowej ω_i w stosunku do stałej ω_{LP} filtru, a także wprowadza offset fazy zależny od wzmocnienia.

2.2.2 Pętla fazowa drugiego rodzaju

W celu wyeliminowania wad pętli fazowej pierwszego rodzaju, wprowadza się detekcję częstotliwości oscylacji. Dzięki temu nie ma możliwości żeby pętla zatrzasnęła się na częstotliwości harmonicznej podawanej referencji i oscylator może mieć szeroki zakres przestrajania. Rysunek 2.15 przedstawia ideę działania pętli fazowej drugiego rodzaju.

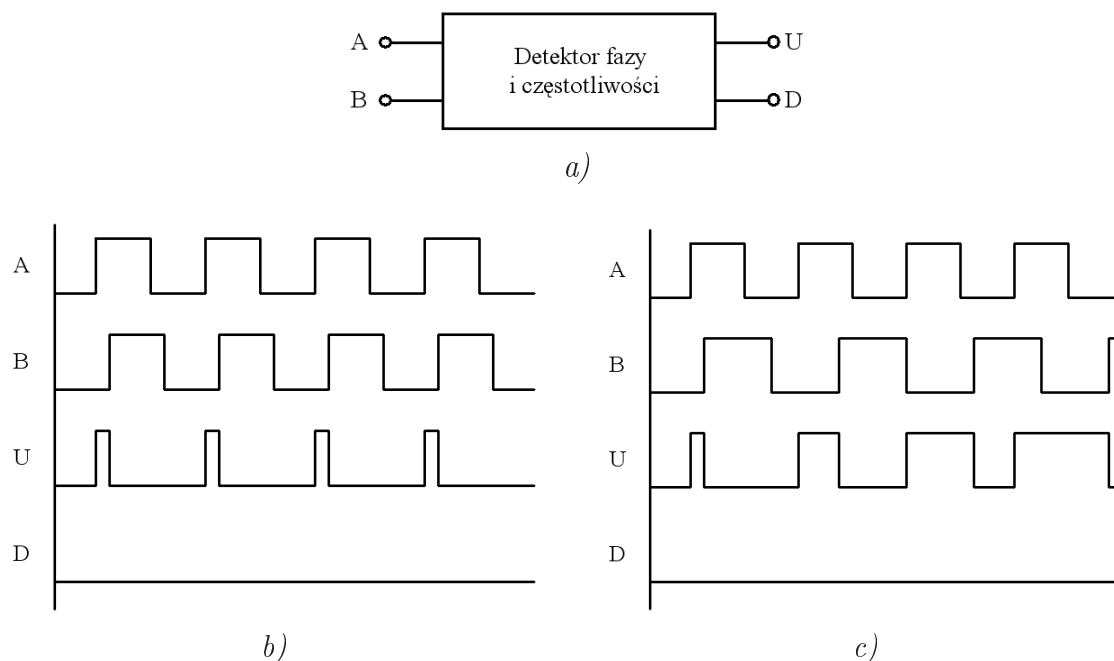


Rysunek 2.15: Idea działania pętli fazowej drugiego rodzaju

W układzie występują teraz dwie pętle sprzężenia zwrotnego, jedna związana jest z detektorem fazy i pierwszym filtrem, natomiast druga pętla sprzężenia zwrotnego zapięta jest poprzez detektor częstotliwości i drugi filtr dolnoprzepustowy. Ideą działania jest porównanie częstotliwości wyjściowej z oscylatora VCO z częstotliwością referencyjną i wygenerowanie odpowiedniego stałego poziomu sterującego na wyjściu filtru 2. Gdy różnica częstości $\omega_{out} - \omega_{in}$ jest niewielka wtedy zaczyna działać detektor fazy i tak dostraja napięcie na VCO, żeby fazy sygnałów się zgodziły. Efektem tego ma być sygnał wyjściowy idealnie dopasowany do przebiegu referencyjnego pod względem fazy i częstotliwości.

W wielu przypadkach możliwe jest połączenie detektora fazy i detektora częstotliwości w jeden układ tworząc detektor fazy i częstotliwości (ang. Phase-Frequency Detector (PFD)). Układ taki działa dobrze gdy na oba jego wejścia podawane są przebiegi okresowe, gdyż dzia-

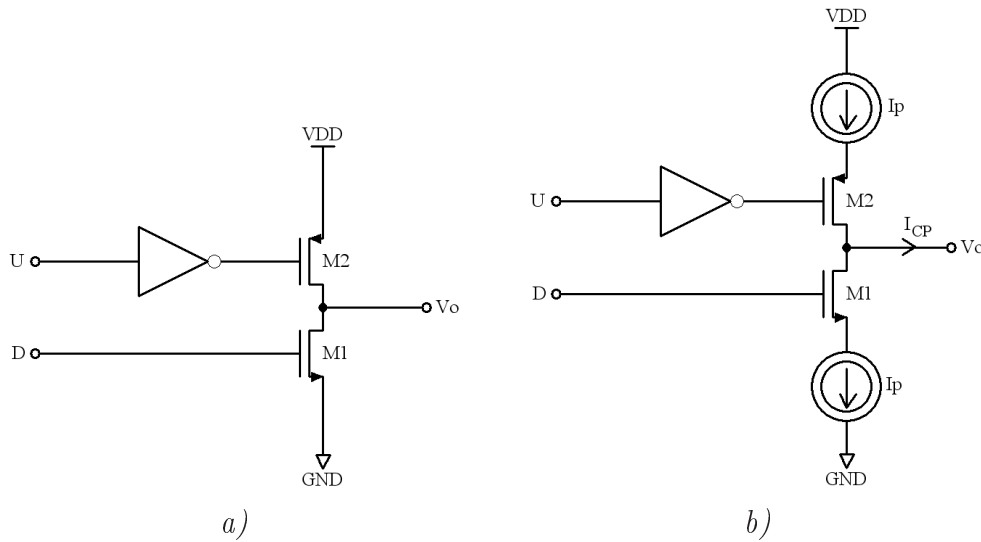
łanie opiera się na wykrywaniu zbocz narastających (lub opadających) obu sygnałów. Rysunek 2.16 przedstawia ideę działania detektora fazy i częstotliwości. Układ ten oparty jest na lo-



Rysunek 2.16: Idea działania detektora fazy i częstotliwości. a) - symbol detektora fazy i częstotliwości, b) - odpowiedź na wyjściu dla sygnałów A i B różniących się fazą, c) - odpowiedź na wyjściu dla sygnałów A i B o różnej częstotliwości.

gice sekwencyjnej i w dużym uproszczeniu działa w następujący sposób (dokładniejszy opis detektora fazy i częstotliwości przedstawia podrozdział 2.4.3). W stanie początkowym na obu wyjściach U i D jest poziom niski, pierwsze zbocze narastające na wejściu A ustawia stan wysoki na wyjściu U. Taki stan utrzymuje się do momentu, gdy na wejściu B nie pojawi się zbocze narastające, po którym wszystko wraca do stanu początkowego. Dla wejścia B działanie jest podobne, z tym że impulsy ustawiane są na wyjściu D. Gdy przebiegi różnią się tylko fazą (rysunek 2.16b), to na jednym z wyjść detektora fazy pojawiają się impulsy o stałej szerokości. Taki stan utrzymuje się do momentu aż pętla nie zgra ze sobą przebiegu wyjściowego i referencyjnego. Gdy natomiast częstotliwości sygnałów na obu wejściach PFD są różne (rysunek 2.16c), to szerokość impulsów z detektora fazy zwiększa się wraz z rosnącym przesunięciem fazowym między przebiegami. Daje to silniejsze sterowanie w kierunku przywrócenia tych samych częstotliwości. Oscylator VCO jest sterowany napięciem będącym średnią wartością z różnicy sygnałów U i D, za pośrednictwem jednego z dwóch opisywanych niżej układów wyjściowych.

Wyjścia detektora fazy i częstotliwości muszą zostać zamienione na pojedynczy sygnał napięciowy aby umożliwić sterowanie oscylatorem. W literaturze spotyka się najczęściej dwa rozwiązania, pierwsze nazywane wyjściem trójstanowym (ang. tri-state output), a drugie pompą ładunkową (ang. charge pump (CP)). Oba rozwiązania przedstawia rysunek 2.17. Napięcie V_o zaznaczone na wyjściach obu układów odkłada się na występującym dalej filtrze dolnoprze-



Rysunek 2.17: Możliwe układy wyjściowe dla detektora fazy. a) - z wyjściem trójstanowym oraz b) - pompa ładunkowa

pustowym. W układzie z wyjściem trójstanowym, gdy oba sygnały U i D są w stanie niskim to wyjście V_o jest w stanie wysokiej impedancji wyjściowej. Jeśli pojawią się impulsy na wejściu D to V_o będzie zwierane do masy, a jeśli impulsy będą na wejściu U to V_o będzie łączone z szyną zasilania. Bardzo poważną wadą tego rozwiązania jest wpływ tętnień napięcia zasilania na sygnał V_o w momencie kiedy tranzystor M2 jest otwarty, co przyczyni się do modulacji częstotliwości wyjściowej VCO. Drugim problemem jest filtracja oscylacji napięcia sterującego V_o , gdyż sprawa jest bardzo podobna jak w przypadku omawianego wcześniej detektora fazy na bramce XOR.

Druga konfiguracja pokazana na rysunku 2.17b działa na podobnej zasadzie, jednak tym razem tranzystory w takt pojawiających się sygnałów U i D, pompują prąd ze źródeł I_P na pojemność filtra dolnoprzepustowego. Źródła prądowe można wykonać odporne na wahania napięcia zasilania, a zatem nie może tu być mowy o modulacji częstotliwości pracy oscylatora poprzez zmiany zasilania, w rozumieniu takim jak dla układu z wyjściem trójstanowym.

Zakładając że oba przebiegi na wejściach detektora fazy i częstotliwości mają tę samą częstotliwość f oraz, że są względem siebie przesunięte w skali czasowej o Δt , możemy napisać różnicę ich faz w postaci:

$$\Delta\phi = \frac{\Delta t}{T} \cdot 2\pi \text{ [radian]} \quad (2.21)$$

gdzie: Δt - przesunięcie czasowe przebiegów względem siebie

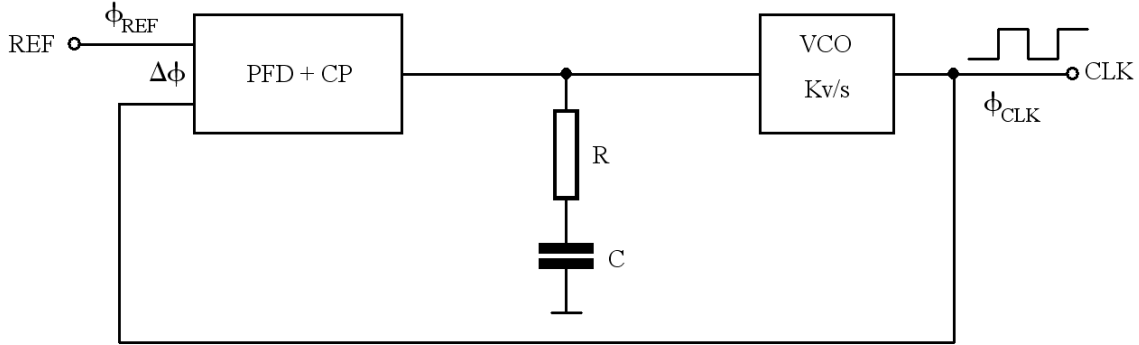
T - okres przebiegów wejściowych

Prąd wyjściowy pompy ładunkowej, ładujący filtr pętli fazowej, w zależności od różnicy faz

sygnałów wejściowych wyraża się następującą prostą zależnością:

$$I_{CP} = \frac{I_P}{2\pi} \cdot \Delta\phi = K_{PD} \cdot \Delta\phi \quad (2.22)$$

gdzie K_{PD} jest wzmocnieniem detektora fazy z wyjściem w roli pompy ładunkowej. Czynnikiem 2π zapewnia skalowanie prądu w taki sposób, żeby dla różnicy faz $\Delta\phi = 2\pi$ płynął prąd o wartości I_P . Rysunek 2.18 przedstawia schemat blokowy pętli fazowej drugiego rodzaju.



Rysunek 2.18: Schemat blokowy pętli fazowej drugiego rodzaju

W najprostszym przypadku filtrem może być kondensator C, bez dodatkowej rezystancji szeregowej, jednak po analizie stabilności pętli fazowej, dodanie szeregowego rezystora okaże się konieczne, co potwierdzą dalsze obliczenia. Analogicznie jak w przypadku pętli fazowej pierwszego rodzaju zmianę fazy ϕ_{CLK} na wyjściu oscylatora można przedstawić w następujący sposób:

$$\phi_{CLK}(s) = \frac{I_{CP}}{2\pi} \cdot \left(\frac{1}{sC} + R \right) \cdot \frac{K_V}{s} \cdot \Delta\phi = \frac{I_{CP}}{2\pi} \cdot \left(\frac{1}{sC} + R \right) \cdot \frac{K_V}{s} \cdot (\phi_{REF} - \phi_{CLK}) \quad (2.23)$$

Po prostych przekształceniach równanie to daje fazową funkcję przenoszenia pętli w następującej postaci:

$$H(s) = \frac{\phi_{CLK}}{\phi_{REF}} = \frac{\frac{I_{CP}K_V}{2\pi s} \left(\frac{1}{sC} + R \right)}{1 + \frac{I_{CP}K_V}{2\pi s} \left(\frac{1}{sC} + R \right)} \quad (2.24)$$

Gdy wartość rezystancji w filtrze pętli fazowej będzie równa zero, równanie sprowadzi się to prostszej formy. Zmiana fazy na wyjściu będzie się wtedy wyrażała w następujący sposób:

$$\phi_{CLK} = \frac{\frac{I_{CP}K_V}{2\pi C}}{s^2 + \frac{I_{CP}K_V}{2\pi C}} \cdot \frac{\phi_i}{s} \quad \phi_{REF} = \frac{\phi_i}{s} \quad (2.25)$$

gdzie ϕ_{CLK} jest odpowiedzią wyjścia pętli fazowej na skok jednostkowy o wartości ϕ_i . Jednocześnie dla uproszczenia zapisu niech $\frac{I_{CP}K_V}{2\pi C} = K$, co da następującą prostą postać wyrażenia na ϕ_{CLK} :

$$\phi_{CLK} = \frac{K}{s^2 + K} \cdot \frac{\phi_i}{s} \quad (2.26)$$

Odpowiedź czasową układu dobrze jest policzyć metodą Residuum, pamiętając że funkcja ma dwa bieguny zespolone sprzężone i jeden biegun rzeczywisty. Odpowiedź w dziedzinie czasu

przedstawia się następująco:

$$\begin{aligned}
\phi_{CLK}(t) &= \phi_i + 2\Re \left[\lim_{s \rightarrow j\sqrt{K}} \left(\frac{\phi_i K (s - j\sqrt{K}) \cdot e^{st}}{(s - j\sqrt{K})(s + j\sqrt{K})s} \right) \right] = \\
&= \phi_i + 2\Re \left[\lim_{s \rightarrow j\sqrt{K}} \left(\frac{\phi_i K \cdot e^{st}}{(s + j\sqrt{K})s} \right) \right] = \phi_i + 2\Re \left(\frac{\phi_i K \cdot e^{j\sqrt{K} \cdot t}}{(2j\sqrt{K})j\sqrt{K}} \right) = \quad (2.27) \\
&= \phi_i + \phi_i \Re \left(\frac{K \cdot e^{j\sqrt{K} \cdot t}}{-K} \right) = \phi_i - \phi_i \Re \left(e^{j\sqrt{K} \cdot t} \right) = \phi_i - \phi_i \Re \left(\cos \sqrt{K} \cdot t + j \cdot \sin \sqrt{K} \cdot t \right) = \\
&= \phi_i \left(1 - \cos \sqrt{K} \cdot t \right)
\end{aligned}$$

Po powrocie do pierwotnych oznaczeń, odpowiedź pętli fazowej na zmianę skokową fazy sygnału referencyjnego, wyraża się poprzez zależność:

$$\phi_{CLK}(t) = \phi_i \left(1 - \cos \sqrt{\frac{I_{CP}K_V}{2\pi C}} \cdot t \right) \quad (2.28)$$

Jak widać budowa pętli fazowej z najprostszym filtrem pomijającym rezystancję, nie jest możliwa do wykonania. Jakakolwiek zmiana fazy sygnału referencyjnego wzbudza w układzie oscylacje niegasnące i synchronizacja pętli nigdy nie nastąpi. Brak rezystancji szeregowej sprawia, że w układzie występują dwa idealne obwody całkujące i w sumie przesunięcie fazowe między wejściem a wyjściem jest równe 180° , co naturalnie prowadzi do oscylacji. Na podstawie wzoru 2.24 można łatwo uzyskać postać odpowiedzi ϕ_{CLK} wyjścia pętli fazowej na jednostkowy skok fazy sygnału referencyjnego dla przypadku gdy $R > 0$. Przedstawia się to równaniem w postaci:

$$\phi_{CLK}(s) = \frac{\frac{I_{CP}K_V}{2\pi C} + \frac{I_{CP}K_V R s}{2\pi}}{s^2 + \frac{I_{CP}K_V R}{2\pi} \cdot s + \frac{I_{CP}K_V}{2\pi C}} \cdot \frac{\phi_i}{s} \quad (2.29)$$

Po wprowadzeniu nowych zmiennych (ω_n - częstość naturalna, ξ - współczynnik tłumienia):

$$\omega_n = \sqrt{\frac{I_{CP}K_V}{2\pi C}} \quad \xi = \frac{1}{2} \cdot \omega_n R C \quad (2.30)$$

można uzyskać wyrażenie na $\phi_{CLK}(s)$ w dogodnej postaci do dalszej analizy:

$$\phi_{CLK}(s) = \frac{\omega_n^2 + 2\xi\omega_n \cdot s}{s^2 + 2\xi\omega_n \cdot s + \omega_n^2} \cdot \frac{\phi_i}{s} \quad (2.31)$$

Powstała funkcja posiada trzy bieguny, jednym z nich jest wartość $s_0 = 0$, a pozostałe dwa należy wyznaczyć szukając pierwiastków dwumianu kwadratowego. Delta tego dwumianu przedstawia się następująco:

$$\Delta = 4\xi^2\omega_n^2 - 4\omega_n^2 \quad \sqrt{\Delta} = 2\omega_n\sqrt{\xi^2 - 1} \quad (2.32)$$

W zależności od wartości współczynnika tłumienia ξ^2 możliwe są trzy rozwiązania:

$$s_{1,2} = \begin{cases} -\xi\omega_n & \text{dla } \xi^2 = 1 \\ -\xi\omega_n \pm \omega_n\sqrt{\xi^2 - 1} & \text{dla } \xi^2 > 1 \\ -\xi\omega_n \pm j \cdot \omega_n\sqrt{1 - \xi^2} & \text{dla } \xi^2 < 1 \end{cases} \quad (2.33)$$

Dwa pierwsze przypadki zawsze zapewniają stabilne działanie pętli fazowej, natomiast współczynnik $\xi^2 < 1$ poprowadzi do pojawienia się dwóch biegunów zespolonych sprzężonych i gąsnących oscylacji w odpowiedzi układu na skok jednostkowy. W tym ostatnim przypadku odpowiedź wyjścia na skok jednostkowy częstości referencyjnej przedstawia się następująco:

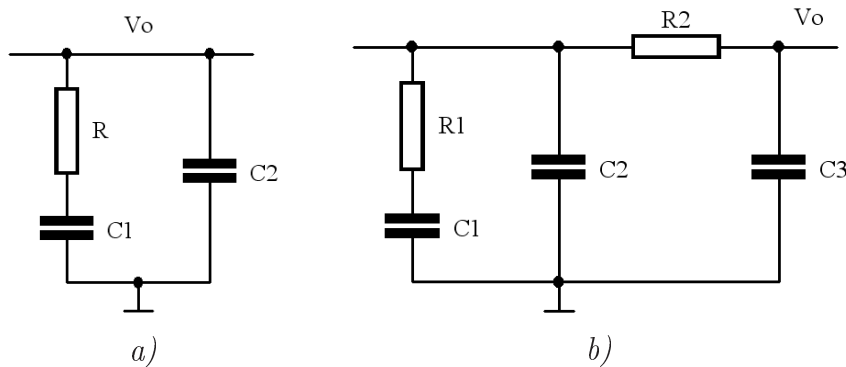
$$\phi_{CLK}(s) = \frac{\omega_n^2 + 2\xi\omega_n \cdot s}{(s + \xi\omega_n + j \cdot \omega_n\sqrt{1 - \xi^2})(s + \xi\omega_n - j \cdot \omega_n\sqrt{1 - \xi^2})} \cdot \frac{\phi_i}{s} \quad (2.34)$$

Przejście z $\phi_{CLK}(s)$ na dziedzinę czasu w formie skróconej przedstawia się następująco:

$$\begin{aligned} \phi_{CLK}(t) &= \phi_i + 2\Re \left[\frac{\phi_i \left(\omega_n^2 + 2\xi\omega_n \left(-\xi\omega_n - j \cdot \omega_n\sqrt{1 - \xi^2} \right) \right) \cdot e^{(-\xi\omega_n - j \cdot \omega_n\sqrt{1 - \xi^2})t}}{\left(-j \cdot \omega_n\sqrt{1 - \xi^2} - j \cdot \omega_n\sqrt{1 - \xi^2} \right) \left(-\xi\omega_n - j \cdot \omega_n\sqrt{1 - \xi^2} \right)} \right] = \\ &= \phi_i + \phi_i \Re \left[\frac{\left(1 - 2\xi^2 - j \cdot 2\xi\sqrt{1 - \xi^2} \right) \cdot e^{(-\xi\omega_n - j \cdot \omega_n\sqrt{1 - \xi^2})t}}{\xi^2 - 1 + j \cdot \xi\sqrt{1 - \xi^2}} \right] = \\ &= \phi_i + \phi_i \cdot e^{-\xi\omega_n t} \Re \left[\sqrt{\frac{1}{1 - \xi^2}} \cdot e^{-j \left(\omega_n\sqrt{1 - \xi^2} \cdot t + \arctan \frac{2\xi}{\sqrt{1 - \xi^2}} - \arctan \frac{\xi}{\sqrt{1 - \xi^2}} \right) t} \right] = \\ &= \phi_i + \phi_i \cdot e^{-\xi\omega_n t} \cdot \sqrt{\frac{1}{1 - \xi^2}} \cdot \cos \left(\omega_n\sqrt{1 - \xi^2} \cdot t + \arctan \frac{2\xi}{\sqrt{1 - \xi^2}} - \arctan \frac{\xi}{\sqrt{1 - \xi^2}} \right) = \end{aligned} \quad (2.35)$$

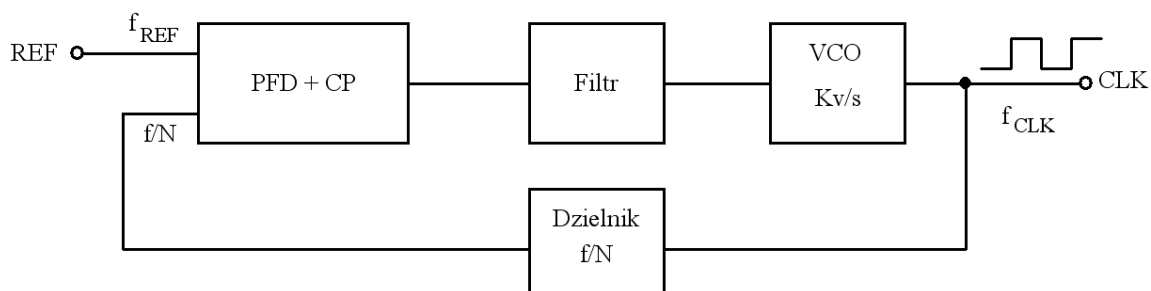
Wyjście pętli fazowej drugiego rodzaju zachowuje się podobnie jak w przypadku pętli pierwszego rodzaju. Skok fazy pojawiający się na wejściu układu powoduje odpowiednią reakcję na wyjściu. Tłumienie drgań zależy od współczynnika ξ występującego w wykładniku funkcji eksponencjalnej. Kiedy częstotliwości przebiegów na wyjściu i wejściu pętli są zbliżone, detektor fazy i częstotliwości dostraja fazy sygnałów do momentu, aż różnica faz nie będzie równa 0. Jest to dużą zaletą w stosunku do pętli pierwszego rodzaju, która wprowadza offset fazy sygnału zależny od wzmocnienia. Gdy różnica faz $\phi_{CLK} - \phi_{REF}$ osiągnie 0, wtedy PFD nie będzie wystawiał sygnałów U i D, źródła prądowe w pompie ładunkowej nie będą dołączane do filtra pętli i napięcie sterujące oscylator pozostanie stałe. Częstotliwość i przesunięcie fazowe sygnału na wyjściu będą dryfować, gdyż występujące w układzie szumy dadzą losową modulację częstotliwości VCO. Z biegiem czasu różnica faz może się zwiększać, na co zareaguje detektor fazy i pojemności na filtrze pompy zostaną doładowane.

W praktyce dodanie szeregowego rezystora do filtra pętli fazowej sprawia, że przy każdym impulsie prądowym z pompy ładunkowej, napięcie na filtrze zmienia się w sposób skokowy. Pogarsza to stabilność działania pętli, więc stosuje się dodatkowy kondensator o pojemności rzędu $C/10$, włączony równolegle do wejścia sterującego VCO ($C2$ na rysunku 2.19a). Takie połączenie eliminuje skoki napięcia na linii sterującej wychodzącej z filtra pętli, a zachowanie pętli nie ulega zmianie w sposób znaczący. W przypadku gdy w wolnozmiennym przebiegu sterującym VCO pojawiają się krótkie szpilki napięciowe, można zastosować dodatkowy filtr RC o krótkiej stałej czasowej. Przykład takiego rozwiązania widoczny jest na rysunku 2.19b



Rysunek 2.19: Konfiguracje filtra pętli fazowej. a) - z dodatkową pojemnością $C2$ oraz b) - z pojemnością $C2$ i dodatkowym obwodem całkującym $R2C3$

Bardzo ważnym zastosowaniem pętli fazowych drugiego rodzaju jest powielanie częstotliwości. Pozwala to na podstawie precyzyjnego przebiegu referencyjnego, podawanego z zewnątrz układu uzyskać częstotliwość kilkukrotnie większą. Idea działania pętli w takiej konfiguracji przedstawiona jest na rysunku 2.20. Kluczem do powielania częstotliwości jest wykorzystanie



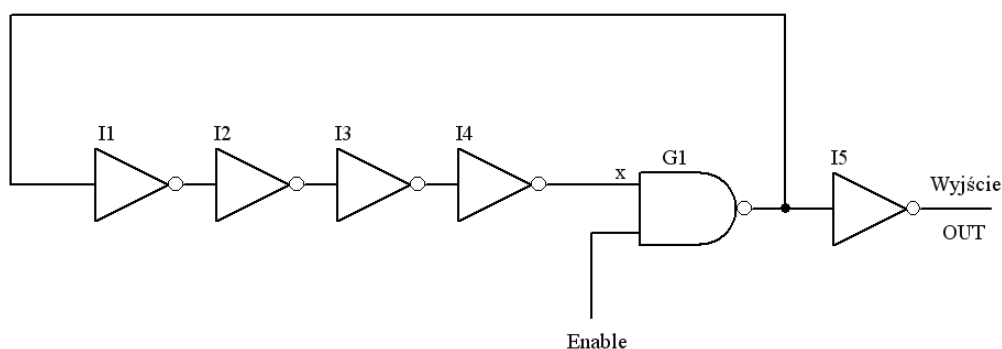
Rysunek 2.20: Wykorzystanie pętli fazowej do powielania częstotliwości

dzielnika w sprzężeniu zwrotnym pętli fazowej. Oscylator VCO musi pracować na częstotliwości środkowej N razy większej niż referencyjna, gdzie N to stopień podziału dzielnika. Przebieg po wyjściu z dzielnika ma zatem częstotliwość równą referencji, a ponieważ dzielenie częstotliwości jest zawsze operacją dokładną to na wyjściu oscylatora uzyskuje się przebieg o częstotliwości N razy większej od referencji. W efekcie gdy detektor fazy tak wysteruje pętlę aby częstotliwości: referencyjna i podzielona były jednakowe, to zagwarantuje tym samym stabilność, powielonej N razy, częstotliwości oscylatora.

2.3 Oscylatory sterowane napięciem (VCO)

Generator sterowany napięciem (ang. Voltage Controlled Oscillator, VCO) jest układem wytwarzającym przebieg prostokątny o ściśle określonym zakresie częstotliwości. Wyboru okresu oscylacji dokonujemy poprzez zmianę stałego napięcia sterującego podawanego na wejście VCO. Częstotliwość na wyjściu układu jest liniową funkcją napięcia podawanego na wejście.

Istnieje wiele możliwych realizacji generatora przestrajanego napięciem. Rysunek 2.21 przedstawia oscylator bramkowany (ang. gated oscillator). Stanowi on bazę do budowy układów VCO najczęściej spotykanych w literaturze [20]. Przedstawiony układ sam w sobie nie umożliwia regulacji częstotliwości, a pokazuje jedynie ideę wytwarzania przebiegu prostokątnego. Jak widać



Rysunek 2.21: Schemat oscylatora bramkowanego

układ jest bardzo prosty i składa się w najprostszym przypadku z 4 inwerterów i bramki NAND. Inwerter I5 stanowi w tym przypadku wyjściowy bufor-inwerter. W stanie spoczynku wejście zezwalające (Enable) jest w stanie niskim, a zatem niezależnie od stanu logicznego na wejściu x (w praktyce x przyjmie stan wysoki), na wyjściu bramki NAND zawsze będzie stan wysoki. Gdy sygnał zezwalający przyjmie stan wysoki to natychmiast na wyjściu generatora pojawi się pierwsze zbocze opadające, wynikające z inwersji stanu na wejściu x bramki NAND. Jak nie trudno zauważyć wejście x bramki, po pewnym czasie, wynikającym z opóźnienia inwerterów, przyjmuje ten sam stan logiczny co wyjście. Bramka NAND pracuje w tej konfiguracji jako sterowany inwerter, a zatem gdy tylko stan logiczny z jej wyjścia "dojdzie" na wejście to stan logiczny zostanie zmieniony na przeciwny. Powstaną tym sposobem oscylacje, których częstotliwość zależy od czasów propagacji inwerterów, ich ilości oraz od czasu propagacji bramki NAND. Warunkiem koniecznym do zaistnienia oscylacji jest nieparzysta ilość elementów negujących poziomu sygnału. W opisywanym przypadku są to 4 klasyczne inwertery i bramka NAND pełniąca podobną funkcję. Jeśli t_i oraz t_N są czasami opóźnienia jakie wprowadzają odpowiednio inwerter i bramka to częstotliwość oscylacji układu z rysunku 2.21 można wyliczyć z prostej zależności:

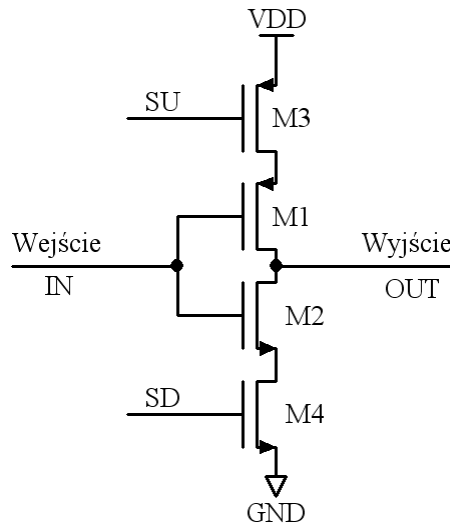
$$f_{osc} = \frac{1}{2(4 \cdot t_i + t_N)} \quad (2.36)$$

Dla przykładu jeśli każdy z inwerterów ma opóźnienie równe $100ps$, a bramka NAND ma

opóźnienie 150ps to oscylator uzyska następującą częstotliwość pracy:

$$f_{osc} = \frac{1}{2(4 \cdot 100ps + 150ps)} = \frac{1}{1100ps} = 909.1MHz \quad (2.37)$$

Jak widać częstotliwość pracy oscylatora jest funkcją liniową całkowitego opóźnienia w pętli sprzężenia zwrotnego, więc do zrealizowania generatora sterowanego napięciowo wystarczy sterować tym opóźnieniem. Do tego celu stosujemy specjalną konstrukcję inwertera z ograniczonym poborem prądu sterowanym napięciem (ang. Current-Starved Inverter), którego schemat znajduje się na rysunku 2.22 [21].

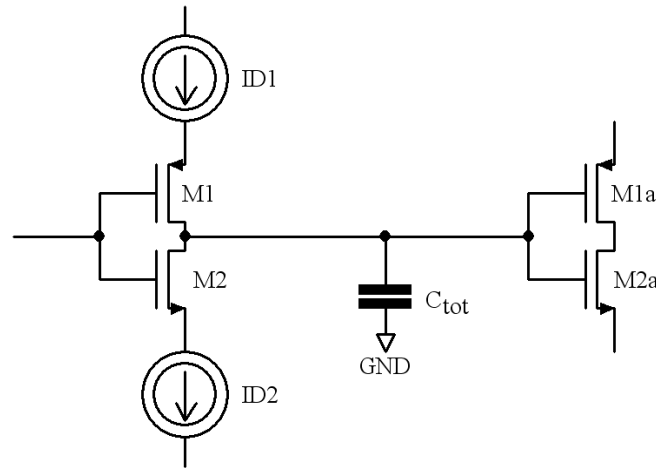


Rysunek 2.22: Inwerter z ograniczonym poborem prądu

Konstrukcja jest bardzo prosta i oprócz dwóch tranzystorów tworzących klasyczny inwerter (M1 i M2) dokładamy dodatkowe dwa tranzystory które ograniczają prąd (M3 i M4). Szybkość przełączania (propagacji sygnału) inwertera zależy od pojemności podłączonej na jego wyjściu oraz od prądu jakim ta pojemność jest przeładowywana. W klasycznym układzie inwertera z dwoma tranzystorami nie mamy możliwości sterowania prądem płynącym przez niego. Pojemności w układzie zależą od wymiarów elementów i technologii, więc do klasycznego inwertera dodajemy możliwość płynnej regulacji prądu. Napięcia na bramkach tranzystorów sterujących M3 oraz M4 (pracujących w roli źródeł prądowych) nie powinny zmieniać się w dowolny sposób ale zawsze obniżeniu napięcia na wejściu sterującym SU powinien towarzyszyć taki wzrost napięcia na SD, aby prądy drenów obu źródeł były takie same. Takie sterowanie zapewnia równe czasy propagacji ze stanu niskiego do wysokiego (T_{pLH}) i z wysokiego do niskiego (T_{pHL}), co jest ważne dla utrzymania wypełnienia generowanego przebiegu na poziomie 50%.

Rysunek 2.23 przedstawia całkowitą pojemność jaka widziana jest na wyjściu sterowanego inwertera. W jest skład wchodzi pojemności widziane z drenów tranzystorów M1 i M2 oraz pojemności bramek tranzystorów M1a i M2a (w następnym stopniu oscylatora). Zapisujemy to prostym równaniem:

$$C_{tot} = C_{out} + C_{in} \quad (2.38)$$



Rysunek 2.23: Pojemność całkowita na wyjściu sterowanego inwertera

gdzie: C_{tot} - całkowita pojemność jaką musi przeładować inwerter

C_{in} - pojemność bramek tranzystorów w następnym stopniu oscylatora

C_{out} - pojemność wyjściowa widziana z drenów tranzystorów w inwerterze

Czas jaki potrzebujemy aby pojemność C_{tot} naładowała się od zera do wartości VDD za pomocą stałego prądu I_{D1} wyraża się następującym wzorem:

$$t_1 = C_{tot} \cdot \frac{VDD}{I_{D1}} \quad (2.39)$$

natomiast czas potrzebny na rozładowanie C_{tot} z wartości równej napięciu zasilania (VDD) do zera wyraża się zależnością:

$$t_2 = C_{tot} \cdot \frac{VDD}{I_{D2}} \quad (2.40)$$

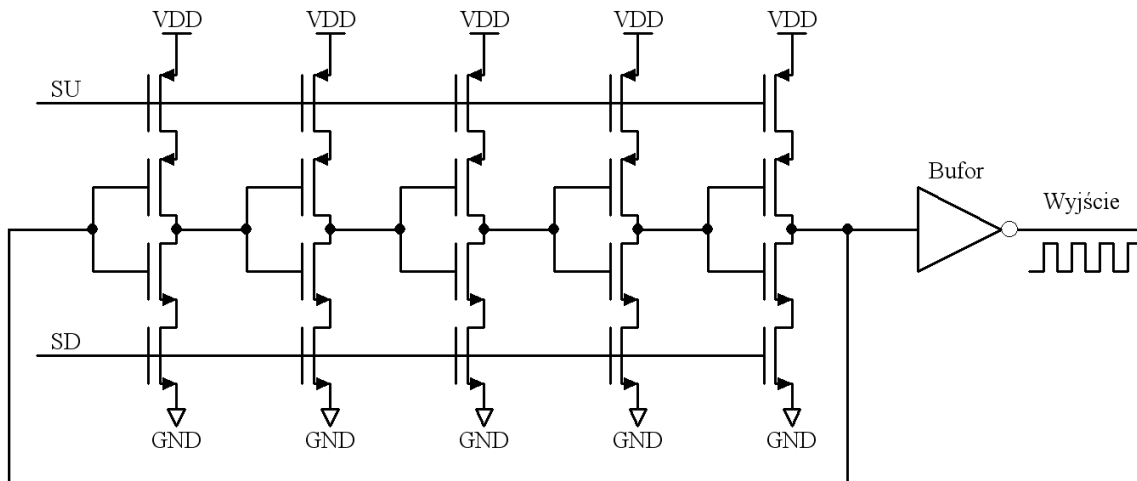
Przyjmując prąd $I_{D1} = I_{D2} = I_D$ suma czasów t_1 oraz t_2 wyraża się następująco:

$$t_1 + t_2 = 2 \cdot C_{tot} \cdot \frac{VDD}{I_D} \quad (2.41)$$

co daje następujące wyrażenie na częstotliwość oscylacji generatora złożonego z N inwerterów sterowanych (bramka NAND traktowana jest jako jeden z inwerterów):

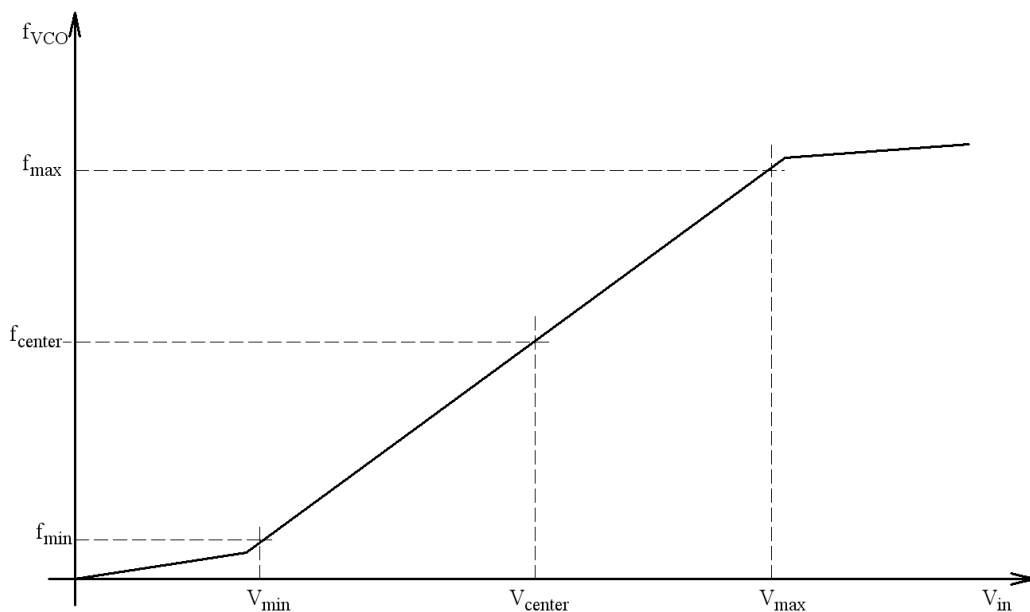
$$f_{osc} = \frac{1}{N(t_1 + t_2)} = \frac{I_D}{2 \cdot N \cdot C_{tot} \cdot VDD} \quad (2.42)$$

Wzór ten obowiązuje dla najprostszej wersji VCO, w której nieparzysta liczba (≥ 5) inwerterów z ograniczeniem prądu zapięta jest w pętlę, zgodnie ze schematem na rysunku 2.24. Pojemność C_{tot} można wyliczyć na podstawie wymiarów tranzystorów i znanych parametrów technologicznych albo skorzystać z wyliczeń numerycznych w jednym z symulatorów (np. Spice, Spectre). Ważnym elementem oscylatora jest bufor wyjściowy, najczęściej realizowany w postaci inwertera lub szeregu inwerterów. Powinien się on cechować niewielką pojemnością wejściową, a jednocześnie dostarczyć odpowiedniego prądu dla dalszych układów podłączonych do wyjścia VCO.



Rysunek 2.24: Najprostszy oscylator sterowany napięciem

Ważnym parametrem oscylatora sterowanego jest jego wzmocnienie K_V , wyrażone w MHz/V . Mówi ono o zmianie częstotliwości wyjściowej w odpowiedzi na zmianę napięcia sterującego. Rysunek 2.25 przedstawia częstotliwość wyjściową w funkcji napięcia sterującego oscylator.



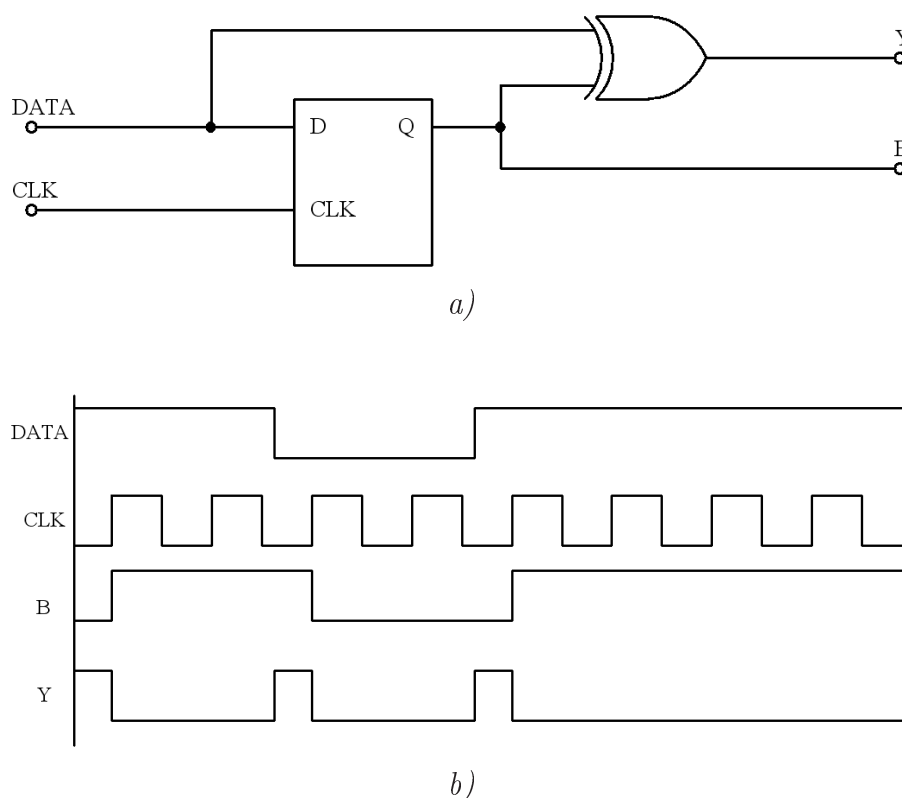
Rysunek 2.25: Zależność częstotliwości oscylacji od napięcia sterującego VCO

Wspomniane wzmocnienie oscylatora K_V jest tutaj współczynnikiem nachylenia liniowego odcinka charakterystyki. Gdy napięcie sterujące osiąga wartość środkową (V_{center}), to oscylator pracuje na częstotliwości podstawowej (środkowej) f_{center} . Zwykle VCO zaprojektowany jest w taki sposób aby $V_{center} = V_{DD}/2$. Znając minimalną (f_{min}) i maksymalną (f_{max}) częstotliwość oscylacji oraz napięcia dla jakich te częstotliwości występują, można w prosty sposób wyprowadzić wzór na wzmocnienie:

$$K_V = \frac{f_{max} - f_{min}}{V_{max} - V_{min}} \left[\frac{Hz}{V} \right] \quad (2.43)$$

2.4 Detektory fazy stosowane w układach CDR oraz przy syntezie częstotliwości

Detektory fazy stosowane w układach odzyskiwania zegara i danych zajmują się dopasowaniem przebiegu zegarowego do danych przychodzących na wejście układu. Dzięki temu sygnał wejściowy próbkowany jest w odpowiednich chwilach wyznaczonych przez przebieg zegarowy z oscylatora. Dzięki temu sygnał zostaje odsumiony i przywrócone są pełne poziomy logiczne. Najprostszym detektorem fazy tego typu jest układ z rysunku 2.26a [5]. Przebieg danych



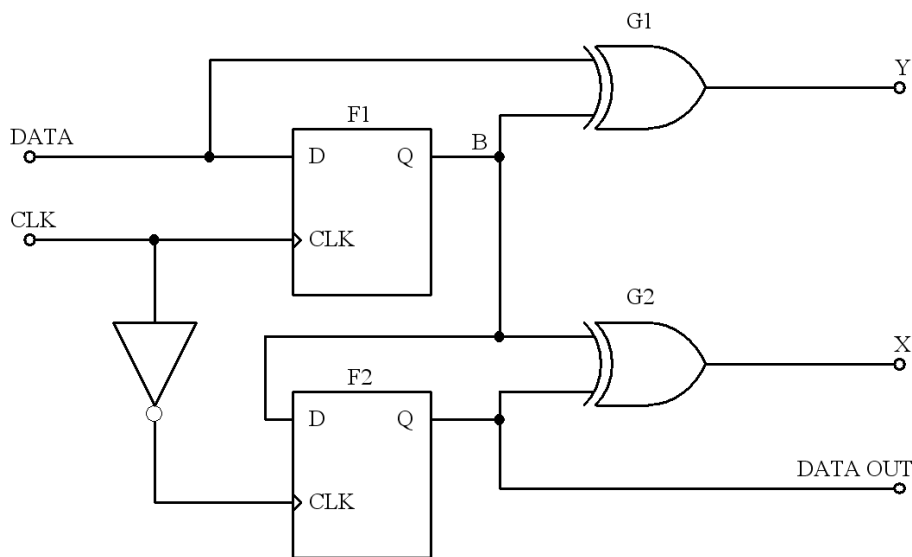
Rysunek 2.26: Prosty detektor fazy działający na zasadzie detekcji zbocza sygnału. a) - schemat ideowy detektora fazy oraz b) - idea próbkowania danych i generacji sygnału błędu fazy

podawany jest na wejście DATA i próbkowany za pomocą przerzutnika typu D w takt przebiegu zegarowego CLK. Na wyjściu B dostępny jest spróbkowany przebieg danych, potrzebny do dalszego procesowania w układzie. Za pośrednictwem bramki XOR przebieg po próbkowaniu porównywany jest z danymi na wejściu, a różnica faz w postaci impulsów pojawia się na wyjściu Y. Tak otrzymany przebieg wykorzystywany jest dalej do sterowania oscylatora w celu odpowiedniego dopasowania fazy sygnału zegarowego, próbkującego dane. Na rysunku 2.26b pokazane są przykładowe sygnały na wejściach i wyjściach detektora fazy. Taki prosty układ generuje impuls na wyjściu Y przy każdej zmianie stanu sygnału danych, co sprawia że sterowanie oscylatora nie jest liniowe i zależy od przebiegu danych wejściowych. Mimo że taki układ może

działać w praktyce to średni poziom napięcia jaki występuje na wyjściu takiego detektora fazy zależy od częstości zmian przebiegu danych. Gdy dla przykładu częstość zmian danych spadnie dwukrotnie, przy jednoczesnym dwukrotnym wzroście różnicy faz sygnału danych względem przebiegu zegarowego, to średnie napięcie na wyjściu detektora fazy nie ulegnie zmianie. Możliwe są zatem takie sytuacje gdzie dla dwóch wartości różnicy faz, wyjście detektora fazy da taką samą średnią wartość napięcia, co w efekcie może prowadzić do problemów z synchronizacją pętli fazowej.

2.4.1 Detektor fazy Hogge'a

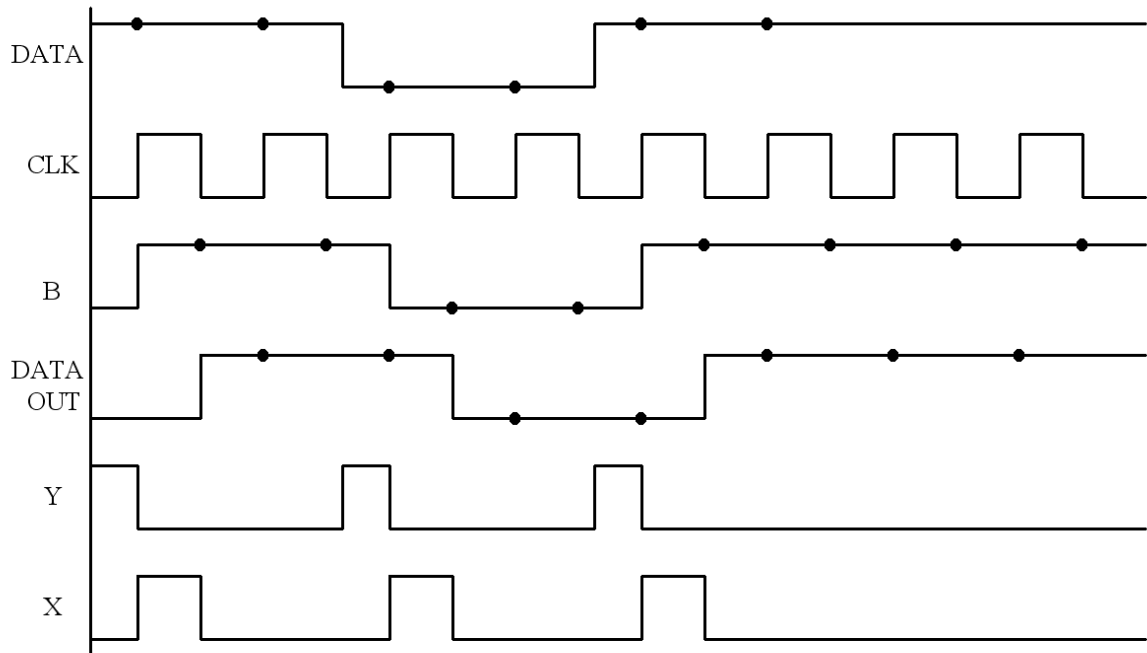
Detektor fazy Hogge'a [24] działa na podobnej zasadzie jak prosty układ z rysunku 2.26a, jednak poprzez zastosowanie dodatkowego przerzutnika można uniezależnić sygnał z detektora fazy od częstości zmian przebiegu danych. Układ Hogge'a, widoczny na rysunku 2.27, nie posiada tej wady a szerokość impulsów zależy liniowo od różnicy faz sygnałów wejściowych. Aby uniknąć wad detektora fazy z jednym przerzutnikiem impulsy proporcjonalne do różni-



Rysunek 2.27: Schemat detektora fazy Hogge'a

cy faz muszą być generowane wraz z impulsami referencyjnymi. Impulsy referencyjne również pojawiają się przy każdym zboczu przebiegu na linii danych ale ich szerokość jest stała i nie zależy od różnicy faz między przebiegiem danych a przebiegiem zegarowym. Przebieg danych trafia na wejście DATA, gdzie jest próbkowany za pomocą przerzutnika F1 na każdym zboczu narastającym sygnału zegarowego CLK. Podobnie jak w poprzedniej wersji detektora fazy wyjście B przerzutnika F1 porównywane jest z aktualnym poziomem logicznym sygnału danych za pomocą bramki XOR. Tak powstały sygnał Y niesie informacje o różnicy faz między dwoma przebiegami wejściowymi, a dokładniej szerokość impulsów na wyjściu Y odpowiada różnicy faz. Na zboczu opadającym tego samego przebiegu zegarowego przerzutnik F2 wpisze dane z przerzutnika F1 na swoje wyjście. Dzięki drugiej bramce XOR na wyjściu X pojawi się impuls o

szerokości połowy okresu przebiegu zegarowego przy każdej zmianie poziomu logicznego na linii DATA. Jeśli wyjściem detektora fazy będzie różnica między sygnałami X oraz Y to zostanie wyeliminowana zależność od częstości zmian danych wejściowych, a dokładniej nie będzie już wieloznaczności spowodowanej generacją takiego samego średniego poziomu napięcia na różne przesunięcia fazowe przebiegów przy jednocześnie różnej częstości zmian danych¹. Gdy pętla



Rysunek 2.28: Odpowiedź detektora fazy Hogge'a na przykładowy przebieg danych wejściowych. Przypadek w którym pętla fazowa nie uzyskała synchronizacji.

fazowa współpracująca z detektorem fazy będzie dawała przebieg zegarowy zgodny w fazie z danymi to na obu wyjściach detektora fazy (X i Y) będą pojawiać się impulsy o takiej samej szerokości i średnia wartość napięcia sterującego oscylator nie będzie ulegała zmianie.

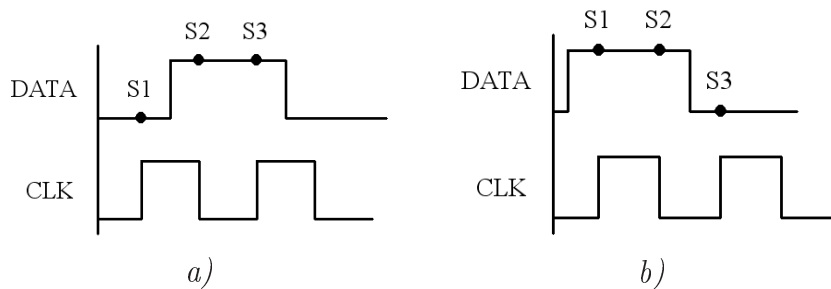
Dla głębszej analizy działania układu Hogge'a ważne jest uwzględnienie czasu opóźnienia przerzutników próbkujących. Czas propagacji przerzutnika nie jest w praktyce zerowy, a więc po pewnym czasie ΔT od wystąpienia zbocza narastającego na wejściu zegarowym przerzutnika F1 dane wejściowe zostaną przepisane na jego wyjście (B). Zatem impuls występujący na wyjściu Y będzie o ΔT szerszy niż wynikałoby to z różnicy faz na wejściach detektora fazy. Impulsy referencyjne na wyjściu Y pozostają dalej równe szerokości połowy okresu przebiegu zegarowego gdyż przerzutnik F2 działający na zboczu opadającym także posiada ten sam czas propagacji. W efekcie stan na wyjściu X ustawi się po czasie ΔT od zbocza narastającego przebiegu CLK i skończy się po tym samym czasie od wystąpienia zbocza opadającego. Ponieważ impulsy proporcjonalne będą zawsze szersze od referencyjnych, to synchronizacja pętli nastąpi z różnicą faz między przebiegiem danych a zegarem, tak aby pokryć różnicę w szerokości impulsów na

¹przypadek, w którym różnica faz jest równa $\Delta\phi$ a częstotliwość f , jest tożsamy z przypadkiem dla którego różnica faz wynosi $\Delta\phi/2$ a częstotliwość $2f$, gdyż oba generują taki sam średni poziom napięcia

obu wyjściach detektora fazy. Takie działanie sprawia problem dla dużych częstotliwości, gdzie niewielki offset fazy staje się już znaczącą częścią okresu zegara. Zmniejszeniu ulega wtedy margines akceptowalnego przesunięcia fazy przebiegu zegarowego względem danych.

2.4.2 Detektor fazy Alexander'a

Detektor Alexander'a [25] jest kolejnym przykładem detektora fazy umożliwiającym próbkowanie danych. W przeciwieństwie do detektora fazy Hogge'a, nie wprowadza on stałego offsetu fazy między danymi a przebiegiem zegarowym. Układ Alexander'a wykorzystuje metodę detekcji, która polega na wykrywaniu czy przebieg zegarowy wyprzedza dane, czy jest względem danych opóźniony. Metoda detekcji przedstawiona jest na rysunku 2.29. Dane są próbkowane na obu zboczach przebiegu zegarowego CLK, a punkty S1, S2 i S3 oznaczają kolejne próbki sygnału. Trzy bezpośrednio występujące po sobie próbki danych pozwalają detektorowi fazy na



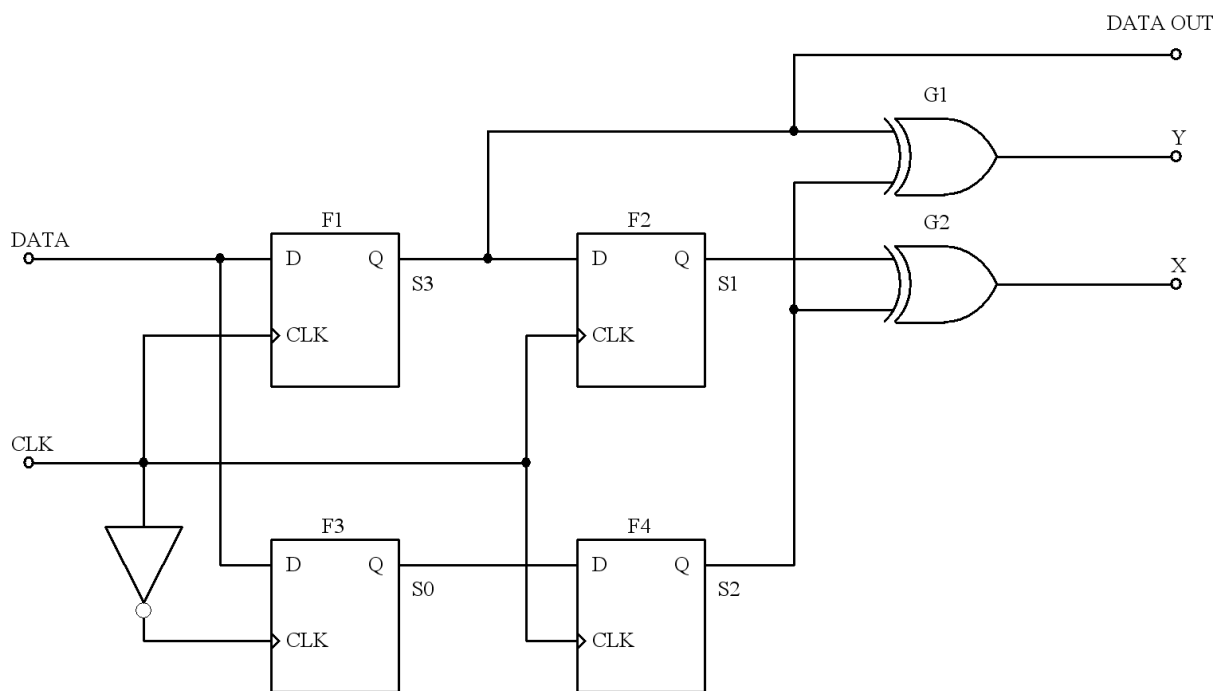
Rysunek 2.29: Metody detekcji przesunięcia zegara względem danych. a) - przebieg zegarowy wyprzedza dane oraz b) - przebieg zegarowy spóźnia się względem danych

jednoznaczne określenie zależności fazowej między przebiegiem danych a zegarem. Gdy dane nie są przesyłane to wszystkie trzy próbki danych S1 - S3 są takie same i detektor fazy nie podejmuje żadnej akcji. Jeśli przebieg zegarowy jest wcześniej niż dane to pierwsza próbka S1 jest różna od dwóch pozostałych. W drugim przypadku, gdy przebieg zegarowy jest opóźniony, to dwie pierwsze próbki S1 i S2 są takie same ale inne niż próbka trzecia S3. W celu jednoznacznego określenia przesunięcia fazowego wystarczy zatem wykonać dwie operacje za pomocą bramki XOR, a mianowicie:

$$X = S1 \oplus S2 \quad (2.44)$$

$$Y = S2 \oplus S3 \quad (2.45)$$

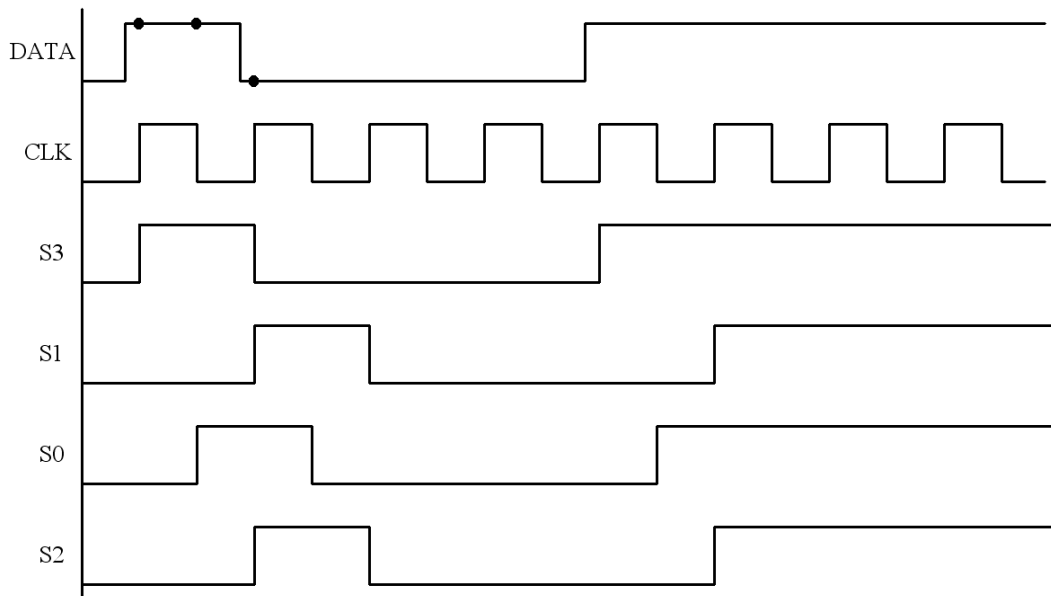
W efekcie na wyjściach X oraz Y będą dostępne sygnały do sterowania pompy ładunkowej w pętli fazowej. Gdy zbocze przebiegu zegarowego pojawia się po zboczu danych to wygenerowane zostaną impulsy na wyjściu X, co spowoduje spowolnienie częstotliwości oscylacji i wyrównanie się zbocz sygnału. Podobna sytuacja będzie gdy zbocze zegara pojawi się przed zboczem danych, z tym że impulsy powodujące przyspieszenie oscylatora pojawią się tym razem na wyjściu



Rysunek 2.30: Schemat detektora fazy Alexander'a

Y. Schemat detektora fazy Alexander'a widoczny jest na rysunku 2.30. Przerzutniki F1 i F2 próbkują dane z wejścia DATA na każdym zboczu narastającym sygnału zegarowego. W istocie elementy te tworzą rejestr przesuwany, który wytwarza sygnały S3 i S1. Przerzutnik F3 próbkuje sygnał danych na zboczu opadającym sygnału zegarowego CLK, natomiast przerzutnik F4 pracuje na zboczu narastającym, opóźniając próbkę z F3 o połowę okresu i tworząc tym samym sygnał S2. Podsumowując: F1 oraz F3 wyznaczają miejsca próbkowania danych, natomiast dwa pozostałe przerzutniki to tylko elementy opóźniające. Bramki logiczne G1 oraz G2 wytwarzają sygnały X oraz Y zgodnie z wzorami 2.44 i 2.45. Na rysunku 2.31 pokazane są przykładowe przebiegi sygnałów w kluczowych punktach układu detektora fazy. Pozwalają one w intuicyjny sposób na zrozumienie jego działania. Pierwsze zbocze narastające sygnału zegarowego próbkuje wysoki poziom logiczny z wejścia danych i ustawia go na wyjściu S3. Występujące bezpośrednio po nim zbocze opadające również przepisze poziom wysoki z wejścia danych ale tym razem na wyjście S0. Drugie zbocze narastające spowoduje przepisanie danych z S3 na S1 oraz z S0 na S2, a w miejsce S3 wpisany zostanie poziom niski z linii danych. W tym momencie próbki danych są gotowe do porównania za pomocą bramek XOR, które utrzymują stan na swoich wyjściach przez jeden okres zegara.

Detektor fazy Alexander'a jest układem typu Bang-Bang, posiada bardzo duże wzmocnienie dla różnicy faz $\Delta\phi = 0$. Układ posiada dwie bardzo ważne zalety w stosunku do prostego detektora fazy z jednym przerzutnikiem. Po pierwsze detektor fazy Alexander'a odtwarza dokładnie przebieg danych wejściowych na wyjściach przerzutnika F1 lub F2. Po drugie brak transmisji danych powoduje brak sygnałów na wyjściach detektora fazy, a co za tym idzie poziom napięcia sterowania oscylatora w pętli fazowej zostanie niezaburzony. W efekcie po długim okresie cza-

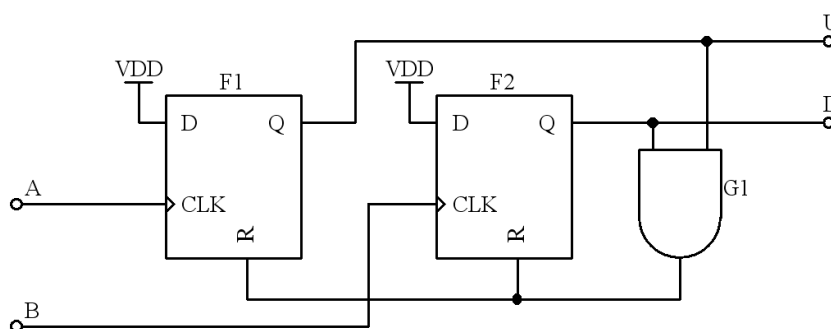


Rysunek 2.31: Odpowiedź detektora fazy Alexander'a na przykładowy przebieg danych wejściowych

su oscylator pętli fazowej zmieni częstotliwość tylko o wartość wynikającą z szumów i dryfów temperaturowych. Ponieważ poziom napięcia sterującego po zakończeniu transmisji nie ulega zmianie, to pętla fazowa nie musi przywracać właściwego poziomu sterowania (po ponownym rozpoczęciu transmisji) z poziomu masy lub zasilania, a jedynie konieczne są niewielkie zmiany. Przyspiesza to czas osiągnięcia synchronizacji pętli fazowej.

2.4.3 Detektor fazy i częstotliwości (PFD)

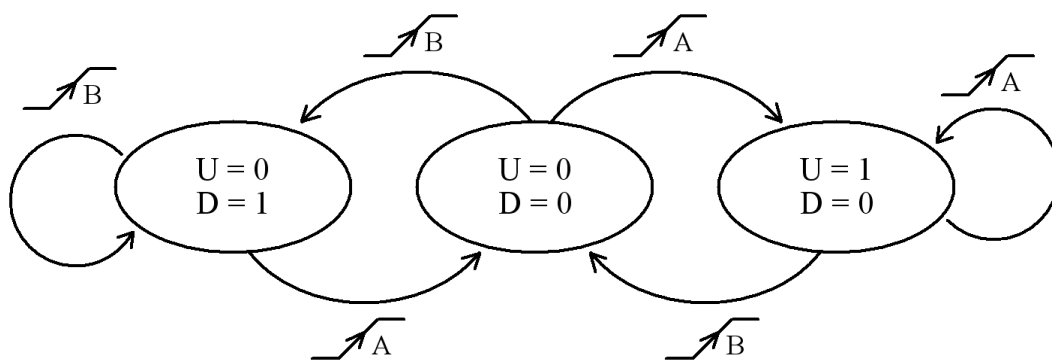
Na wejściu układu CDR mogą pojawić się losowe dane, zawierające długie ciągi jedynek lub zer, dlatego układy odzyskiwania zegara i danych posiadają zwykle bardzo wąski zakres dostrajania przebiegu zegarowego do danych. Odwrotnie wygląda sytuacja z oscylatorem VCO, którego zakres regulacji częstotliwości oscylacji musi być duży, w celu pokrycia zmian częstotliwości związanych z rozrzutami technologicznymi i zmianami temperatury. W efekcie jeśli oscylator



Rysunek 2.32: Schemat detektora fazy i częstotliwości

aktualnie generuje częstotliwość odległą od częstotliwości przychodzących danych, to istnieje małe prawdopodobieństwo, że układ CDR poprawnie zsynchronizuje dane z przebiegiem zegarowym. Potrzebna jest zatem detekcja zarówno fazy sygnału jak i jego częstotliwości. Schemat takiego układu, nazywanego dalej detektorem fazy i częstotliwości (ang. Phase frequency detector (PFD)), przedstawiony jest na rysunku 2.32[21]. Układ PFD dzięki detekcji zarówno różnicy fazy jak i różnicy częstotliwości między przebiegiem zegarowym a danymi, znacznie szybciej dostroja pracę oscylatora, niż sam detektor fazy. Zmniejsza to czas potrzebny na synchronizację przebiegu zegarowego układu CDR i poszerza zakres synchronizacji.

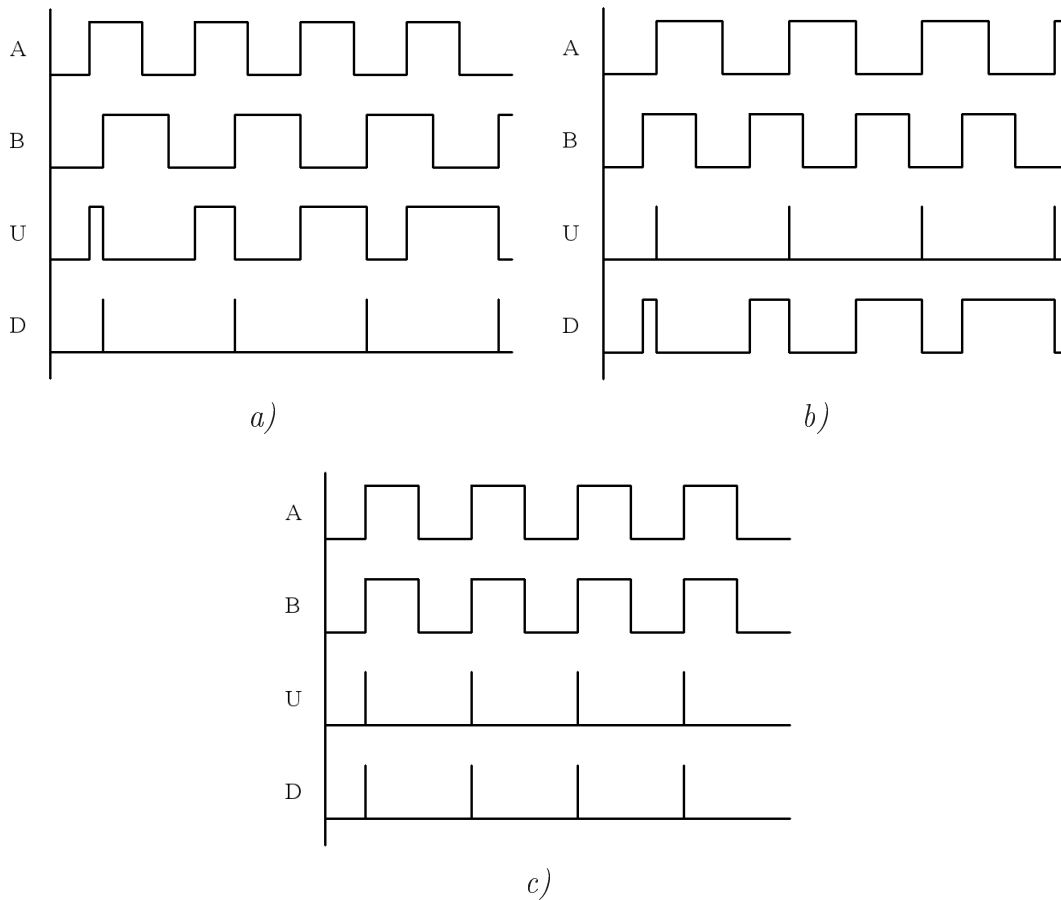
Budowa detektora fazy i częstotliwości jest bardzo prosta i sprowadza się do dwóch przerzutników działających na zboczu narastającym (F1 i F2) i bramki AND (G1). Wejścia danych obu przerzutników podłączone są na stałe do wysokiego stanu logicznego (napięcie zasilania). Działanie układu najlepiej zobrazuje diagram stanów widoczny na rysunku 2.33. W fazie po-



Rysunek 2.33: Diagram stanów detektora fazy i częstotliwości

czątkowej oba sygnały wyjściowe U oraz D są w stanie niskim. Jeżeli na wejściu A pojawi się zbocze narastające to przerzutnik F1 zostanie ustawiony w stan wysoki, co jest jednoznaczne z pojawieniem się jedynki logicznej na wyjściu U. Taki stan będzie trwał do chwili aż zbocze narastające na sygnale B nie ustawi stanu wysokiego na drugim przerzutniku (F2), gdyż wtedy oba przerzutniki zostaną zresetowane i układ powróci do stanu początkowego. W analogiczny sposób zadziała wyjście D, gdy jako pierwsze pojawi się zbocze narastające na wejściu B. Tym razem zbocze narastające sygnału A przywróci początkowy stan układu. Jeżeli zatem przebieg A ma większą częstotliwość niż przebieg B, lub A wyprzedza B w fazie, to na wyjściu U będą pojawiać się impulsy proporcjonalne do różnicy faz, a na wyjściu D wąskie szpilki zależne od czasu propagacji bramki G1 i czasu potrzebnego na reset przerzutników (rysunek 2.34a). Sytuacja jest dokładnie odwrotna gdy przebieg B ma większą częstotliwość niż A lub gdy wyprzedza go w fazie, wtedy sygnał proporcjonalny do różnicy faz generowany jest na wyjściu D (rysunek 2.34b). Gdy sygnały A i B są zgodne w fazie i częstotliwości to PFD generuje tylko wąskie szpilki na obu swoich wyjściach, bo przerzutniki ustawiają się jednocześnie i trzymają stan wysoki przez czas potrzebny na propagację sygnału przez bramkę AND i obwody resetu przerzutnika (rysunek 2.34c). PFD ma liniową charakterystykę (zależność średniej różnicy sygnałów U i D

od różnicy faz jest linią prostą) w zakresie różnicy faz -2π do 2π .

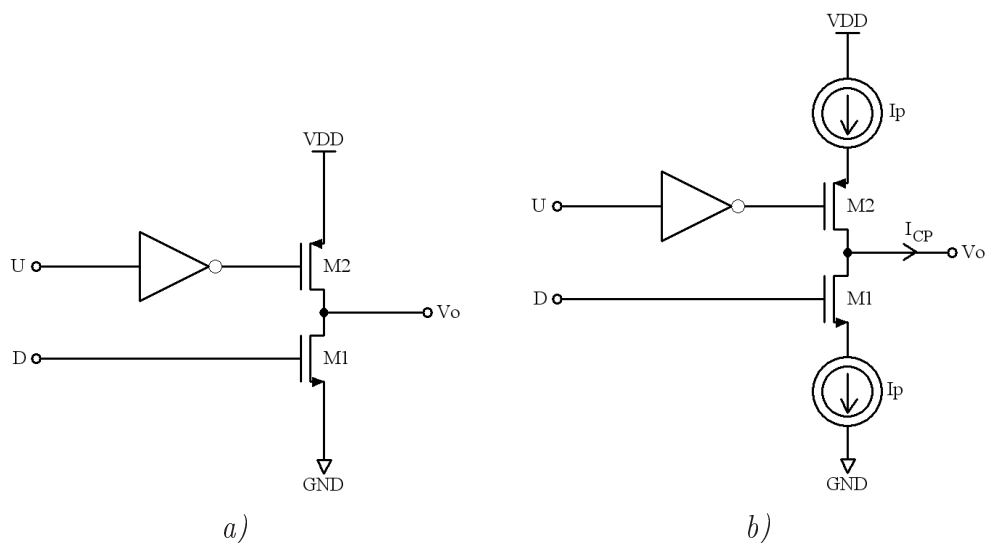


Rysunek 2.34: Odpowiedź detektora fazy i częstotliwości na różne relacje między przebiegami wejściowymi. a) - przebieg A ma większą częstotliwość niż B, b) - przebieg B ma większą częstotliwość niż A, oraz c) - przebiegi są zgodne w fazie i częstotliwości

Istotną wadą detektora fazy i częstotliwości jest problem martwej strefy w pobliżu niewielkich różnic faz między przebiegami. Impulsy generowane na wyjściach U oraz D nie mogą być nieskończenie krótkie, a to sprawia że przy zmniejszającej się do zera różnicy faz, wzmacnienie detektora fazy od pewnego momentu jest równe zero i oscylator w pętli fazowej nie jest dostrajany. Dopiero gdy różnica faz przekroczy wartość odpowiadającą minimalnej szerokości impulsów to VCO zostanie dostrojone. Efekt ten jest przyczyną drżenia fazy przebiegu zegarowego. Drugą wadą PFD jest możliwość pracy tylko z przebiegami okresowymi, dlatego układ ten ma zastosowanie głównie przy syntezie częstotliwości i regeneracji przebiegu zegarowego. Gdyby na wejście były podawane losowe przebiegi danych to układ nie będzie działał prawidłowo. Dla przykładu gdy przebieg danych miałby postać "110011001100" to zostanie wykryta dwukrotnie mniejsza częstotliwość danych. Dlatego wraz z PFD, który zapewni syntezę odpowiedniej częstotliwości z wzorca, do działania układu CDR, w większości konfiguracji, potrzebny jest jeszcze jeden z wcześniej opisywanych detektorów fazy. Wyjątkiem jest zastosowana w niniejszej pracy architektura typu "burst mode", w której dodatkowy detektor fazy nie występuje.

2.5 Pompa ładunkowa (CP)

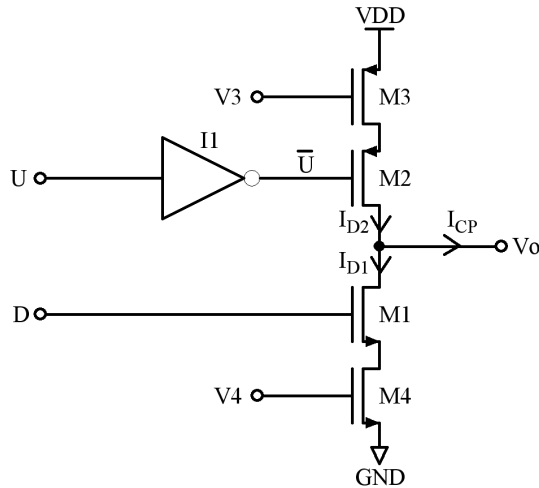
Pompa ładunkowa (ang. Charge Pump (CP)) jest układem współpracującym bezpośrednio z detektorem fazy. Jej zadaniem jest zamiana impulsów z detektora fazy na impulsy prądowe ładujące i rozładowujące pojemność filtra pętli fazowej. W efekcie dzięki pompie ładunkowej (wraz z filtrem) realizowana jest średnia wartość różnicy obu sygnałów wyjściowych z detektora fazy. Rysunek 2.35 przedstawia ideę działania układów wyjściowych współpracujących z detektorami fazy [21]. Najprostszym rozwiązaniem jest układ widoczny na rysunku 2.35a, zwa-



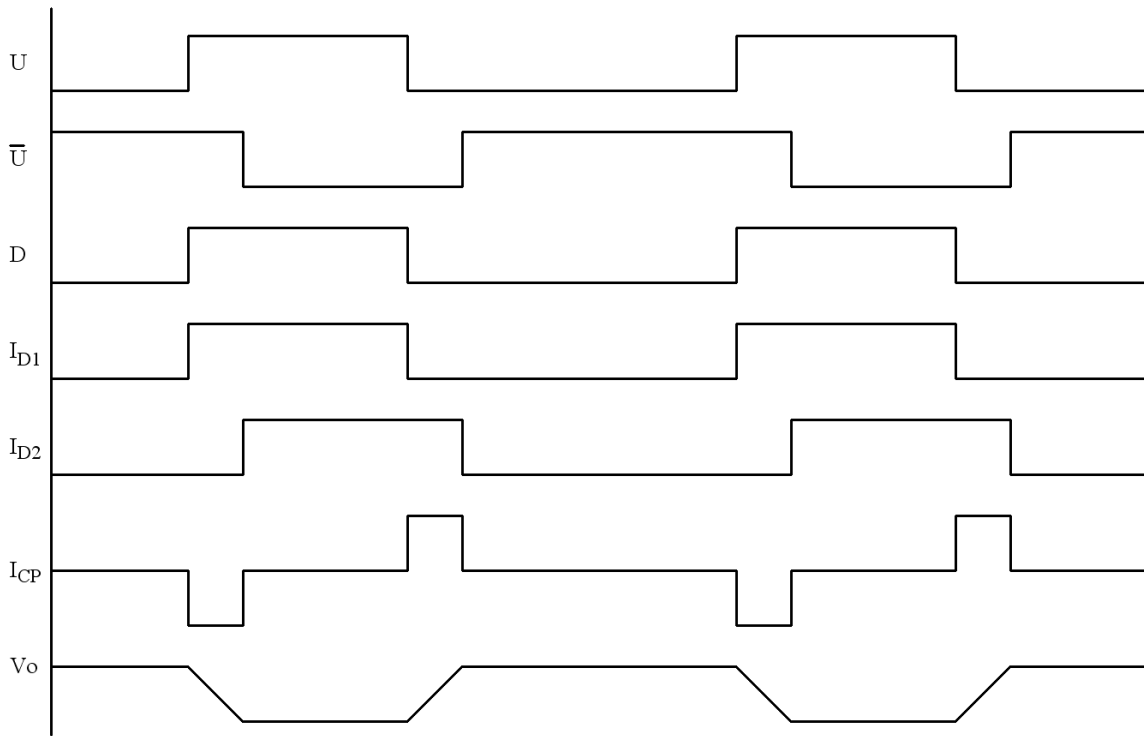
Rysunek 2.35: Idea działania układów wyjściowych z detektora fazy. a) - wyjście trójstanowe oraz b) - pompa ładunkowa

ny wyjściem trójstanowym. Sygnały z detektora fazy (U oraz D) dołączają filtr do jednej z szyn zasilania za pomocą tranzystorów M1 oraz M2. Takie bezpośrednie połączenie filtra pętli fazowej do szyny zasilającej powoduje przedostawanie się zakłóceń i szumów z zasilania bezpośrednio na filtr, co może się przyczynić do nieprawidłowej pracy oscylatora sterowanego VCO. Żeby pozbyć się wszelkich efektów związanych z przenikaniem zakłóceń z szyn zasilania stosuje się ulepszony układ z rysunku 2.35b, zwany pompą ładunkową. W tym przypadku filtr pętli fazowej jest ładowany i rozładowywany stałym prądem, którego wartość ustala źródło prądowe.

W roli źródeł prądowych w praktyce pracują dwa tranzystory (rysunek 2.36), których bramki polaryzowane są odpowiednimi potencjałami (z tranzystorów luster prądowych). Tranzystory M1 i M2 pracują jako klucze, otwierane dodatnimi szpilkami ustawianymi na wyjściu detektora fazy. Inwerter I1 zapewnia prawidłowe sterowanie tranzystora PMOS M2, negując sygnał U pochodzący z detektora fazy. Pierwszym problemem takiego rozwiązania są niejednoczesne sygnały sterujące, które trafiają na tranzystory M1 i M2. Jest to wynikiem opóźnienia jakie wprowadza inwerter I1. Na rysunku 2.37 przedstawione są przykładowe przebiegi napięć występujące w układzie z rysunku 2.36. Widać na nich w jaki sposób opóźnienie inwertera wpływa na działanie całej pompy ładunkowej. Przesunięcie przebiegów \bar{U} oraz B względem siebie spr-

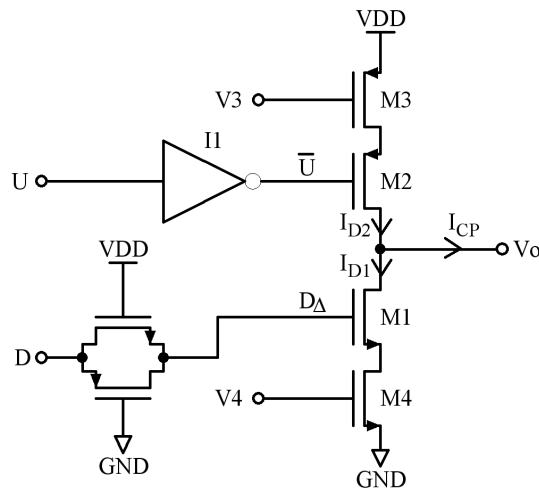


Rysunek 2.36: Najprostsza pompa ładunkowa z tranzystorami w roli źródeł prądowych



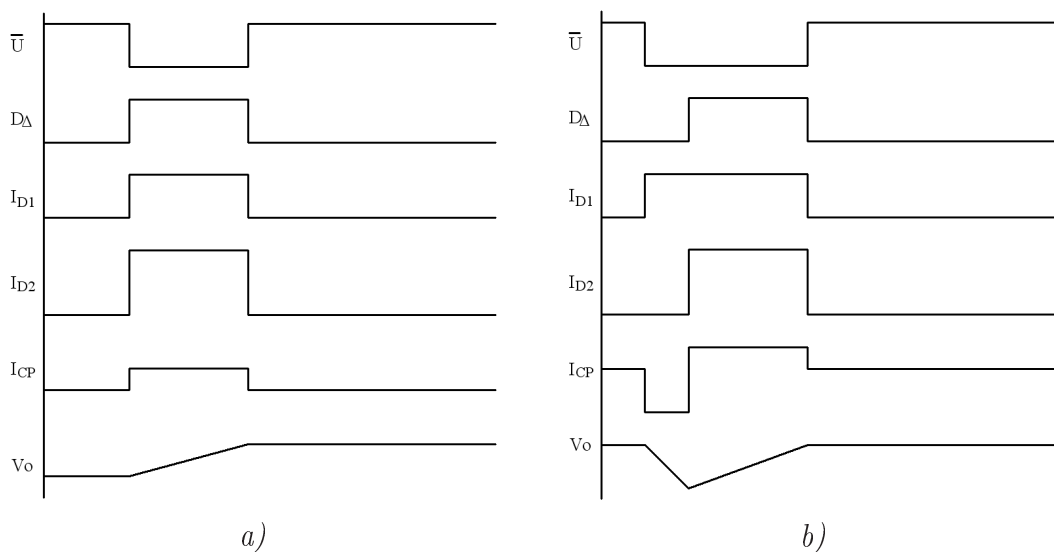
Rysunek 2.37: Wpływ niejednoczesnych sygnałów sterujących tranzystory na działanie pompy ładunkowej

wia, że impulsy podawane na tranzystory M1 oraz M2 nie pojawiają się jednocześnie. W chwili gdy pętla fazowa jest w stanie synchronizacji i mimo że sygnały z obu wyjść detektora fazy są jednakowe, pompa ładunkowa będzie okresowo wstrzykiwała na filtr pętli fazowej, impulsy o amplitudzie $\pm I_P$ (na przemian) i szerokości zależnej od opóźnienia między sygnałami trafiającymi na bramki tranzystorów M1 i M2. Takie działanie zaburza wolnozmienny poziom napięcia (V_o) sterujący pracą oscylatora (VCO) w pętli fazowej, nawet gdy osiągnęła już ona stan synchronizacji. W celu ograniczenia tego efektu można wprowadzić na sygnałe D opóźnienie w postaci przewodzącej na stałe bramki transmisyjnej. Rysunek 2.38 przedstawia schemat ukła-



Rysunek 2.38: Metoda dopasowania opóźnień sygnałów sterujących tranzystory M1 i M2

du po wprowadzeniu takiej modyfikacji. Bramka transmisyjna powinna mieć takie wymiary, aby czas opóźnienia wynikający z przeładowania kanału jej tranzystorów, był równy czasowi propagacji inwertera. Czym lepiej opóźnienia między sygnałami są dobrane, tym mniejsze będą wstrzykiwane impulsy prądowe i napięcie sterujące (V_o) pracą oscylatora w pętli fazowej będzie stabilniejsze.

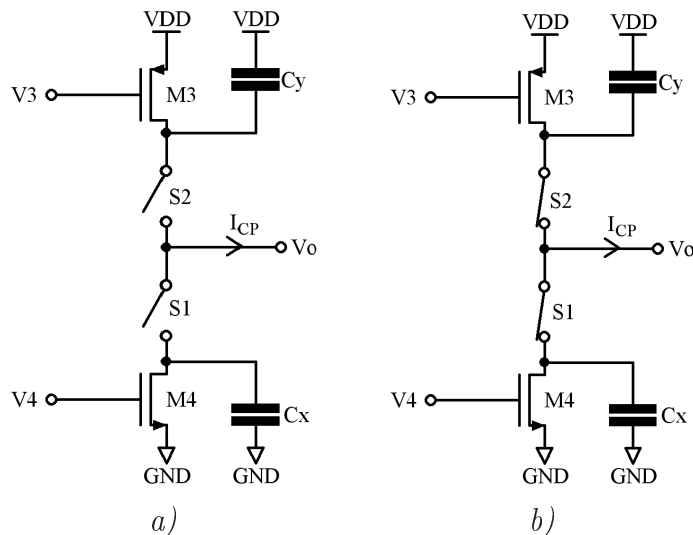


Rysunek 2.39: Wpływ różnych prądów drenów tranzystorów M1 i M2 na działanie pompy ładunkowej. a) - odpowiedź na taką samą szerokość impulsów sterujących oraz b) - przebiegi po zsynchronizowaniu pętli fazowej

Drugim bardzo ważnym problemem jest niezgodność prądów drenów tranzystorów M1 oraz M2. Nawet gdy sygnały sterujące bramki tych tranzystorów będą idealne w fazie to i tak poziom napięcia sterującego oscylator w pętli fazowej będzie się zmieniał, co pokazuje rysunek 2.39a. Ponieważ pętla fazowa jest układem opierającym swe działanie na ujemnym sprzężeniu zwrotnym, to po pewnym czasie ustali się taki stan pracy, aby średnie napięcie sterujące oscyla-

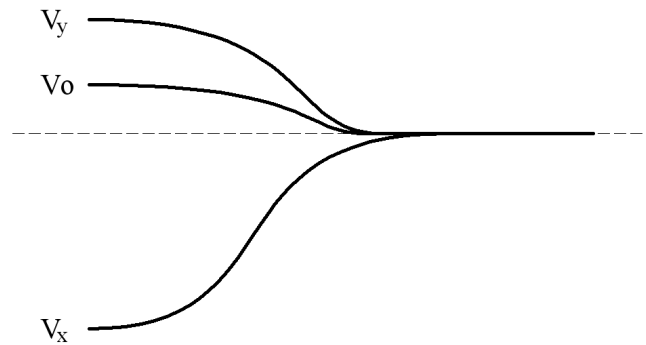
tor (V_o) pozostawało stałe (jest to naturalne gdy pętla fazowa osiągnie synchronizację). Mimo iż pętla fazowa uzyska synchronizację w takich warunkach, to powstanie przesunięcie fazowe między sygnałem danych a przebiegiem zegarowym. Różnice w wartości prądów drenów obu tranzystorów w pompie ładunkowej będą wtedy wyrównane przez różne czasy trwania impulsów prądowych. Detektor fazy generuje impulsy o takim czasie trwania, żeby tranzystor o mniejszym prądzie drenu był otwarty dłużej, zapewniając wstrzykiwanie takiego samego ładunku przez oba tranzystory. Najlepiej widać to na rysunku 2.39b. Prąd I_{D2} ma większą wartość, a zatem zostanie wygenerowany taki impuls na wejściu \bar{U} , który otworzy tranzystor M1 na dłuższy czas potrzebny do tego, aby mniejszy prąd I_{D1} wstrzyknął taki sam ładunek do filtru pętli fazowej co większy prąd I_{D2} w krótszym czasie.

Trzecim problemem jaki występuje przy projektowaniu pompy ładunkowej jest związany z pojemnością pasożytniczą jaka jest widziana z drenów tranzystorów (M3 i M4) pracujących jako źródła prądowe. Odpowiednie pojemności C_x oraz C_y widoczne są na rysunku 2.40. Gdy klucze



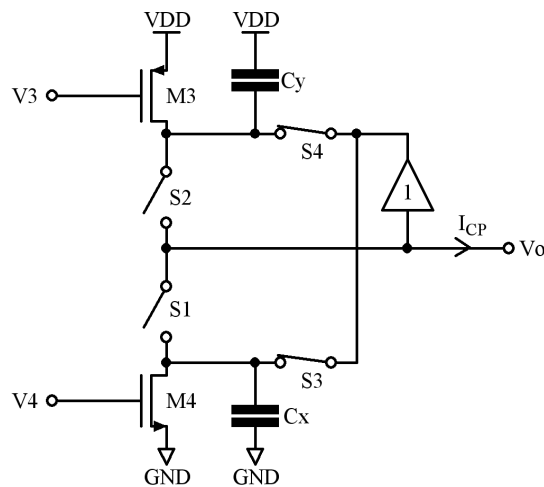
Rysunek 2.40: Wpływ pojemności pasożytniczej tranzystorów źródeł prądowych na działanie pompy ładunkowej. a) - faza spoczynku oraz b) - faza wstrzykiwania ładunku

S1 i S2 są rozłączone (faza spoczynku) to tranzystor M3 naładuje pojemność C_y do wartości napięcia zasilania, natomiast tranzystor M4 rozładuje C_x do potencjału masy. W następnej fazie klucze S1 i S2 (rysunek 2.40b) zostają zwarte, napięcie V_y na kondensatorze C_y maleje, a napięcie V_x na kondensatorze C_x rośnie. Napięcia te będą równe poziomowi sterowania oscylatora V_o dopiero po pewnym czasie. Nawet gdyby prądy drenów obu tranzystorów kluczujących były idealnie równe i pojemności pasożytnicze także ($C_x = C_y$), to i tak napięcie V_x będzie różne od V_y w momencie włączenia kluczy S1 i S2. Przeładowanie kondensatorów C_x oraz C_y z odpowiadających nim poziomów napięć do wartości jaka panuje aktualnie na filtrze pompy ładunkowej, spowoduje chwilowe zaburzenia tego napięcia. Szczególnie jest to istotne gdy napięcie sterujące posiada poziom znacznie większy (lub mniejszy) od połowy napięcia zasilania. Wtedy przeładowanie C_y następuje w krótkim czasie, gdyż występuje mała różnica napięć, natomiast



Rysunek 2.41: Przeładowanie pojemności pasozytnych w chwili zwarcia kluczy $S1$ i $S2$

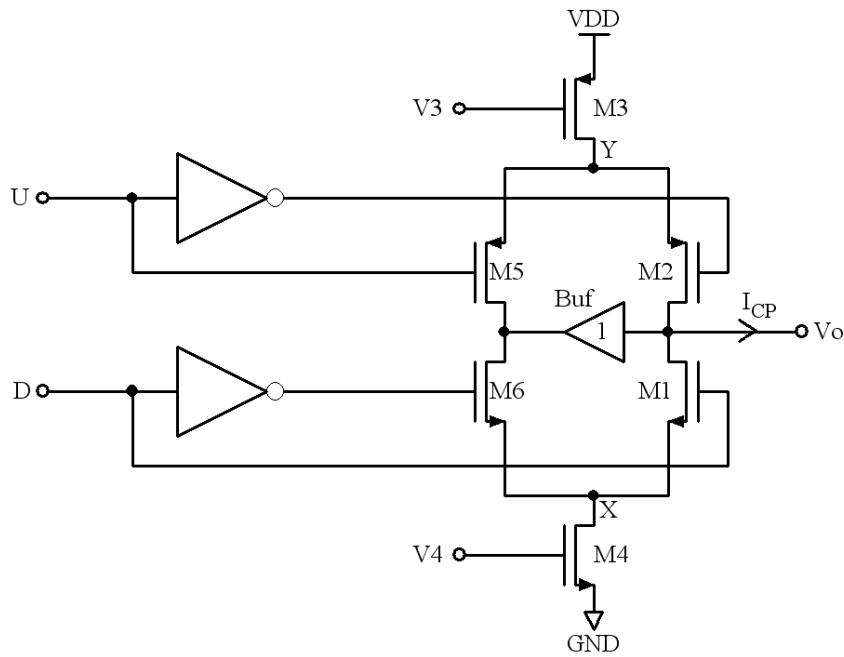
C_x ładuje się długo i ostatecznie daje to efekt widoczny na rysunku 2.41. Różnice między charakterem zmian (szybkością zmian) obu napięć powoduje skok napięcia sterującego (V_o). W celu uniknięcia tego niepożądanego zjawiska, konieczne jest zastosowanie metody zwanej "bootstrappingiem", której idea przedstawiona jest na rysunku 2.42. W pierwszej fazie działania (faza spoczynku) klucze $S1$ i $S2$ są rozwarne, a klucze $S3$ i $S4$ zwarte. Za pomocą bufora pojemności C_x oraz C_y ładowane są do wartości równej aktualnej wartości napięcia sterującego. Taki stan utrzymuje się dopóki klucze $S1$ i $S2$ nie zostaną zwarte, wstrzykując prąd do filtru



Rysunek 2.42: Idea działania bootstrappingu

pętli fazowej. Jednocześnie z włączeniem $S1$ i $S2$, klucze $S3$ i $S4$ są rozłączane umożliwiając zmianę potencjału sterującego. Ponowne zwarcie kluczy $S3$ i $S4$ następuje po zakończeniu fazy wstrzykiwania ładunku, kondensatory C_x i C_y ładują się wtedy do nowej wartości napięcia sterującego i cały cykl pracy się powtarza.

Praktyczna realizacja pompy ładunkowej z pominięciem elementów polaryzacyjnych widoczna jest na rysunku 2.43. Oprócz dwóch tranzystorów kluczujących $M1$ i $M2$ oraz dwóch pracujących w roli źródeł prądowych ($M3$ i $M4$) zastosowane są dwa dodatkowe tranzystory oraz bufor - wtórnik napięciowy, wstawiony zgodnie z ideą przedstawioną na rysunku 2.42. Kiedy na obu wyjściach detektora fazy jest stan niski to tranzystory $M5$ i $M6$ przewodzą, ustalając odpowiednie potencjały w punktach X oraz Y . Zwalnia to układ z konieczności ładowania

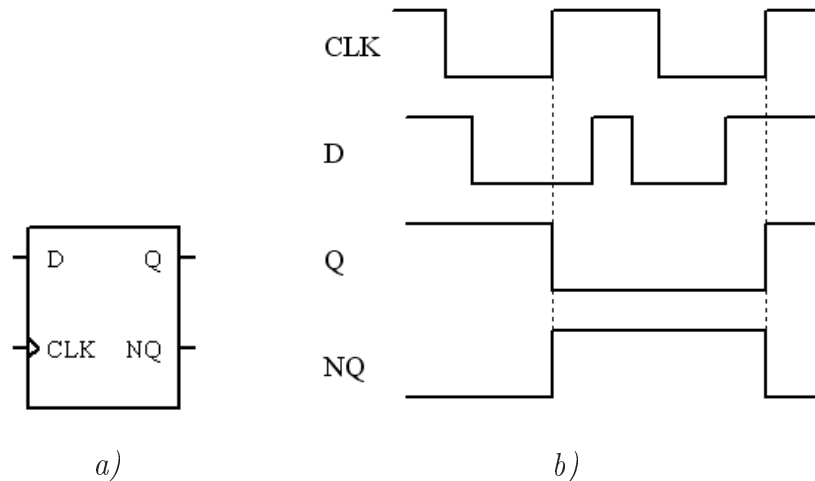


Rysunek 2.43: Praktyczna realizacja pompy ładunkowej

pojemności pasożytniczych od wartości VDD lub GND do wartości napięcia sterującego V_o i pozwala to uniknąć skoków napięcia sterującego, związanych z tym ładowaniem. Zastosowanie wtórnika napięciowego w tym przypadku jest bardzo ważne, gdyż aby potencjały w punktach X i Y były odpowiednio w fazie wstrzykiwania ładunku, to w fazie spoczynku tranzystor M5 musi pracować dokładnie w takich samych warunkach co M2, a tranzystor M6 w takich samych warunkach jak M1. W prosty sposób zapewnia to bufor napięciowy, ustalając taki sam potencjał na drenach tranzystorów M5 i M6 jaki panuje na drenach M1 i M2. Układ z rysunku 2.43 w najprostszy sposób, uwzględniając rozwiązania wspomnianych wcześniej problemów, pozwala zrealizować praktycznie działającą pompę ładunkową. Wymaga jedynie uzupełnienia o lustra prądowe zapewniające odpowiednią polaryzację bramek tranzystorów M3 i M4.

2.6 Przerzutnik

Podstawowym elementem toru danych w projektowanym układzie jest przerzutnik typu D. Dzięki swoim właściwościom został on zastosowany głównie jako element próbkująco-pamiętający. Na rysunku 2.44 przedstawiono symbol ideowy i ogólną zasadę działania przerzutnika typu D.



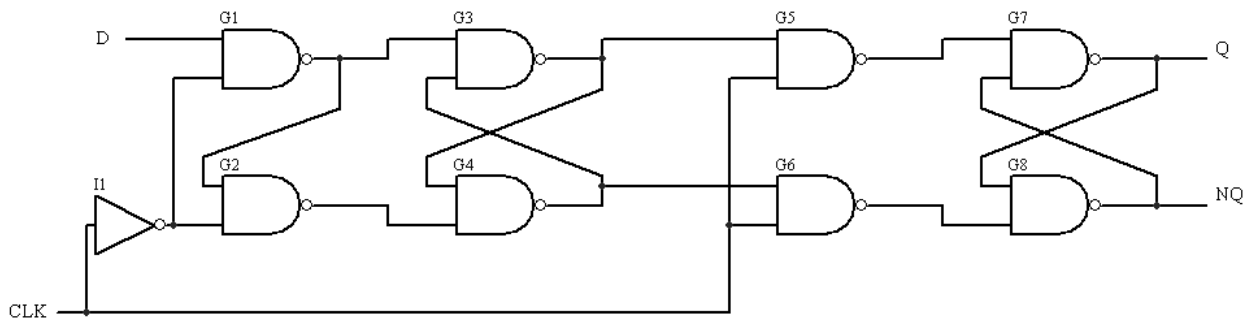
Rysunek 2.44: Przerzutnik typu D: a) symbol ideowy, b) ogólna zasada działania.

Przerzutnik przedstawiony na rysunku 2.44a posiada dwa wejścia - danych D i zegara sterującego pracą CLK oraz dwa wyjścia - proste Q i stanowiące jego negację NQ. Stan logiczny panujący na wejściu D przerzutnika jest przepisywany na jego wyjścia Q i NQ jedynie na zboczu narastającym sygnału zegarowego CLK. Przez pozostałą część okresu zegara stan wyjść pozostaje stały niezależnie od zmian sygnału wejściowego. Dzięki takiemu działaniu możliwe jest próbkowanie wejścia w ściśle określonej zbroczem zegara chwili czasowej oraz przetrzymanie (zapamiętanie) stanu logicznego aż do nadejścia kolejnego zbocza narastającego.

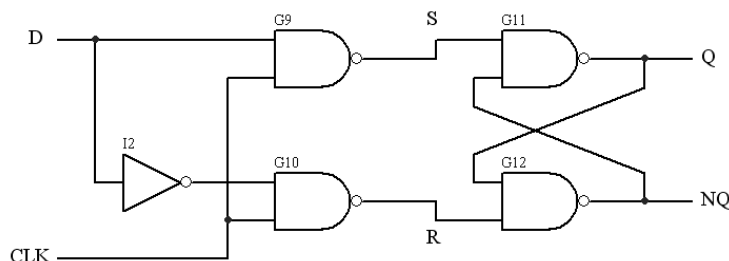
2.6.1 Przerzutniki statyczne

Najprostsza konfiguracja przerzutnika typu D przedstawiona została na rysunku 2.45a. Przerzutnik taki składa się z dwóch zatrząsków (ang. latch) typu RS z dodatkowym inwerterem I2 umożliwiającym pracę z pojedynczym wejściem D. Główną częścią zatrząsku przedstawionego na rysunku 2.45b jest układ dwóch bramek G11 i G12, którego tablicę prawdy przedstawia tabela 2.1a. Równoczesny stan niski na obu wejściach S i R jest stanem zabronionym. Wystąpienie równoczesnego stanu wysokiego na wejściach utrzymuje uprzednio ustaloną konfigurację wyjść. Bramki G9 i G10 umożliwiają sterowanie zatrząsku poziomym sygnałem zegarowym CLK (tabela 2.1b). Sygnał z wejścia D jest przekazywany przez bramki G9 i G10 jedynie przy wysokim stanie wejścia CLK. Logiczna jedynka na wejściu D powoduje ustawienie sygnału "set" dla

układu G11-G12 ($S=1, R=0$), zaś logiczne zero odwrotnego sygnału "reset" ($S=0, R=1$). Niski poziom blokuje wejście D wymuszając na wyjściach bramek logiczną jedynkę utrzymującą, zgodnie z tabelą 2.1a, ustalony stan wyjść Q i NQ niezależnie od zmian sygnału wejściowego.



a)



b)

Rysunek 2.45: Statyczny przerzutnik typu D: a) schemat ideowy, b) zatrząsk typu RS sterowany sygnałem zegarowym.

S	R	Q	NQ
0	0	?	?
1	0	1	0
0	1	0	1
1	1	0/1	1/0

a)

D	CLK	Q	NQ
X	0	0/1	1/0
0	1	0	1
1	1	1	0

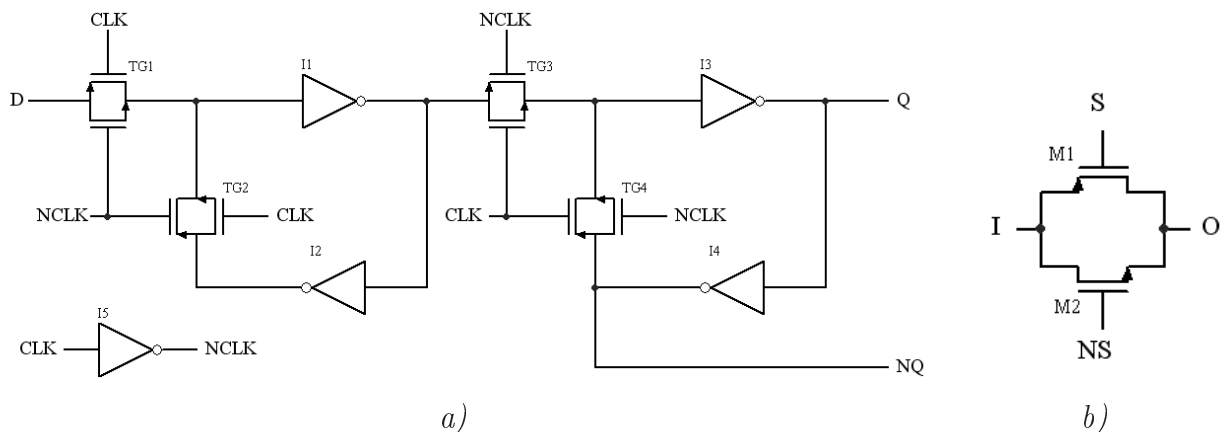
b)

Tabela 2.1: Tablice prawdy zatrząsku RS: a) w standardowej konfiguracji, b) z dodatkowym wejściem zegarowym.

Jeśli wyjścia zatrząsku RS pracującego na niskim stanie sygnału zegarowego CLK zostaną wykorzystane do sterowania wejścia zatrząsku pracującego na stanie wysokim to powstanie w ten sposób przerzutnik D taktowany narastającym zboczem zegara (rysunek 2.45a). Bramki G1-G4 i G5-G8 stanowią dwa zatrząski RS. W pierwszym z nich w miejsce inwertera I2 wykorzystano wyjście bramki G1 stanowiące zanegowany sygnał wejściowy D przy stanie niskim linii CLK. Inwerter I1 odwraca sygnał zegarowy umożliwiając pierwszemu zatrząskowi G1-G4 pracę na niskim poziomie wejścia CLK.

Opisane powyżej złożenie dwóch elementów pamiętających stan wyjść bądź przekazujących sygnał logiczny z wejścia w zależności od poziomu sygnału sterującego, nazywane z ang. konfiguracją "Master-Slave", jest generalną zasadą budowy przerzutników taktowanych zboczem. Pierwszy z elementów próbkuje wstępnie wejście D zmieniając stan swoich wyjść w sposób ciągły. Zmiany te są jednak blokowane przez drugi stopień utrzymujący na wyjściach stan ustalony w poprzednim cyklu pracy. Po zmianie poziomu sygnału zegarowego pierwszy stopień zapamiętuje stan linii D z chwili zmiany, zaś ustalony stan jego wyjść jest przekazywany przez drugi stopień na wyjścia całego układu przerzutnika.

Alternatywna konfiguracja statycznego przerzutnika typu D została przedstawiona na rysunku 2.46a. Jednostkowym elementem pamiętającym jest tutaj układ dwóch inwerterów (np. I1-I2) wraz z bramkami transmisyjnymi (analogicznie TG1-TG2) umożliwiającymi sterowanie zapisem danych.



Rysunek 2.46: Statyczny przerzutnik typu D (alternatywna konfiguracja): a) schemat ideowy, b) schemat elementu składowego - bramki transmisyjnej.

Bramka transmisyjna przedstawiona na rysunku 2.46b jest układem dwóch tranzystorów sterowanych komplementarnymi sygnałami S i NS. Stan niski sygnału S wprowadza tranzystor M1 w stan przewodzenia powodując przeniesienie stanu z wejścia I na wyjście O. W przypadku gdy na wejściu I panuje stan niski (napięcie jest bliskie 0 V) V_{gs} tranzystora jest również w przybliżeniu równe zero i tranzystor przechodzi w stan odcięcia. Tak więc do przenoszenia niskiego stanu logicznego na wyjście potrzebny jest tranzystor NMOS M2 sterowany komplementarnym do S sygnałem NS. Stan wysoki na bramce tranzystora umożliwia poprawne przekazanie na wyjście O stanu niskiego wejścia I. Wysoki sygnał sterujący S (i, równocześnie niski NS) blokuje tranzystory wprowadzając wyjście O w stan wysokiej impedancji, co umożliwia wysterowanie dołączonej do niego linii z innego źródła.

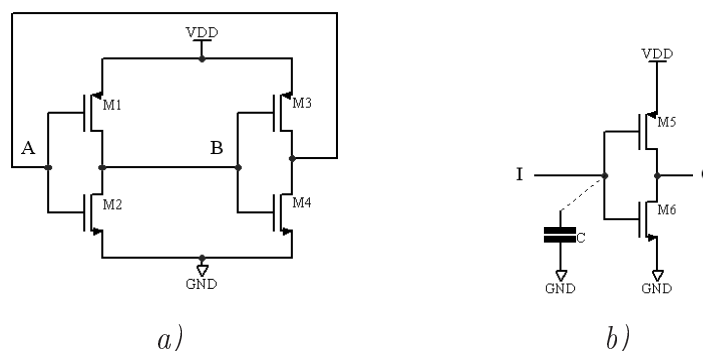
Opisane powyżej działanie bramki transmisyjnej pozwala na sterowanie działaniem komórki pamięci I1-I2 zatrasku za pomocą poziomów sygnału zegarowego CLK (i komplementarnego NCLK tworzonego przez inwerter I5 wewnątrz przerzutnika). Stan niski CLK przekazuje sygnał

z wejścia D do inwertera I1. Wyjście inwertera jest dołączone do odciętej w tej sytuacji bramki TG3 i inwertera I2, którego wyjście jest blokowane przez TG2. Po zmianie poziomu sygnału CLK odcięta zostaje bramka TG1 zaś TG2 wprowadzona w stan przewodzenia, co spina inwertery I1 i I2 w pętlę. Dzięki temu stan panujący na wejściu D w chwili zmiany poziomu CLK zostaje zapamiętany i przekazany poprzez TG3 do drugiego stopnia przerzutnika. Ponieważ sygnały sterujące podawane na wejścia odpowiadających sobie bramek transmisyjnych w obu stopniach (TG1 - TG3 i TG2 - TG4) są przeciwne, więc cały układ pracuje w opisanej wcześniej konfiguracji "Master-Slave".

Podstawową zaletą drugiego z przedstawionych rozwiązań układowych jest znacznie mniejsza (w stosunku do pierwszego) ilość użytych do ich budowy tranzystorów. Przerzutnik zbudowany z bramek NAND wymaga ich bowiem 34, podczas gdy druga z konfiguracji jedynie szesnastu. Oznacza to przede wszystkim mniejszą powierzchnię zajmowaną przez pojedynczy przerzutnik oraz ma wpływ na parametry pracy, opisane bliżej w podrozdziale 2.6.3.

2.6.2 Przerzutniki dynamiczne

W przerzutnikach opisanych w poprzednim podrozdziale stan logiczny jest przechowywany w statycznej komórce pamięci zbudowanej z dwóch bramek logicznych (lub inwerterów) zapiętych w pętlę. W takim rozwiązaniu potencjał wejściowy danej bramki jest jednoznacznie określony poprzez bezpośrednie połączenie z jedną z linii zasilania (rysunek 2.47a). Jeśli w punkcie A panuje niski potencjał, to tranzystor M1 przewodzi dołączając wejście B kolejnego stopnia do linii zasilania VDD. Zwarty zostaje wówczas tranzystor M4 łącząc wejście A z linią masy. W ten sposób statyczna komórka pamięci może utrzymywać raz ustalony stan logiczny aż do wyłączenia zasilania układu.

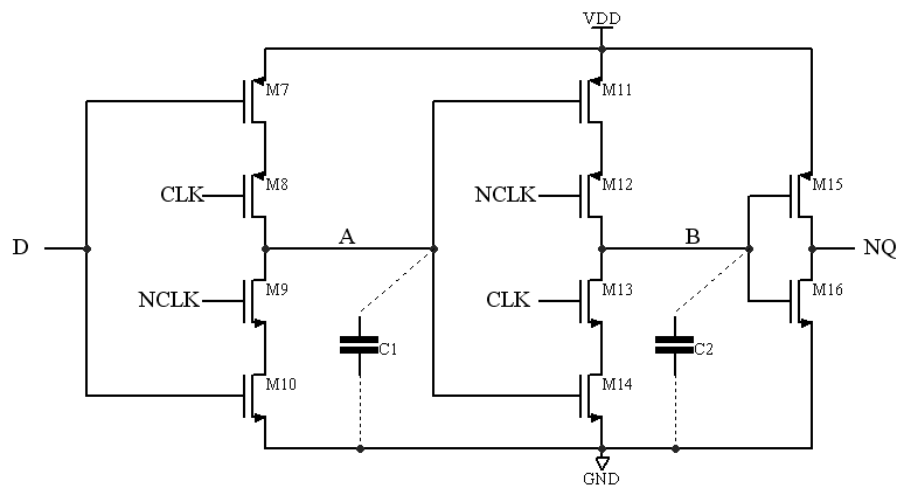


Rysunek 2.47: Komórki pamięci: a) statyczna, b) dynamiczna.

Drugim stosowanym często rozwiązaniem jest dynamiczna komórka pamięci przedstawiona na rysunku 2.47b. W tym przypadku stan logiczny przechowywany jest w postaci ładunku zgromadzonego na pojemności wejściowej bramek tranzystorów M5 i M6 (przedstawionej obra-

zowo na rysunku 2.47b jako C). Stan naładowania bądź rozładowania pojemności C decyduje o tym, który z tranzystorów M5-M6 jest w stanie przewodzenia determinując poziom logiczny wyjścia O. Na tej zasadzie działania oparte są dwa opisane poniżej rozwiązania dynamicznych przerzutników typu D.

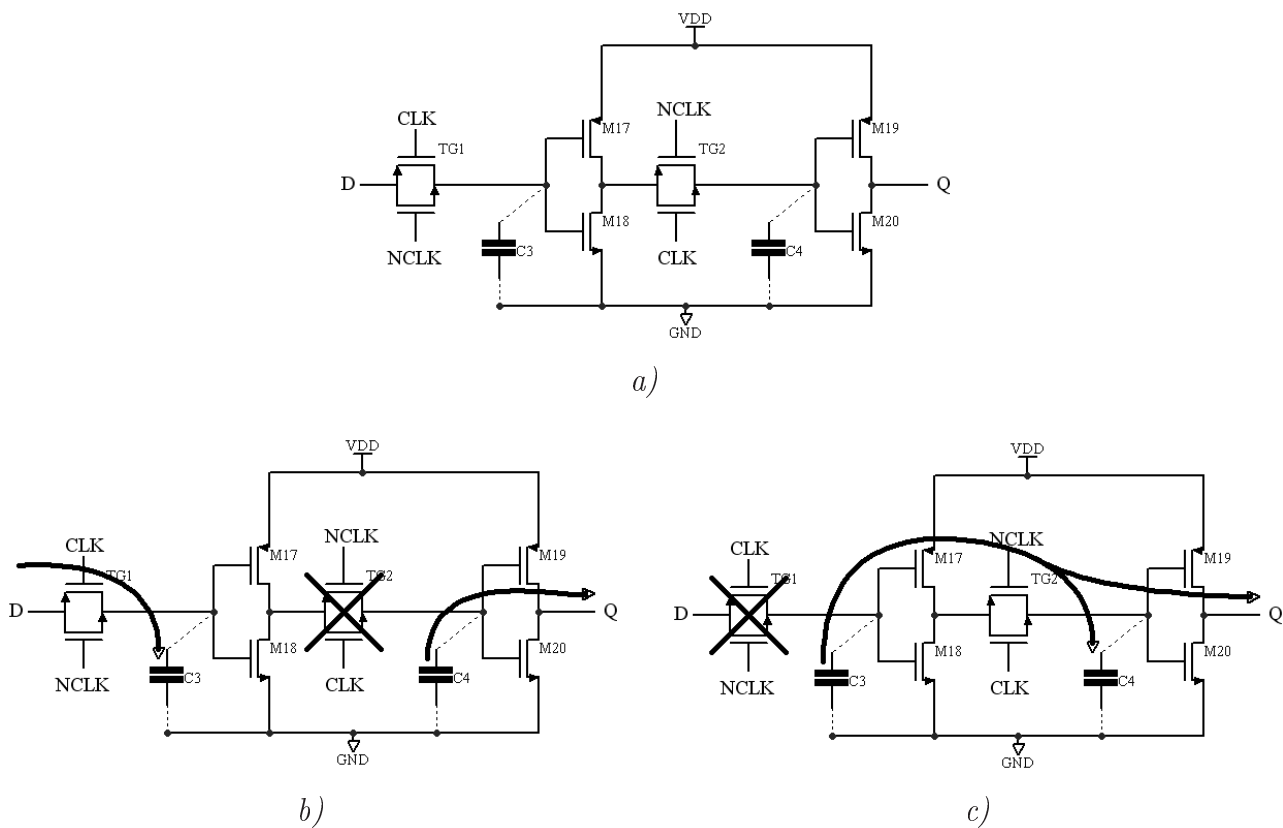
Pierwszą z konfiguracji przedstawia rysunek 2.48. Przerzutnik ten, podobnie jak poprzednie, jest zbudowany z dwóch zatrzasków w konfiguracji "Master-Slave". Pojedynczy zatrzask stanowi inwerter (tranzystory M7 i M10) rozbudowany o tranzystory sterujące jego pracą (M8 i M9). Przy niskim poziomie sygnału sterującego CLK (wysokim sygnału komplementarnego NCLK) tranzystory M8 i M9 przewodzą, zaś poziom logiczny na wyjściu (punkt A) jest określany na podstawie wejścia D przez przewodzenie jednego z tranzystorów M7, M10. Dołączenie punktu A do linii zasilania (lub masy) powoduje naładowanie (rozładowanie) pojemności wejściowej tranzystorów M11, M14. Ze względu na niski poziom sygnału na linii CLK tranzystory M12 i M13 są odcięte, zaś potencjał punktu B zależy od ładunku zgromadzonego uprzednio na pojemności bramek tranzystorów M15 i M16. W drugiej fazie pracy następuje zmiana poziomu linii CLK na wysoki co odcina tranzystory M8, M9 i wprowadza M12 i M13 w stan przewodzenia. W zależności od ładunku zgromadzonego na pojemności bramek tranzystorów M11, M14 jeden z nich przewodzi ładując lub rozładowując pojemności wejściowe M15 i M16.



Rysunek 2.48: Przerzutnik dynamiczny ze sterowanymi inwerterami.

Drugie rozwiązanie układowe, przedstawione na rysunku 2.49a, wykorzystuje do kontroli pracy opisaną wcześniej bramkę transmisyjną. W pierwszej fazie pracy (rys. 2.49b, niski poziom sygnału CLK) zmiany sygnału na wejściu D ładują/rozładowują poprzez bramkę TG1 pojemność wejściową tranzystorów M17 i M18 (zaznaczoną schematycznie jako C3). Zmiany sygnału wyjściowego inwertera tworzonego przez te tranzystory są blokowane przez odciętą bramkę TG2. Poziom logiczny wyjścia przerzutnika Q jest determinowany przez ładunek zgromadzony w poprzednim cyklu na pojemności C4 (bramek tranzystorów M19 i M20) i nie zależy od zmian sygnału na wejściu D. Po zmianie poziomu sygnału zegarowego CLK na wysoki (rys.

2.49c) bramka TG1 zostaje odcięta uniezależniając wejście inwertera M17, M18 od sygnału wejściowego D. Stan wyjścia inwertera, zależny od ładunku zgromadzonego na pojemności C3, steruje inwerterem M19, M20 ładując/rozładowując jego pojemność wejściową C4. Stan logiczny na wyjściu Q jest więc stały przez pełny cykl zegara, zaś jego wartość zależy od sygnału wejściowego D w chwili odcięcia bramki TG1. Ponieważ odcięcie to następuje przy przejściu sygnału zegarowego CLK ze stanu niskiego na wysoki, układ pracuje jako przerzutnik typu D.



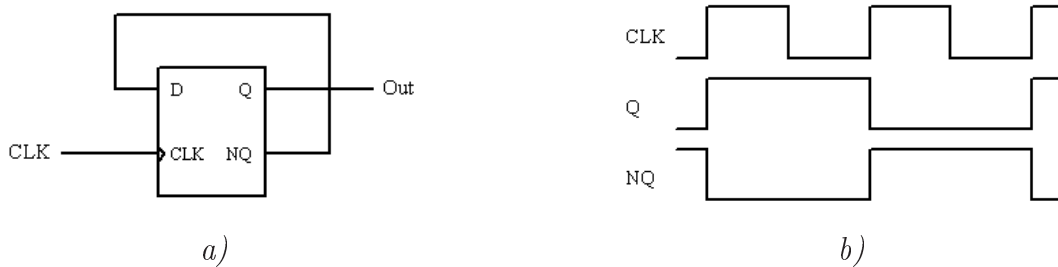
Rysunek 2.49: Przerzutnik dynamiczny: a) schemat ideowy, b) przepływ ładunku przy $CLK=0$ oraz c) przy $CLK=1$.

Podstawową wadą przerzutników dynamicznych jest możliwość utraty informacji przy zbyt wolnym przebiegu zegarowym (zbyt długo utrzymywanym stałym potencjale linii CLK). Wynika to z "ucieczki" zgromadzonego na pojemnościach ładunku poprzez prądy upływu. W przeciwieństwie do przerzutników statycznych, które są zdolne do utrzymywania ustalonego stanu dowolnie długo, przerzutniki dynamiczne wymagają stałego odświeżania zawartej w nich informacji odpowiednio szybkim przebiegiem zegarowym. Cechą, która decyduje o stosowaniu przerzutników dynamicznych w miejsce statycznych są znacznie lepsze parametry czasowe.

2.6.3 Parametry pracy przerzutników

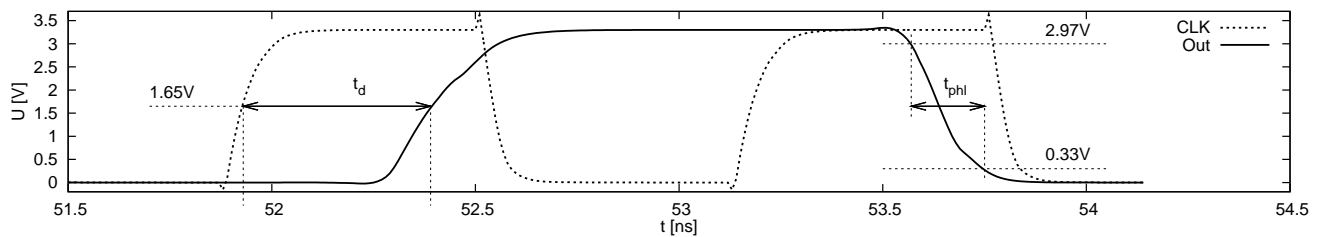
Do testów parametrów pracy wykorzystano układ przedstawiony na rysunku 2.50a. Jest to typowa konfiguracja dzielnika częstotliwości. Dzięki podłączeniu wejścia D przerzutnika do

jego wyjścia NQ otrzymuje się zmianę poziomu logicznego wyjścia co każde zbocze narastające sygnału zegarowego (rys. 2.50b), co odpowiada podziałowi jego częstotliwości przez dwa.



Rysunek 2.50: Układ testowy - dzielnik częstotliwości: a) schemat ideowy, b) teoretyczne przebiegi czasowe.

Na rysunku 2.51 przedstawiono definicję najważniejszych parametrów czasowych przerzutnika. Czas propagacji (inaczej czas opóźnienia) t_d jest definiowany jako różnica czasów osiągnięcia przez przebiegi zegarowy CLK i wyjściowy Out poziomu połowy napięcia zasilania (1.65 V).



Rysunek 2.51: Parametry czasowe przerzutnika.

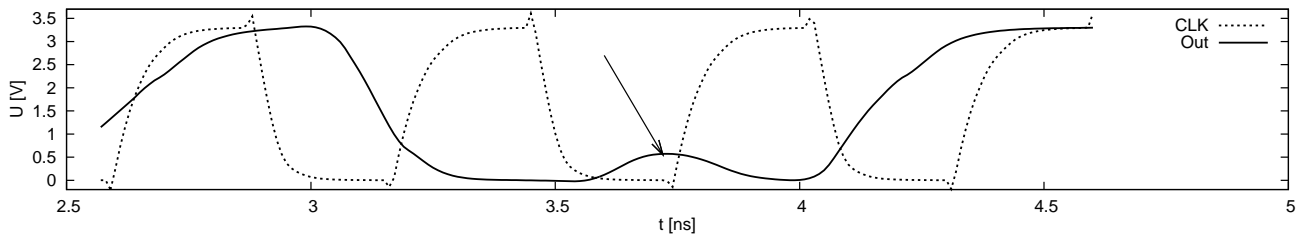
Czas opadania sygnału t_{phl} jest określany jako różnica między osiągnięciem przez przebieg wyjściowy poziomu 90% i 10% napięcia zasilania (odpowiednio 2.97 V i 0.33 V) przy przejściu z poziomu wysokiego do niskiego. Analogicznie definiowany jest czas t_{plh} (nie zaznaczony na wykresie 2.51) odpowiadający przejściu od stanu niskiego do wysokiego.

Zgodnie z powyższymi definicjami wyjście przerzutnika osiągnie stan ustalony (wysoki bądź niski) po czasie t_p równym sumie czasu opóźnienia i połowy czasu narastania/opadania.

$$t_p = t_d + \frac{t_{phl}, t_{plh}}{2} \quad (2.46)$$

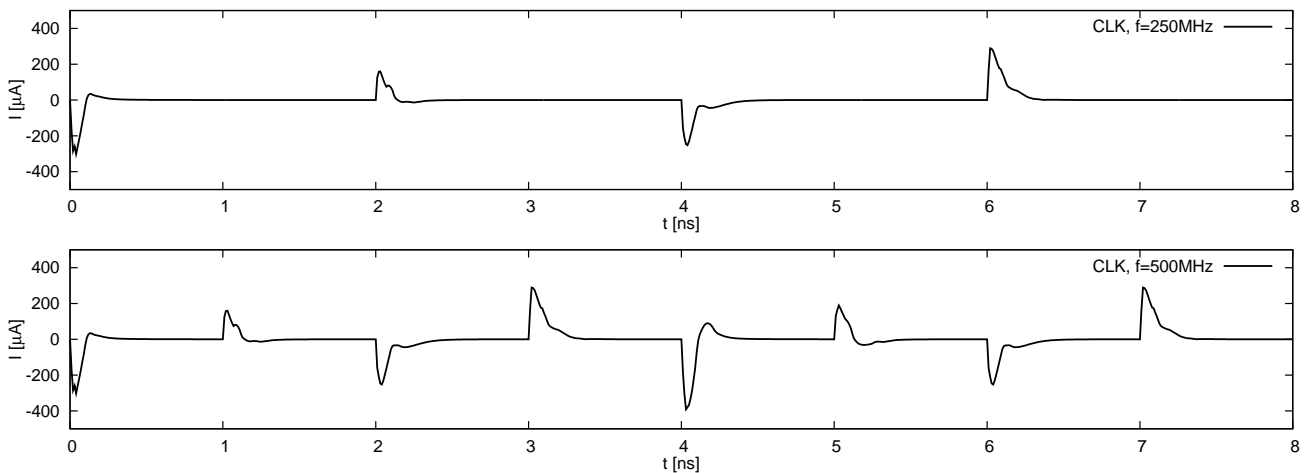
Czas propagacji sygnału t_p stanowi górną granicę dla okresu zegara taktującego przerzutnik. Jeśli okres ten będzie krótszy niż czas propagacji przerzutnika sygnał wyjściowy nie zdąży osiągnąć maksymalnej amplitudy przez przełączeniem w stan przeciwny (przykład na rys. 2.52).

Kolejnym istotnym parametrem jest pobór mocy. Dotyczy to zarówno prądu pobieranego z linii zasilania przez bramki bądź inwertery wchodzące w skład przerzutnika jak i prądów koniecznych na przeładowanie pojemności wejściowych linii D, CLK i NCLK. Należy przy



Rysunek 2.52: Przykład zbyt szybkiego przebiegu zegarowego. Strzałką oznaczono miejsce gdzie sygnał wyjściowy nie zdążył osiągnąć maksymalnej amplitudy.

tym rozróżnić wartości średnią i chwilową. Z zasady działania tranzystorów MOS wynika brak (pomijając prądy upływu) poboru mocy statycznej, tak więc prąd płynie jedynie w chwili przełączania układu. Wartość tego prądu zależy od parametrów tranzystorów (w głównej mierze od pojemności) i częstotliwość pracy nie powinna mieć na nią wpływu. Przykład znajduje się na wykresie 2.53 gdzie przedstawiony został pobór prądu wejścia CLK przerzutka dynamicznego w konfiguracji z rys. 2.48 przy dwóch częstotliwościach pracy - 250 i 500 MHz.

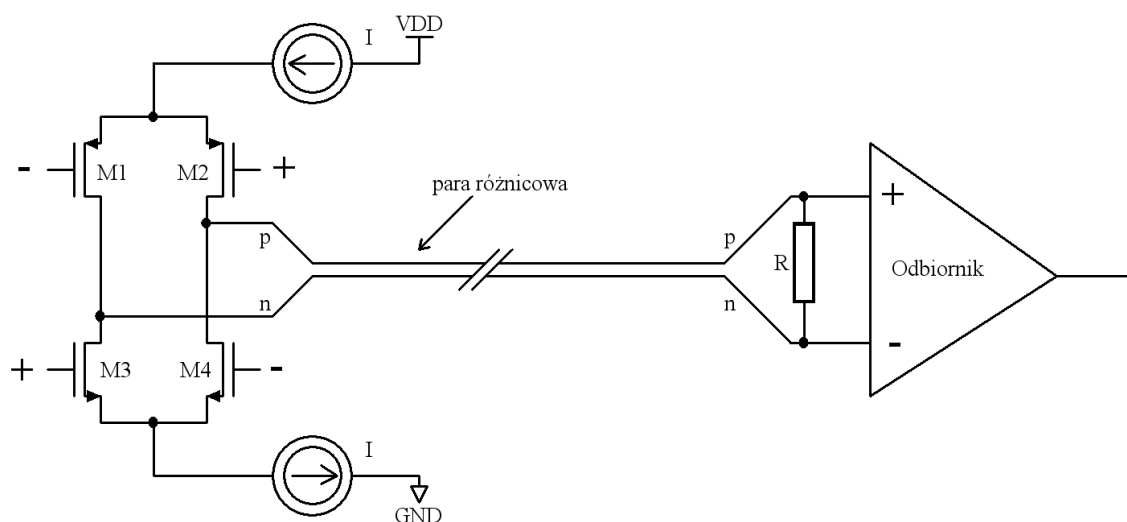


Rysunek 2.53: Przykład poboru prądu przez wejście zegarowe przerzutnika dla dwóch szybkości zegara.

Chwilowy pobór prądu w momencie przełączania jest w przybliżeniu równy $300 \mu A$ i nie zmienia się wraz ze wzrostem częstotliwości. Podwojenie prędkości działania powoduje jednak dwukrotnie częstsze występowanie szpiców prądowych, co ma swoje przełożenie na wartość średnią. W przypadku zegara o częstotliwości $f = 250 \text{ MHz}$ średni pobór prądu przez wejście CLK wynosi $\bar{i} = 13,96 \mu A$, podczas gdy dla $f = 500 \text{ MHz}$ $\bar{i} = 28,06 \mu A$. Podwojenie częstotliwości wiąże się więc z podwojeniem pobieranej mocy, co zgadza się z teoretycznym liniowym związkiem tych dwóch wielkości.

2.7 Bufor LVDS

Bufor LVDS² (ang. Low-Voltage Differential Signaling) jest układem służącym do różnicowej transmisji danych z dużą prędkością. Standard ten dzięki pracy na niewielkiej różnicy napięć pozwala ograniczyć moc wydzielaną w układzie, przy jednoczesnym zachowaniu odporności na szумы i zakłócenia. Prędkość transmisji może dochodzić do 3 Gbps. Układy LVDS są wykorzystywane powszechnie w komputerach (SATA, DVI itp.), w systemach pomiarowych, w medycynie i automatyce. Idea działania takiego standardu transmisji danych przedstawiona jest na rysunku 2.54 [23]. Nadajnik w najprostszym przypadku składa się z czterech tranzysto-

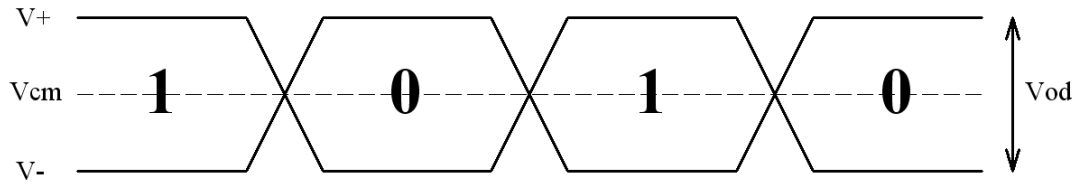


Rysunek 2.54: Idea działania nadajnika i odbiornika LVDS

rów i źródeł prądowych I , które dostarczają prądu referencyjnego o ściśle ustalonej wartości. Typowa wartość prądu to 3.5mA . Odbiornik jest układem o wysokiej impedancji wejściowej, a cały prąd z nadajnika przepływa przez rezystor terminujący R umieszczony jak najbliżej odbiornika. Sygnałem odczytywanym jest spadek napięcia na tej rezystancji. Terminator typowo jest rezystorem o wartości 100Ω , co przy prądzie 3.5mA daje amplitudę sygnału równą 350mV . Przeważnie odbiornik odczytuje poprawnie stan logiczny już dla amplitud rzędu 100mV , co znacznie poprawia odporność układu na szумы i przesunięcia stałego poziomu polaryzacji odbiornika względem nadajnika. Poziomy logiczne realizowane są dzięki wymuszeniu przepływu prądu przez parę różnicową w przeciwnym kierunku, co daje odwrotny spadek napięcia na rezystorze terminującym. Gdy transmitowana jest jedynka logiczna, to otwarte są tranzystory $M2$ oraz $M3$. Prąd płynie ze źródła prądowego przez tranzystor $M2$ i przewód p z pary różnicowej na rezystor R w odbiorniku, a następnie dalej przewodem n i poprzez tranzystor $M3$ do masy. Spadek napięcia na rezystorze terminującym jest wtedy dodatni. Zero logiczne transmitowane jest gdy otwarte są tranzystory $M1$ oraz $M4$. Prąd płynie wtedy w przeciwnym kierunku, a spa-

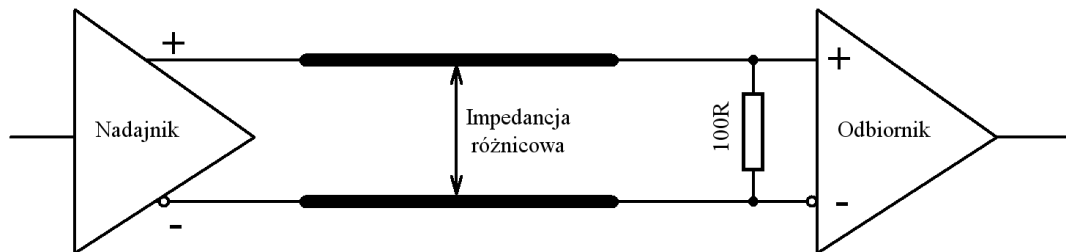
²Układ ten nie był opracowany na potrzeby niniejszej pracy, a został załączony do projektu jako gotowy fragment i stanowi w opracowanym układzie bufor wyjściowy/wejściowy danych i przebiegów zegarowych

dek napięcia na terminatorze jest ujemny. Napięcia na wejściach odbiornika i odpowiadające im poziomy logiczne pokazane są na rysunku 2.55.



Rysunek 2.55: Poziomy napięć na wejściach odbiornika LVDS. V_{od} - spadek napięcia na rezystorze terminującym, V_{cm} - stałe napięcie polaryzujące odbiornik o wartości wyznaczającej środek napięcia na terminatorze V_{od}

Bardzo dużą zaletą standardu LVDS jest brak połączenia masy między odbiornikiem a nadajnikiem. Połączenie zapewnia tylko para przewodów różnicowych. Dodatkowo wszystkie wspólne zakłócenia indukowane w przewodach podczas transmisji są kasowane przez różnicowy stopień wejściowy w odbiorniku. Ponieważ w przewodach pary różnicowej płyną takie same prądy ale w przeciwnych kierunkach, zakłócenia elektromagnetyczne generowane przez transmisję LVDS są ograniczone do minimum. Najprostszą konfiguracją w jakiej może działać bufor LVDS widać na rysunku 2.56. Jest to połączenie punkt do punktu, nadajnik łączy się bezpośrednio z odbiornikiem. Nie występują żadne rozgałęzienia w połączeniu co pozwala na dopasowanie



Rysunek 2.56: Wpływ impedancji połączeń w standardzie LVDS

w bardzo dobry sposób impedancji linii. Dla uzyskania największych szybkości transmisji impedancja różnicowa między przewodami w parze powinna wynosić dokładnie 100Ω , co narzuca duże wymagania na projekt płytki drukowanej i przewody. Dopasowanie impedancyjne jest ważne z punktu widzenia odbić sygnału, gdyż dla dużych częstotliwości nawet odcinek ścieżki trzeba traktować jak linię długą.

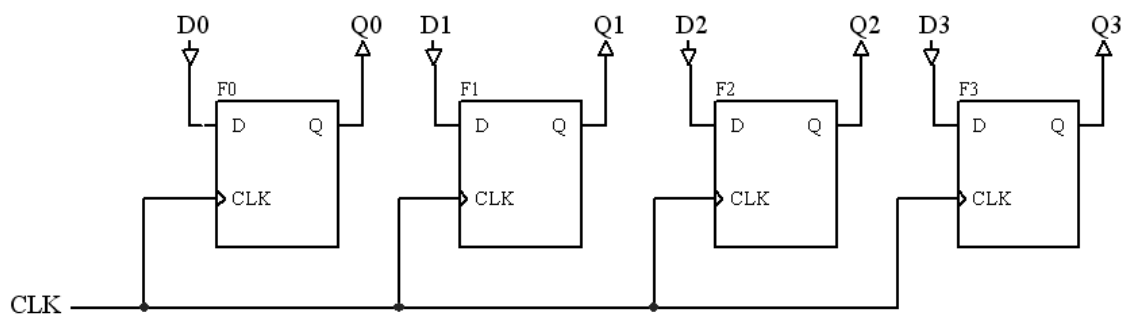
2.8 Rejestry ("serializer"/"deserializer")

Zadaniem obu bloków jest przetwarzanie danych pomiędzy postaciami szeregową i równoległą. Oba są zbudowane w oparciu o opisane poniżej rejestry. Konstrukcja układów została skomplikowana przez pracę w dwóch trybach próbkowania danych ("single rate" i "half rate") co, jak się dalej okaże, wymagałoby teoretycznie pracy rejestrów na dwóch przeciwnych zboczach sygnału zegarowego. Ze względów praktycznych rozwiązaniem problemu okazało się podzielenie rejestrów na dwa pracujące naprzemiennie bloki, co zostało dokładnie opisane w rozdziale 3.11.

2.8.1 Rejestry

Rejestrem nazywamy układ n przerzutników o wspólnych wejściach sterujących: zegarowym (taktującym), kasującym, zezwolenia na pracę itp. Ilość n przerzutników wchodzących w skład rejestru określa ilość bitów które może on zgromadzić (stąd określenie rejestr n -bitowy). Ze względu na sposób doprowadzenia wejść i wyjść przerzutników rozróżniamy cztery główne typy opisane poniżej.

2.8.1 a) Rejestr równoległy (bufor)

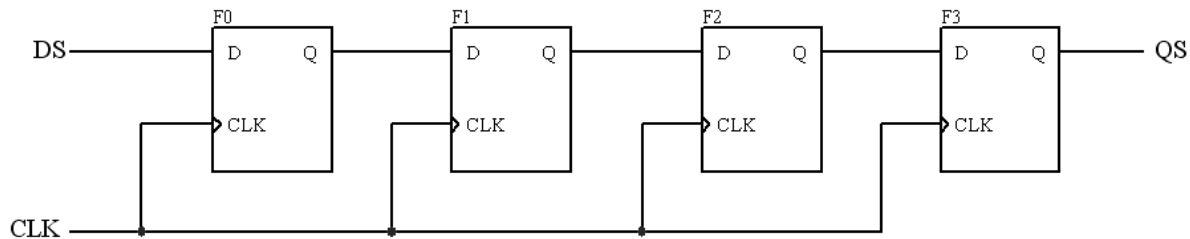


Rysunek 2.57: Schemat 4-bitowego rejestru równoległego.

Rysunek 2.57 przedstawia schemat 4-bitowego rejestru równoległego. Posiada on cztery wejścia i wyjścia danych oraz wejście sygnału zegarowego. Na zboczu narastającym tego sygnału wartości występujące na wejściach danych D0-3 są próbkowane i zapisywane na wyjściach Q0-3 przerzutników F0-3. Ze względu na to, że dane wejściowe podawane są do każdego z przerzutników niezależnie mówimy o równoległym zapisie wejść, zaś linie sygnałów D0-3 określone są jako równoległa magistrala danych. Z tych samych względów wyjściem rejestru jest magistrala Q0-3. Ponieważ przerzutnik próbuje dane jedynie na zboczu narastającym sygnału zegarowego sygnały wyjściowe są odseparowane od mogących się zmieniać wartości wejściowych, zaś moment ewentualnej zmiany poziomu wyjścia jest precyzyjnie sterowany poprzez wejście CLK.

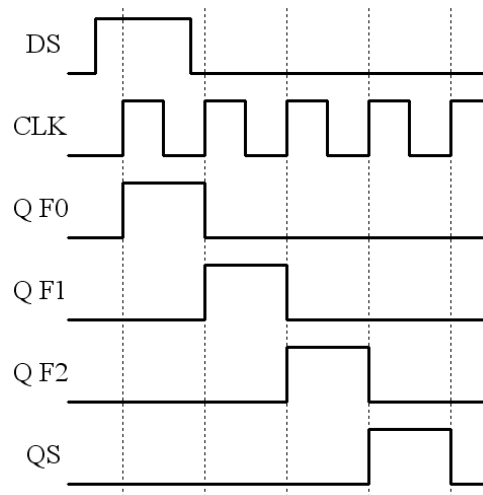
Spróbki dane wejściowe mogą być ponadto przechowywane w rejestrze przez dowolnie długi czas, aż do nadejścia kolejnego zbocza zegara. Stąd też rejestr równoległy nazywany jest też buforem magistrali danych.

2.8.1 b) Rejestr szeregowy (przesuwny)



Rysunek 2.58: Schemat 4-bitowego rejestru szeregowego.

Rejestr, którego schemat przedstawiony został na rysunku 2.58, posiada jedno wejście DS i wyjście QS danych. Ponieważ dane są podawane jak i odbierane "po kolei", linie wejścia i wyjścia noszą nazwę szeregowych. Zasadę działania rejestru objaśnia rysunek 2.59.



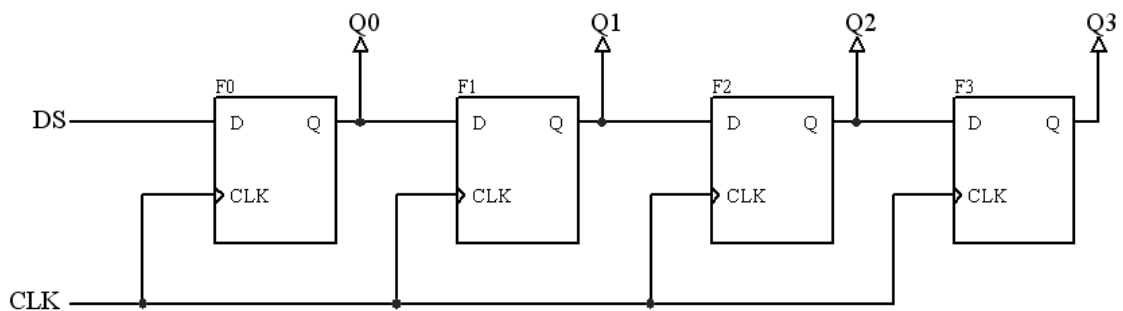
Rysunek 2.59: Zasada działania 4-bitowego rejestru szeregowego.

Pierwszy przerzutnik F0 próbuje na zboczu narastającym CLK linię danych DS. Pobrana wartość (w przykładzie stan wysoki) jest przekazywana na jego wyjście (Q F0) gdzie oczekuje na następne zbocze narastające. Ponieważ wyjście to stanowi zarazem wejście kolejnego przerzutnika F1, stan wysoki na kolejnym zboczu zostanie przekazany na jego wyjście Q F1. Analogicznie zadziałają kolejne przerzutniki F2 i F3, dzięki czemu po czterech cyklach zegarowych stan wysoki linii DS zostanie wystawiony na wyjściu rejestru QS. Rejestr tego typu działa więc jak swojego rodzaju sterowana linia opóźniająca umożliwiająca przechowanie danych przez

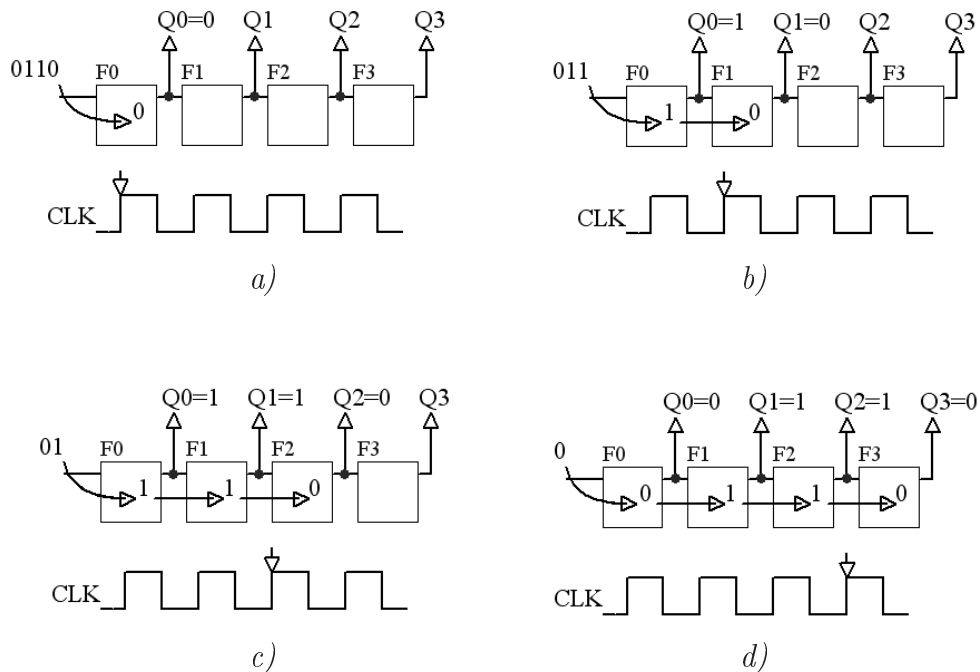
n cykli zegarowych (gdzie n to ilość przerzutników wchodzących w skład rejestru). Alternatywna nazwa rejestru przesuwającego pochodzi od metody działania układu przemieszczającego całą zawartość o jeden stopień w przód na każdym dodatnim zboczach sygnału zegarowego CLK.

Opisane w dalszym ciągu dwie następne konfiguracje rejestru stały się bazą dla układów "serializer'a" i "deserializer'a" danych. Stanowią one kombinację rejestrów szeregowego i równoległego.

2.8.1 c) Rejestr szeregowo-równoległy



Rysunek 2.60: Schemat 4-bitowego rejestru szeregowo-równoległego.



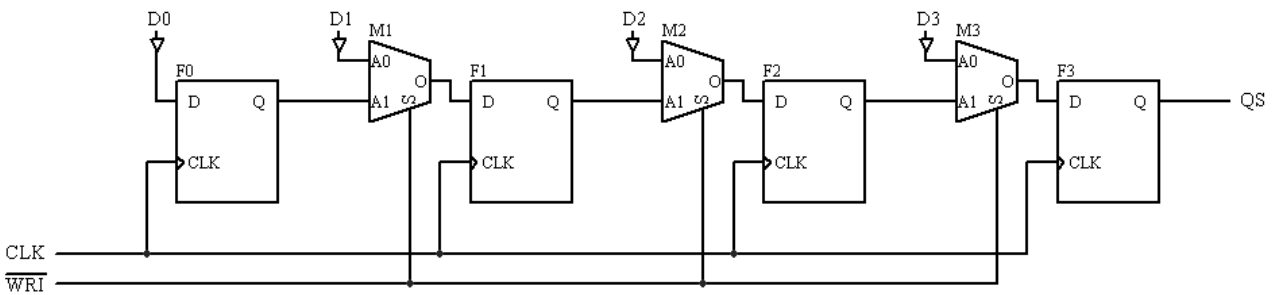
Rysunek 2.61: Etapy przetwarzania danych szeregowych na równoległe: a), b), c), d) - cztery kolejne zbocza zegara.

Przedstawiony na rysunku 2.60 schemat rejestru szeregowo-równoległego stanowi prostą modyfikację rejestru przesuwającego. Dzięki dodaniu magistrali wyjściowej Q0-3 umożliwia on

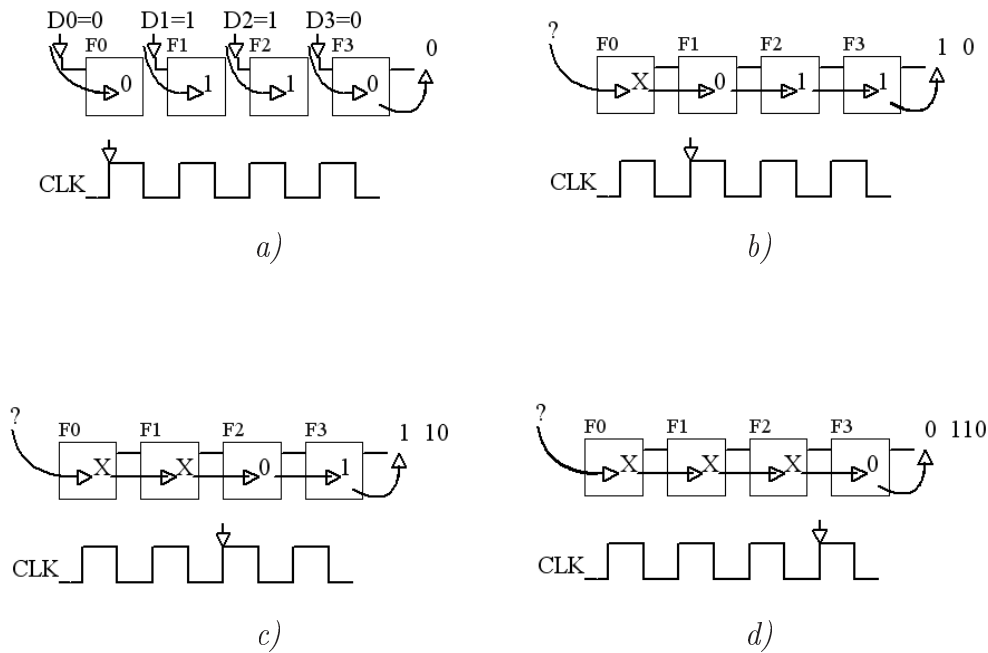
zamianę szeregowych danych wejściowych na postać równoległą. Przykład takiej pracy został zamieszczony na poglądowym rysunku 2.61.

Aby układ działał w taki sposób pojedynczy bit danych wejściowych powinien mieć długość dokładnie jednego okresu sygnału CLK, zaś zmiany kolejnych bitów nie powinny się pokrywać ze zboczami narastającymi zegara. Wówczas kolejne bity z wejściowego ciągu "0110" są pobierane przez przerzutnik F0 i przekazywane w następnych cyklach do dalszych przerzutników. Po czterech okresach przebiegu zegarowego równoległe wyjścia rejestru Q0-3 odwzorowują dokładnie ciąg bitów podany na wejście szeregowo DS.

2.8.1 d) Rejestr równoległo-szeregowy



Rysunek 2.62: Schemat 4-bitowego rejestru równoległo-szeregowego.



Rysunek 2.63: Etapy przetwarzania danych równoległych na szeregowe: a) pierwsze zbocze zegara i wpisanie równoległych danych; b), c), d) - trzy kolejne zbocza.

Rejestr którego schemat przedstawia rysunek 2.62 jest najbardziej skomplikowaną z przedstawianych konfiguracji. Została ona wzbogacona o trzy multipleksery M1-3 ze względu na konieczność równoległego podłączenia do wejść przerzutników F1-3 wyjść ich poprzedników oraz wejściowej magistrali danych D0-3 sterowanej z zewnętrznych źródeł. Zasada działania rejestru została poglądowo przedstawiona na rysunku 2.63.

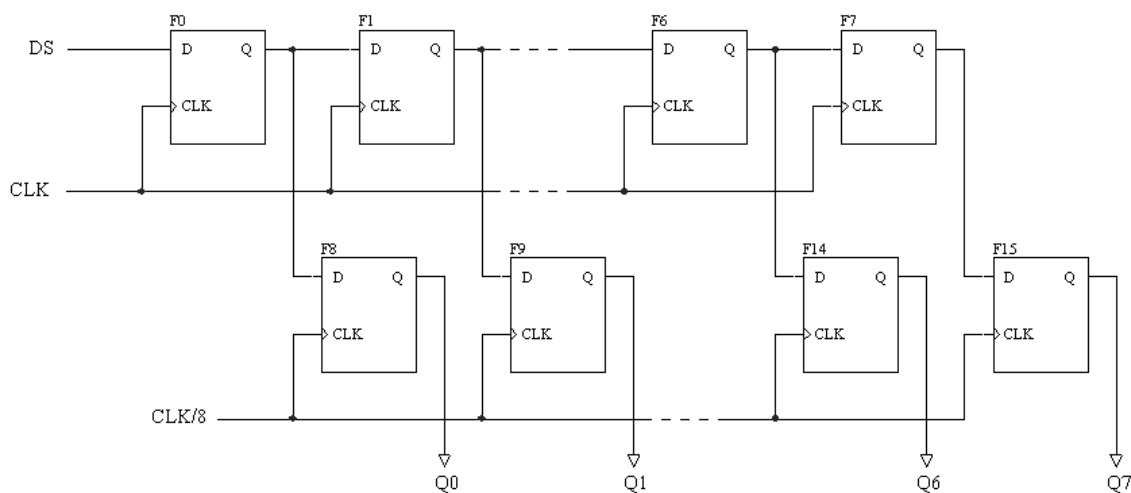
W pierwszym cyklu zegara (rys. 2.63a) niski stan sygnału $\overline{WR\bar{I}}$ doprowadzony do wejść S multipleksersów M1-3 dołącza wejściową magistralę danych D1-3 do wejść przerzutników. Dodatkowo zbocze zegara zapisuje stan magistrali wewnątrz przerzutników F0-3. Najstarszy (w tej konwencji) bit D3 jest jednocześnie wyprowadzany na szeregowe wyjście rejestru QS. Przed kolejnym zboczem narastającym CLK sygnał $\overline{WR\bar{I}}$ przechodzi w stan wysoki dołączając przez multipleksery wejścia przerzutników F1-3 do wyjść ich poprzedników w łańcuchu. Od tej pory układ zaczyna działać analogicznie do rejestru przesuwnego wystawiając kolejne bity na wyjście QS. Wartość wpisywana do najmłodszego przerzutnika F0 jest nieistotna, gdyż na początku następnego cyklu pracy do rejestru zostanie ponownie równolegle wpisana zawartość wejściowej magistrali danych. Na wyjściu QS rejestru otrzymujemy w ten sposób ciąg bitów, każdy o czasie trwania równym okresowi przebiegu zegarowego. Zbocza generowane przez układ na linii danych są przesunięte w fazie względem zbocz zegara o czas opóźnienia przerzutnika F3.

2.8.2 "Deserializer" danych

Jak już wspomniano na wstępie, zadaniem bloku "deserializer'a" jest konwersja danych z odbieranej przez układ postaci szeregowej na końcową równoległą. Zgodnie z założeniami projektu wyjściem układu jest 8-bitowa magistrala synchroniczna taktowana przebiegiem zegarowym generowanym wewnątrz ASIC'a. Stąd też jako "naturalne" rozwiązanie układowe nasuwa się 8-bitowy rejestr szeregowo-równoległy generujący na swoich wyjściach pełny bajt co osiem cykli głównego zegara. Dzięki takiemu rozwiązaniu komunikacja z zewnętrznym urządzeniem za pomocą magistrali równoległej odbywa się ośmiokrotnie wolniej w stosunku do nominalnej częstotliwości przesyłu danych szeregowych (przykładowo: w trybie 960 MHz "single rate" układ transmituje dane z prędkością 960 Mbps, co, po konwersji na postać równoległą, daje 120 MBps, czyli jeden pełny bajt pojawiający się na wyjściach układu co okres zegara 120 MHz). Szczegółowa analiza pracy rejestru szeregowo-równoległego ujawnia jednak pewien problem. Otóż poprawnie skonwertowany bajt jest co prawda wystawiany na wyjście rejestru co osiem okresów zegara, ale jest w takiej postaci utrzymywany na nich jedynie przez jeden okres, gdyż pozostałe siedem zajmuje przesuwanie odbieranych bitów na przynależące im pozycje. W podanym przykładzie zawartość rejestru jest przesuwana co 1,04 ns (okres zegara 960 MHz) i co taki czas zmienia się stan wyjść. Istotna informacja (pełny bajt) pojawia się osiem razy rzadziej (co 8,32 ns), ale zewnętrzny układ musi zdążyć ją odczytać przed kolejnym przesunięciem, czyli w czasie 1,04 ns. Opóźniony odczyt wyjść spowodowałby odebranie

części (np. siedmiu) bitów bajtu $n - 1$ oraz części (jednego bitu) n -tego bajtu. Takie działanie niweluje korzyść wynikającą z konwersji danych na postać równoległą, gdyż zewnętrzny układ musi być de facto zdolny do odczytu danych z prędkością odpowiadającą transmisji szeregowej (w przykładzie 960 MHz).

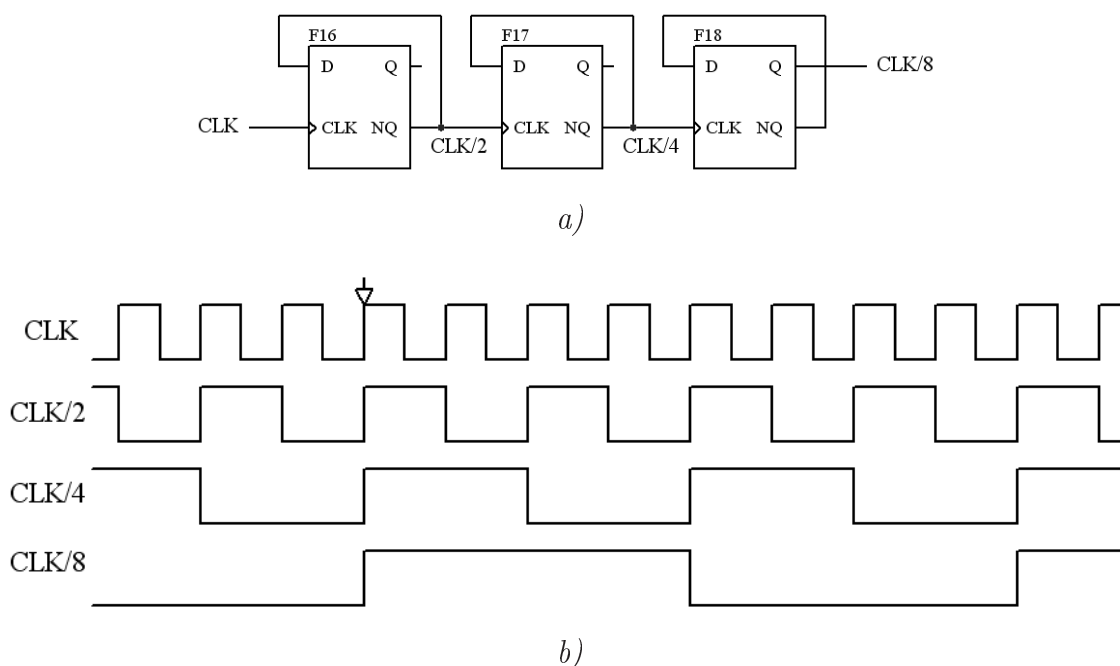
Rozwiązaniem problemu jest dołączenie do wyjść rejestru szeregowo-równoległego bufora magistrali (czyli rejestru równoległego) taktowanego zegarem ośmiokrotnie wolniejszym w stosunku do transmisji szeregowej. Jak zostało wspomniane, stany wyjść bufora pozostają stałe pomiędzy dodatnimi zboczami sygnału taktującego pozwalając w tym czasie na przesuwanie bitów w rejestrze szeregowo-równoległym w sposób niewidoczny dla zewnętrznego urządzenia. Schemat ideowy połączenia dwóch rejestrów przedstawia rysunek 2.64 (dla czytelności pominięto cztery pośrednie przerzutniki).



Rysunek 2.64: "Deserializer" danych - schemat ideowy.

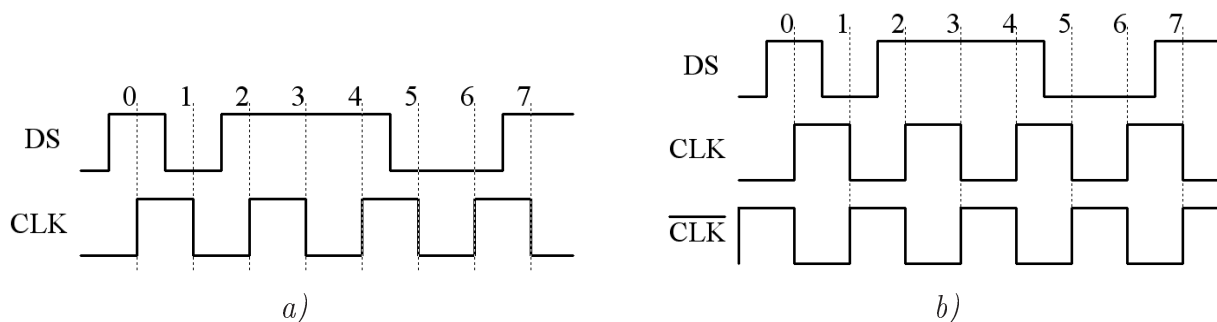
Bufor magistrali (przerzutniki F8-F15) jest taktowany przebiegiem CLK/8 o ośmiokrotnie niższej częstotliwości niż główny sygnał zegarowy CLK. Wytworzeniem wolniejszego przebiegu zajmuje się przedstawiony na rysunku 2.65 dzielnik częstotliwości. Wystąpienie ośmiu zboczy narastających przebiegu CLK (począwszy od zbocza oznaczonego strzałką na rys. 2.65b) zapęlnia rejestr szeregowo-równoległy powodując wystawienie na jego wyjściach pełnego bajtu. Równocześnie pojawiające się zbocze narastające przebiegu CLK/8 wpisuje ten bajt do rejestru równoległego, skąd trafia on na wyjścia układu. Należy zwrócić przy tym uwagę, że taki "deserializer" nie zapewnia w żaden sposób kontroli transmisji, tzn. linia DS jest próbkowana w sposób ciągły niezależnie od tego, czy są nią przesyłane dane. Stąd seria ośmiu bitów, stanowiąca w nadajniku jeden bajt, może zostać w dowolny sposób rozdzielona przez odbiornik pomiędzy dwa kolejno po sobie następujące bajty. Przykładowo, gdyby początek transmisji danych przypadł na pierwsze narastające zbocze CLK z rys. 2.65b, cztery pierwsze bity (plus cztery poprzedzające, nie zawierające informacji) zostały by zapisane w jednym bajcie, zaś cztery kolejne stanowiłyby początek drugiego. Taki sposób odczytu stanowi pewne utrudnienie dla

logiki odbierającej dane układu zewnętrznego. Z drugiej strony pozwala to na zastosowanie dowolnego protokołu transmisji, zależnego jedynie od urządzeń zewnętrznych.



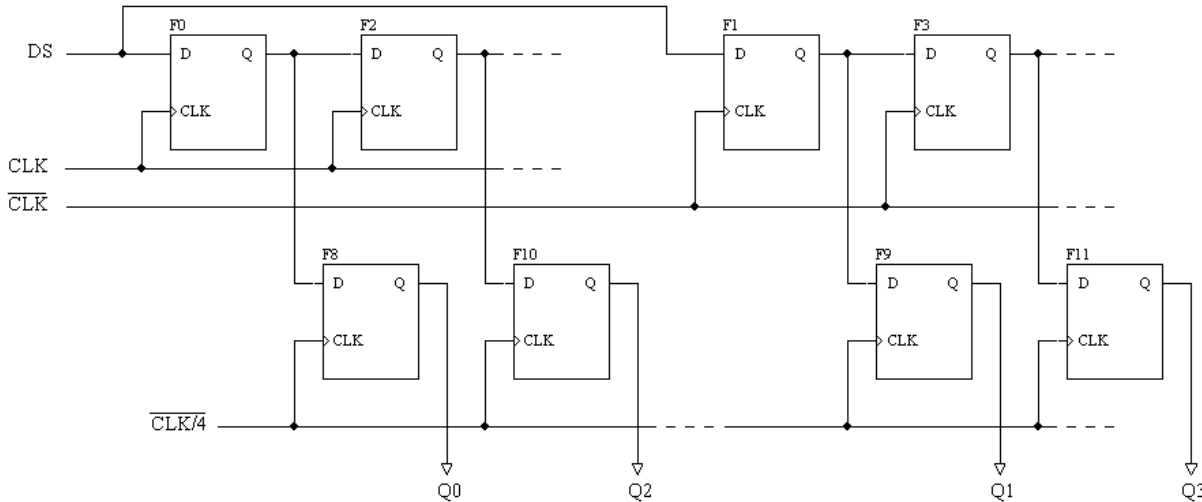
Rysunek 2.65: Dzielnik częstotliwości: a) schemat ideowy, b) przebiegi czasowe.

Znaczną komplikację do opisanego wyżej rozwiązania wnosi tryb odczytu "half-rate". W trybie "single-rate" jeden bit danych przypada na jeden okres zegara i do odczytu pełnej zawartości linii DS wystarczy praca układu na zboczach narastających. W przypadku trybu "half-rate" na jeden okres przypadają dwa bity, co teoretycznie wymusza pracę rejestru na obu zboczach (rys. 2.66a). Z praktycznego punktu widzenia nie jest to rozwiązanie optymalne, gdyż podstawowy element konstrukcji rejestru, przerzutnik, jest przewidziany do pracy na pojedynczym zboczu. Rozwiązaniem problemu jest wytworzenie zegara komplementarnego $\overline{\text{CLK}}$ i próbkowanie danych naprzemiennie zboczami narastającymi dwóch przebiegów (rys. 2.66b).



Rysunek 2.66: Praca "deserializer'a" w trybie "half-rate": a) teoretyczne próbkowanie na obu zboczach zegara, b) rozwiązanie praktyczne - próbkowanie naprzemiennie przebiegami komplementarnymi.

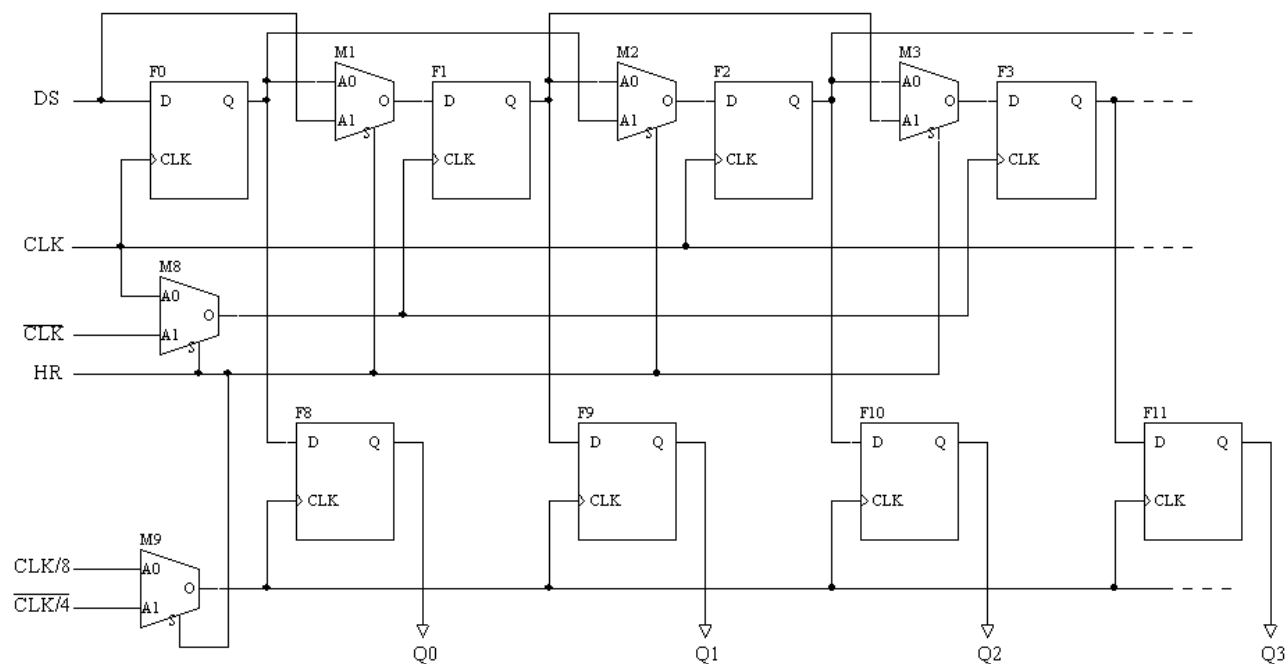
Z rysunku wynika, że odebranie pełnego bajtu w trybie "half-rate" następuje po czterech okresach zegara (CLK lub $\overline{\text{CLK}}$). Stąd potrzebne jest rozbitcie ośmiobitowego rejestru szeregowo-równoległego na dwa rejestry czterobitowe, taktowane komplementarnymi przebiegami zegarowymi. Schemat układu "deserializer'a" do trybu "half-rate" przedstawia rysunek 2.67 (dla czytelności przedstawiono jedynie dwa pierwsze przerzutniki każdego z rejestrów).



Rysunek 2.67: "Deserializer" danych dla trybu "half-rate" - schemat ideowy.

Ponieważ odczyt danych odbywa się naprzemiennie, jeden z rejestrów odczytuje jedynie bity parzyste, a drugi nieparzyste. Gdyby rejestr do trybu "single-rate" (z rysunku 2.64) został podzielony na dwa podrejestry składające się z przerzutników F0-3 jeden i F4-7 drugi, po przełączeniu trybu przesyłania zmieniła by się kolejność bitów na magistrali wyjściowej (np. "01234567" w trybie "single-rate" i "02461357" w "half-rate"). Takie działanie nie jest dopuszczalne, jako że tryb transmisji powinien być niewidoczny dla urządzeń zewnętrznych (poza zmianą szybkości odczytu i zapisu danych). Stąd przerzutniki dla trybu "half-rate" zostały połączone naprzemiennie tworząc ciągi F0, F2, F4, F6 oraz F1, F3, F5 i F7. Bufor magistrali w tym trybie jest taktowany przebiegiem $\overline{\text{CLK}}/4$ (komplementarnym do $\text{CLK}/4$ z rysunku 2.65a), jako że dzielnik nadal jest taktowany zegarem CLK, zaś odbiór pełnego bajtu następuje co cztery okresy tego zegara.

Połączenie obu trybów pracy w jednym bloku "deserializer'a" wymusiło zastosowanie multiplexerów przełączających kolejność ułożenia przerzutników F0-7 w ciągu. Schemat działającego w obu trybach układu przedstawia rysunek 2.68 (dla uproszczenia przedstawione zostały jedynie cztery pierwsze przerzutniki). W stanie niskim sygnału sterującego wyborem trybu HR multiplexery M1-M7 dołączają do wejść przerzutników F0-7 wyjścia ich bezpośrednich poprzedników tworząc ciąg odpowiadający przedstawionemu na rysunku 2.64. Multiplexer M8 dołącza do wejść zegarowych nieparzystych przerzutników F1, F3... ten sam sygnał CLK, który taktuje przerzutniki parzyste. Analogicznie M9 pozwala buforowi magistrali na pracę z sygnałem zegarowym CLK/8. Przełączenie trybu (HR w stanie wysokim) przestawia bufor na sygnał



Rysunek 2.68: "Deserializer" danych pracujący w obu trybach - schemat ideowy.

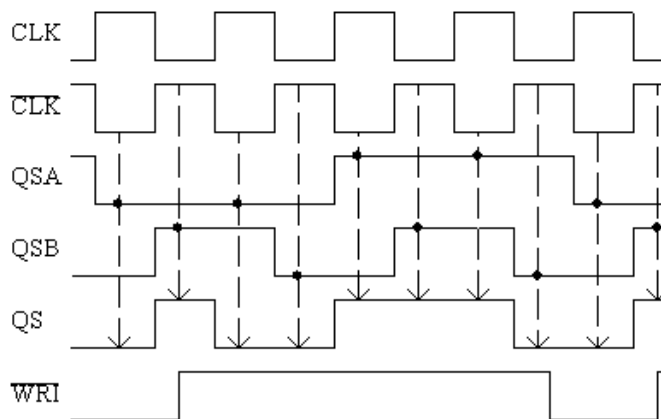
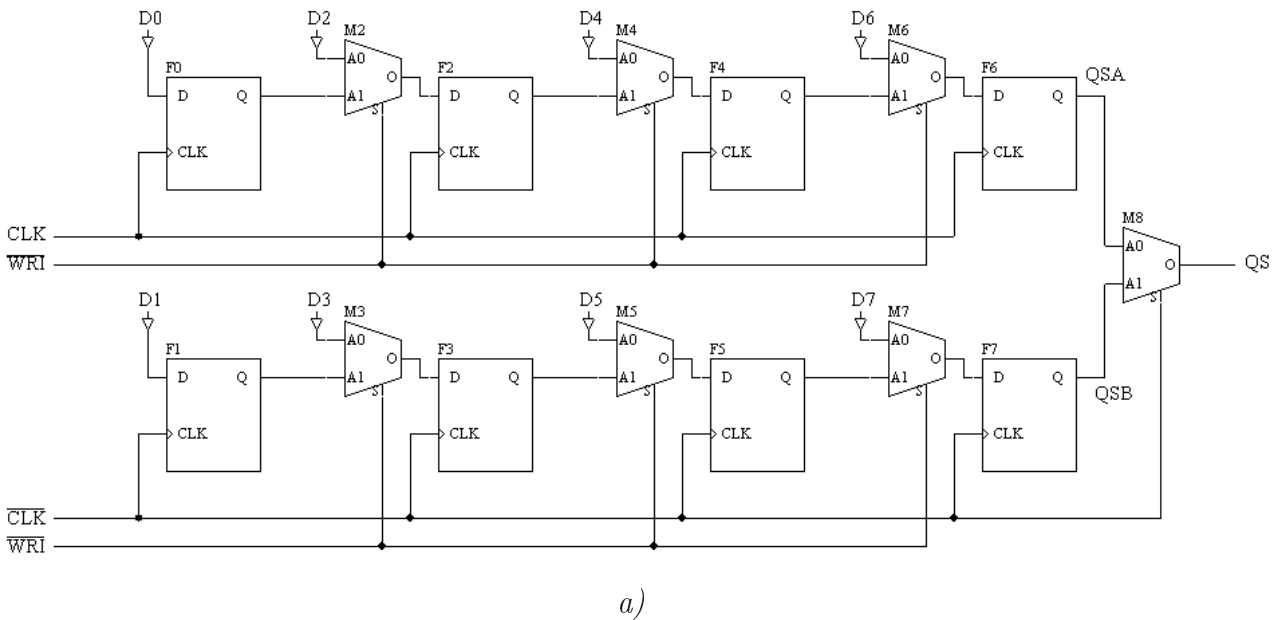
$\overline{\text{CLK}}/4$ i zmienia układ połączeń przerzutników rejestru szeregowo-równoległego. Przerzutnik F1 zostaje równoległe z F0 dołączony do wejścia szeregowego danych DS, zaś wejścia pozostałych przerzutników spięte według schematu odpowiadającego pracy w trybie "half-rate" (rys. 2.67). Poprzez multiplexer M9 zanegowany sygnał zegarowy $\overline{\text{CLK}}$ zostaje doprowadzony do wejść nieparzystych przerzutników. W ten sposób uzyskuje się możliwość przełączenia trybu i poprawną pracę bloku "deserializer'a" w obu z nich.

2.8.3 "Serializer" danych

Zamianę danych z postaci równoległej na szeregową umożliwia opisany wcześniej rejestr równoległo-szeregowy (rys. 2.62). Został on w bloku "serializer'a" również rozszerzony poprzez zastosowanie wejściowego bufora równoległego, jednak z przyczyn nieco innych niż miało to miejsce w przypadku "deserializer'a" danych. Zmiany zachodzące na liniach wejściowych D0-7 nie mają praktycznie wpływu na pracę rejestru równoległo-szeregowego, gdyż jest on odłączony od nich przez większą część okresu pracy (rys. 2.63). Jedyną krytyczną chwilą, gdy stan linii wejściowych powinien być ustalony jest moment wpisu równoległego na pierwszym zboczu sygnału CLK, jednak to samo zastrzeżenie dotyczy bufora równoległego. Z tego punktu widzenia dodatkowy bufor nie jest konieczny do poprawnej pracy urządzenia, jednak jego zastosowanie wynika z modyfikacji podstawowej idei działania wynikających z pracy bloku w dwóch trybach transmisji danych.

Sam rejestr równoległo-szeregowy uległ znacznym modyfikacjom wobec swojej ideowej postaci ze względu na konieczność przełączania trybów pracy. Dodatkowo idea zmiany poje-

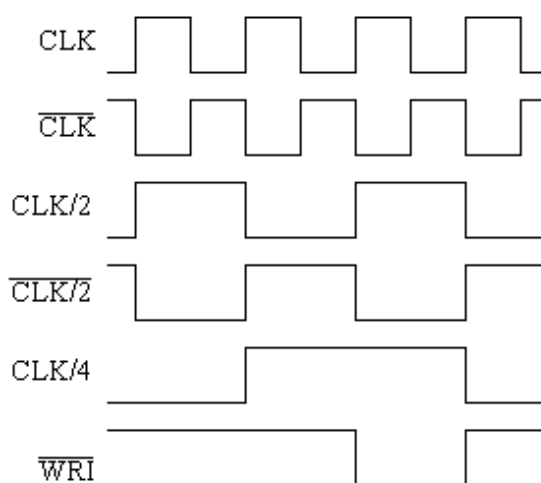
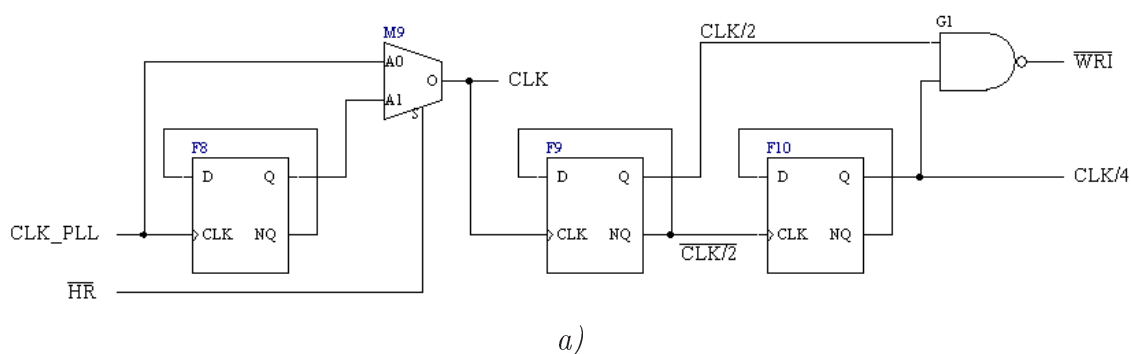
dynczego 8-bitowego ciągu przerzutników na dwa 4-bitowe, zastosowana w bloku "deserializer'a" nie jest tutaj tak prosto realizowalna. O ile dwa wejścia 4-bitowych rejestrów szeregowo-równoległych można połączyć ze sobą równolegle, o tyle bezpośrednie połączenie wyjść rejestrów równoległo-szeregowych nie jest możliwe. Dodatkowym problemem utrudniającym przełączanie pomiędzy pojedynczym ciągiem 8-bitowym a dwoma 4-bitowymi są multipleksery zmieniające układ połączeń z równoległego na szeregowy, konieczne dla poprawnej pracy rejestru równoległo-szeregowego. Wprowadzenie dodatkowych multipleksersów przełączających układ przerzutników, tak jak ma to miejsce w bloku "deserializer'a", spowodowałoby znaczną komplikację układu. Z powyższych względów w obu trybach pracy zastosowano stałą konfigurację dwóch 4-bitowych rejestrów pracujących z komplementarnymi przebiegami zegarowymi, zaś wybór trybu pracy odbywa się poprzez zmianę częstotliwości tych przebiegów.



Rysunek 2.69: "Serializer" danych: a) schemat ideowy, b) przykładowe przebiegi czasowe.

Rysunek 2.69a przedstawia schemat ideowy "serializer'a" z pominięciem bufora magistrali włączonego pomiędzy linie D0-7 a wejścia układu. Przykładowe przebiegi czasowe zostały

przedstawione na rys. 2.69b. Znajdujący się początkowo w stanie niskim sygnał \overline{WRI} umożliwia równoległy zapis danych przez oba 4-bitowe rejestry. Ponieważ odstęp pomiędzy zapisem górnego i dolnego rejestru wynosi pół okresu zegara, dane wejściowe nie mogą się przez ten czas zmieniać. Stąd konieczność zastosowania bufora magistrali, aby dodatkowo zabezpieczyć układ przed przekłamaniami. Dane bity na wyjściach QSA i QSB utrzymują się przez pełen okres zegara, jednak są względem siebie przesunięte o pół okresu ze względu na taktowanie obu rejestrów przebiegami komplementarnymi. Wyjściowy multiplekser sterowany poziomym sygnałem \overline{CLK} dołącza naprzemiennie wyjścia rejestrów QSA i QSB do linii QS, stanowiącej wyjście danych szeregowych.



Rysunek 2.70: Dzielnik częstotliwości "serializer'a": a) schemat ideowy, b) przebiegi czasowe.

Jak widać z rysunku 2.69b, czas trwania pojedynczego bitu na linii szeregowej QS jest równy połowie okresu zegara CLK taktującego "serializer". Jeżeli więc do układu zostanie doprowadzona bezpośrednio częstotliwość generowana przez pętlę fazową, będzie on działał w trybie "half-rate". W trybie "single-rate" czas trwania jednego bitu powinien być równy okresowi częstotliwości podstawowej. Doprowadzenie do układu "serializer'a" zegara dwukrotnie wolniejszego od podstawowego sprawi, że bit na jego wyjściu będzie miał czas trwania równy połowie dwukrotnie dłuższego okresu, czyli zgodny z założeniami trybu "single-rate". Wynika

z tego nieco inna niż w przypadku "deserializer'a" konstrukcja dzielnika częstotliwości (przedstawiona na rysunku 2.70).

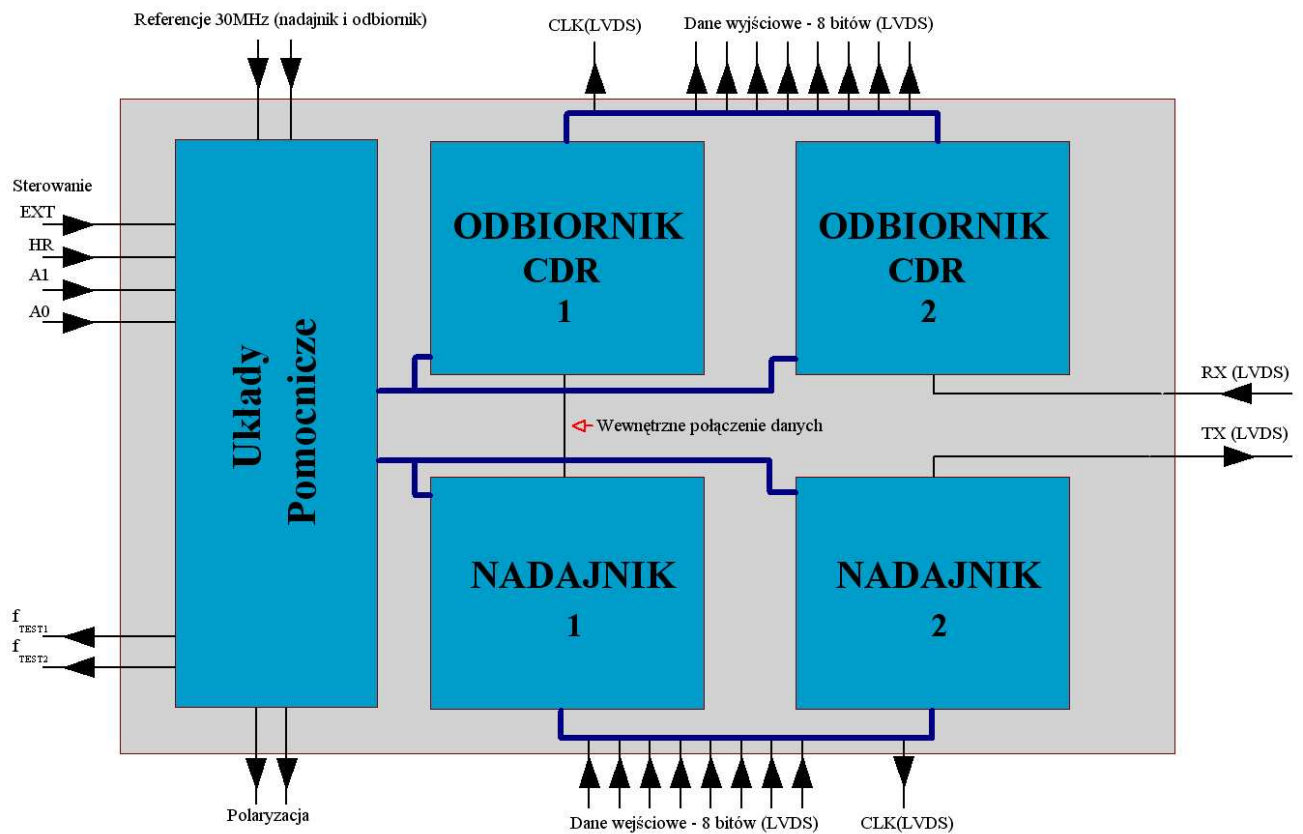
Multiplexer M9 sterowany sygnałem wyboru trybu $\overline{\text{HR}}$ decyduje o tym, czy na linię zegarową "serializer'a" CLK zostanie bezpośrednio podany przebieg podstawowy z pętli fazowej CLK_PLL ($\overline{\text{HR}}=0$, tryb "half-rate") czy też podzielony wstępnie przez przerzutnik F8 przebieg dla trybu "single-rate". Przerzutniki F9 i F10 dzielą przebieg zegarowy "serializer'a" przez cztery generując zegar CLK/4 wpisujący bajt do bufora magistrali. Bramka G1 na podstawie przebiegów CLK/2 i CLK/4 generuje sygnał $\overline{\text{WR}}$ umożliwiający równoległy wpis danych do rejestru "serializer'a". Stan niski tego sygnału (rys. 2.70b) występuje co cztery cykle zegara CLK i trwa przez jeden okres umożliwiając wpis danych do obu rejestrów.

Rozdział 3

Projekt i symulacje transceiver'a

3.1 Budowa projektowanego układu ASIC

Projektowany ASIC (Application Specific Integrated Circuit) jest układem transceiver'a do szybkiej komunikacji szeregowej. Zawiera w swojej strukturze zarówno nadajniki, jak i odbiorniki. Z kolei głównym elementem odbiornika jest układ odzyskiwania zegara i danych, który został opisany w podrozdziale 2.1. Uproszczony schemat blokowy ASIC'a przedstawiony jest na rysunku 3.1. W skład zaprojektowanego układu wchodzi dwa bloki nadajnika oraz dwa



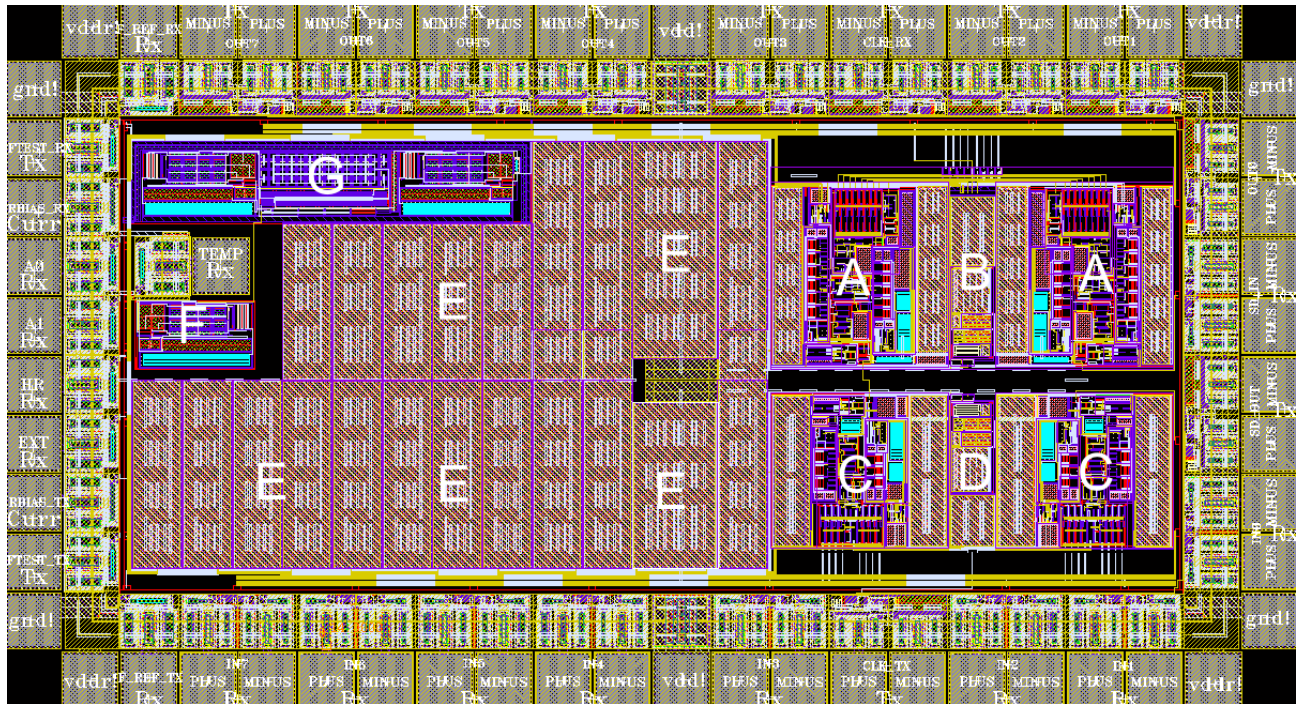
Rysunek 3.1: Schemat blokowy zaprojektowanego ASIC'a

bloki odbiorników. W jednej chwili może działać jednak tylko jedna para nadajnik-odbiornik, a decyduje o tym sygnał sterujący EXT. Jeśli sygnał EXT jest w stanie wysokim, to w zaprojektowanym układzie działa nadajnik 2 z odbiornikiem 2, a ich sygnały szeregowe transmitowane są na zewnątrz za pomocą buforów LVDS. Ponieważ użyte w projekcie gotowe moduły LVDS mogą pracować do częstotliwości kilkuset MHz, została dodana druga para nadajnik-odbiornik, posiadająca wewnętrzne połączenie danych szeregowych (działa gdy EXT=0). Takie rozwiązanie umożliwia sprawdzenie działania układu dla częstotliwości ponad 1 GHz, gdyż nie ma możliwości transmisji przebiegu o takiej częstotliwości na zewnątrz ASIC'a. Oba wyjścia przebiegu testowego (f_{TEST1} i f_{TEST2}), dołączane są do działającej aktualnie pary nadajnik-odbiornik za pomocą multipleksera sterowanego sygnałem EXT. Koncepcja budowy samego nadajnika i odbiornika przedstawione są rozdziale 1.2. Dane wejściowe w postaci 8-bitowej magistrali trafiają bezpośrednio na oba układy nadajników, natomiast wyjściowy przebieg zegarowy generowany przez oba nadajniki jest multipleksowany tym samym sygnałem EXT, który aktywuje odpowiednią parę nadajnik-odbiornik. W przypadku magistrali wyjściowej, wszystkie sygnały danych wraz z przebiegiem zegarowym z obu odbiorników, multipleksowane są za pomocą sieci bramek NAND (na schemacie blokowym nie zostało to uwzględnione) z wykorzystaniem sygnału sterującego EXT. Bramki NAND wystarczą w tym przypadku w roli multiplekserów, gdyż nieaktywny układ odbiornika ustawia wszystkie swoje wyjścia w stan wysoki.

Samo umieszczenie całych bloków nadajnika i odbiornika to nie wszystko co znajduje się w zaprojektowanym ASIC'u. Zawiera on wiele układów pomocniczych oznaczonych na schemacie blokowym jednym wspólnym symbolem. W zaprojektowanym układzie znajdują się dwa bloki głównego układu polaryzującego: jeden dla obu nadajników i jeden dla odbiorników. Do poprawnej pracy układów polaryzujących wymagane są rezystory ustalające prądy, dołączone do ASIC'a w postaci elementów zewnętrznych. Ponieważ do komunikacji na zewnątrz układu wykorzystywane jest 11 buforów wyjściowych, oraz 9 buforów wejściowych działających w standardzie LVDS, wewnątrz struktury projektowanego układu zostało umieszczone źródło napięcia referencyjnego¹ potrzebne do pracy tych buforów. Jednocześnie korzystając z dodatkowej funkcjonalności tego źródła napięcia odniesienia, dodano możliwość pomiaru temperatury ASIC'u. Wejściowe przebiegi referencyjne o częstotliwości 30 MHz podawane są osobno dla odbiornika i nadajnika. Ponieważ w ASIC'u występują po dwa takie bloki, przebiegi referencyjne podawane są na aktualnie działającą parę nadajnik-odbiornik za pomocą sieci bramek NAND. Jednocześnie referencja w nieaktywnym nadajniku i odbiorniku zwierana jest do masy aby pętle fazowe tam pracujące przeszły na minimalną częstotliwość pracy. Takie działanie pozwala zredukować moc pobieraną przez cały zaprojektowany układ. Jediną możliwością obserwacji działania pętli fazowych są dwa wyjścia przebiegu testowego (f_{TEST1} i f_{TEST2}) o podzielonej przez 64 częstotliwości. Do sterowania trybami pracy nadajników i odbiorników wykorzystywane są 3 sygnały

¹projekt układu napięcia odniesienia nie jest celem niniejszej pracy i podobnie jak bufor LVDS, został on wstawiony do projektu w postaci gotowego i działającego modułu

sterujące (z pominięciem omówionego wcześniej EXT), w których wyróżniamy HR do przełączania ASIC'a w tryb "half-rate", oraz sygnały A1, A0 kodujące na dwóch bitach 4 prędkości pracy zaprojektowanego układu. W każdym z bloków nadajnika i odbiornika, wspomniane sygnały sterujące trafiają na układ logiki, zajmujący się wypracowaniem odpowiednich lokalnych sygnałów sterujących.

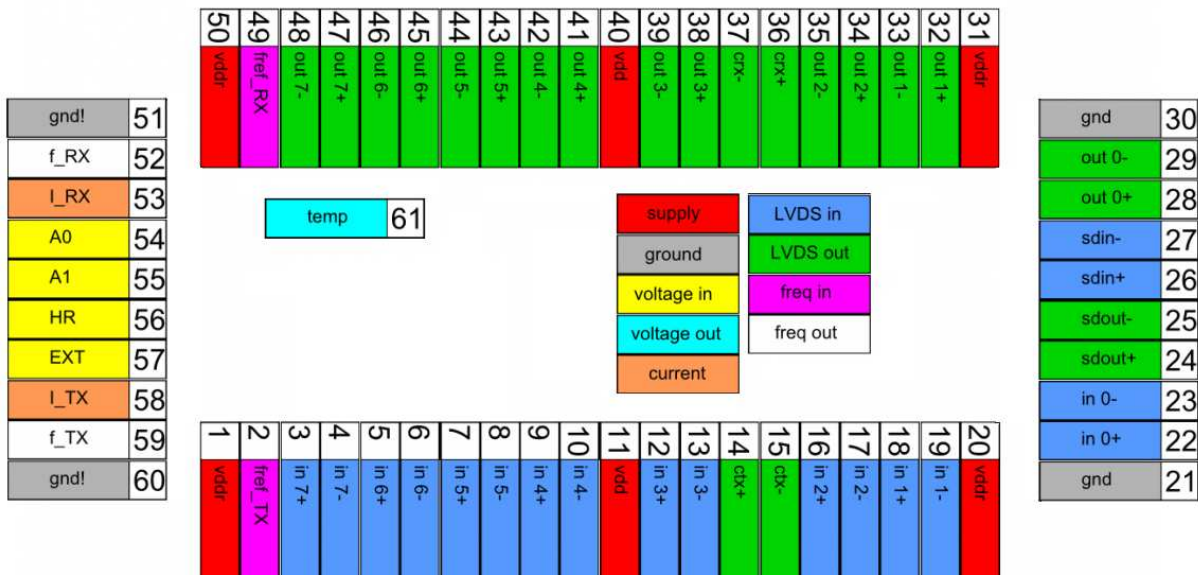


Rysunek 3.2: Maski technologiczne zaprojektowanego ASIC'a ($420 \times 140 \mu\text{m}^2$)

Rysunek 3.2 przedstawia wygląd masek technologicznych [28] całego zaprojektowanego ASIC'a. Wymiary układu są duże tylko ze względu na konieczność podłączenia 61 wyprowadzeń na zewnątrz. Literą A zostały oznaczone oba bloki odbiorników, przy czym podobnie jak na schemacie blokowym, odbiornik znajdujący się po prawej stronie posiada wyprowadzone na zewnątrz wejście danych szeregowych. Pierwszy z głównych układów polaryzujących, oznaczony symbolem B znajduje się pomiędzy dwoma odbiornikami, dostarczając prądów polaryzujących potrzebnych do ich poprawnego działania. Nadajniki są prostsze konstrukcyjnie gdyż nie zawierają układów CDR i są oznaczone symbolem C. Podobnie jak w poprzednim przypadku, blok leżący po prawej stronie posiada wyjście szeregowe wyprowadzone na zewnątrz ASIC'a. Drugi z nadajników łączy się bezpośrednio z jednym z odbiorników za pomocą wewnętrznej ścieżki metalicznej. Drugi układ polaryzujący (D) dostarcza prądów referencyjnych dla obu bloków nadajnika i posiada identyczną konstrukcję jak blok B.

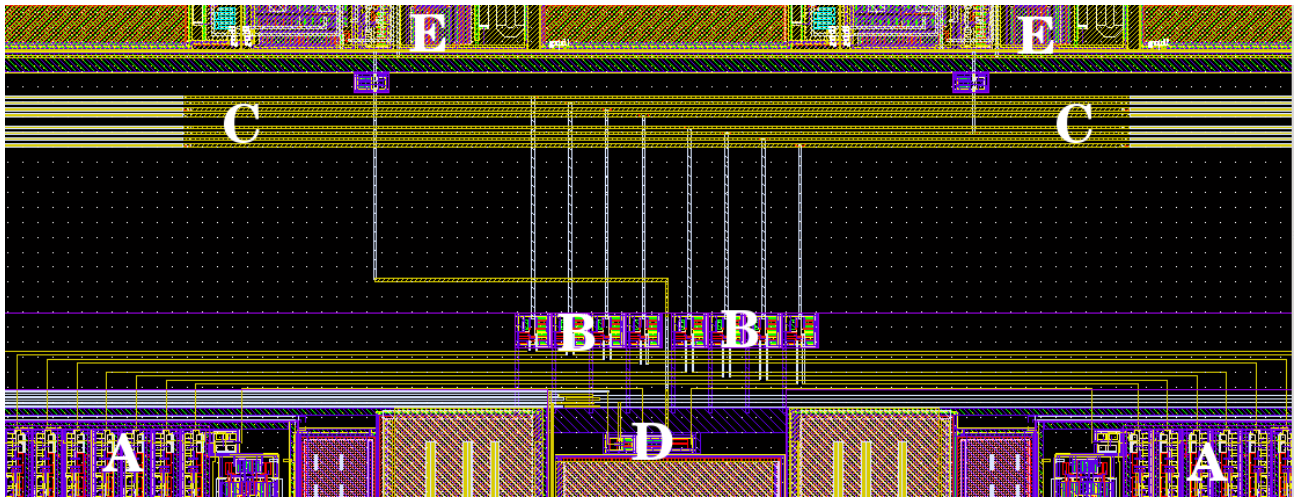
Projektowany ASIC, podobnie jak każdy inny układ tego typu, otoczony jest po obwodzie padami kontaktowymi. Większość z nich stanowią w opisywanym przypadku bufor LVDS (40 wyprowadzeń), pozostałe to wyprowadzenia napięć zasilających, sterowania, przebiegów testowych i referencyjnych (21 wyprowadzeń). Dla buforów LVDS koniecznym stało się zastosowanie

wewnętrznego napięcia odniesienia o wartości 1.2 V . Taki układ wraz z buforem napięciowym widoczny jest na layoucie jako blok G i współpracuje on bezpośrednio z drugim wtórnikami napięciowym (F), buforującym napięciowy sygnał proporcjonalny do temperatury całego ASIC'a. Pad wyjściowy do pomiaru temperatury został umieszczony w środku struktury układu półprzewodnikowego (obok bufora F) ze względu na brak wolnego miejsca na obwodzie ASIC'a. Stałe napięcie tam występujące nie sprawia problemów przy wykonaniu długiego połączenia między ASIC'iem a jego płytka bazową. Jak widać na rysunku 3.2, właściwy układ transceiver'a zajmuje około 70% (1.94 mm^2) powierzchni całego ASIC'a (2.64 mm^2). Pozostałe miejsce zostało przeznaczone na kondensatory filtrujące napięcie zasilania, widoczne na rysunku masek technologicznych jako E. Wyprowadzenia zaprojektowanego ASIC'a przedstawione są na rysunku 3.3.



Rysunek 3.3: Wyprowadzenia (pady) zaprojektowanego ASIC'a. Oznaczenia: czerwony - zasilanie, szary - masa, żółty - wejście CMOS, morski - wyjście napięciowe, pomarańczowy - prąd referencyjny, niebieski - wejście LVDS, zielony - wyjście LVDS, różowy - wejście przebiegu referencyjnego, biały - wyjście przebiegu testowego

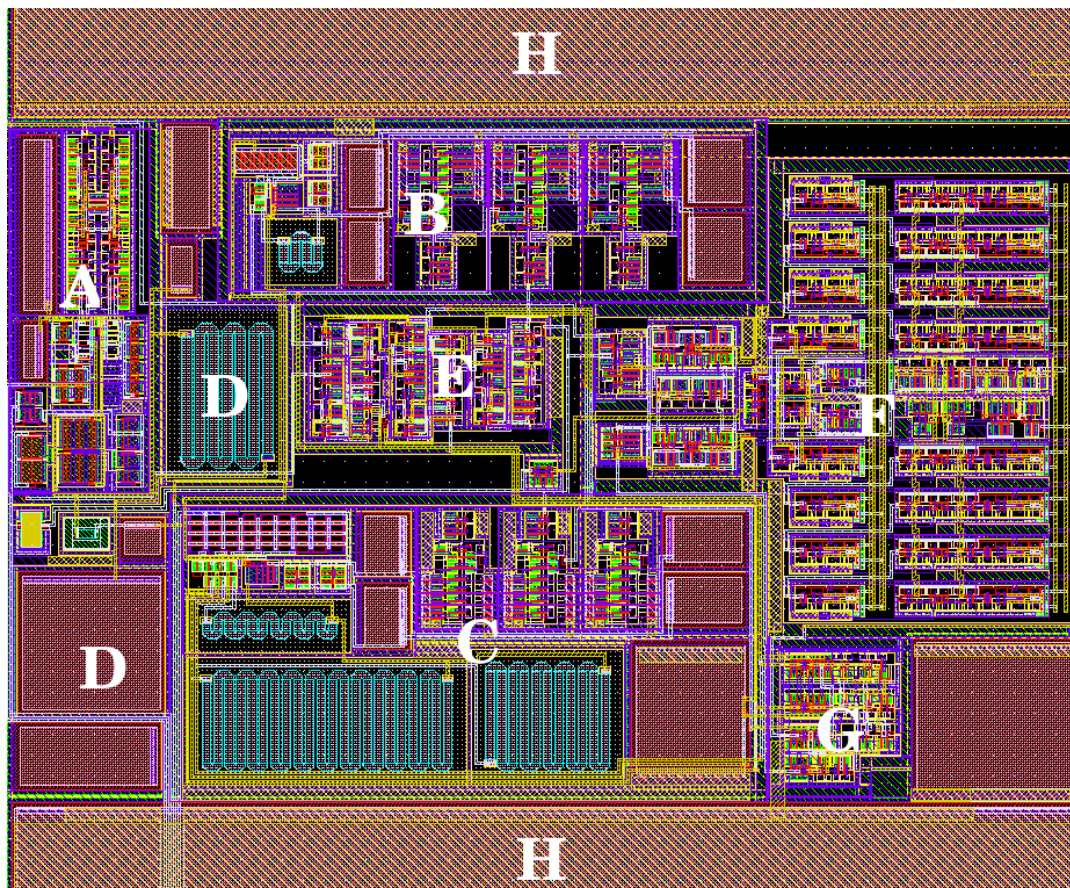
Na rysunku 3.4 zostały przedstawione bramki NAND, pomocne przy multipleksowaniu magistrali danych z wyjść obu odbiorników, oraz fragment głównej magistrali danych biegnącej przez cały ASIC. Bramki oznaczone na layoucie jako B znajdują się symetrycznie w środku między dwoma układami odbiorników A. Główna magistrala danych (C) ze względu na długość ścieżek, reprezentuje sobą dużą pojemność do podłoża. Na wyjściu bramek B muszą pracować dodatkowe inwertery o dużych wymiarach aby przeładować pojemność ścieżek magistrali danych z częstotliwością dochodzącą do 240 MHz . Przebieg zegarowy tworzony jest za pomocą multipleksera D, złożonego z trzech bramek NAND i poprowadzony jest najkrótszą drogą do jednego z buforów wyjściowych LVDS, którego fragment widać na rysunku jako blok E.



Rysunek 3.4: Multipleksowanie magistrali danych na wyjściu odbiornika ($420 \times 140 \mu\text{m}^2$)

3.1.1 Plan masek technologicznych nadajnika

Koncepcja budowy nadajnika używanego w zaprojektowanym ASIC'u przedstawiona jest w podrozdziale 1.2.1, natomiast na rysunku 3.5 widać maski technologiczne tego układu. Detektor fazy i częstotliwości oraz pompa ładunkowa, wraz z potrzebnym do jej pracy wtórnikami napięciowym zostały oznaczone na layoucie symbolem A. Blok oznaczony literą B zawiera oscylator

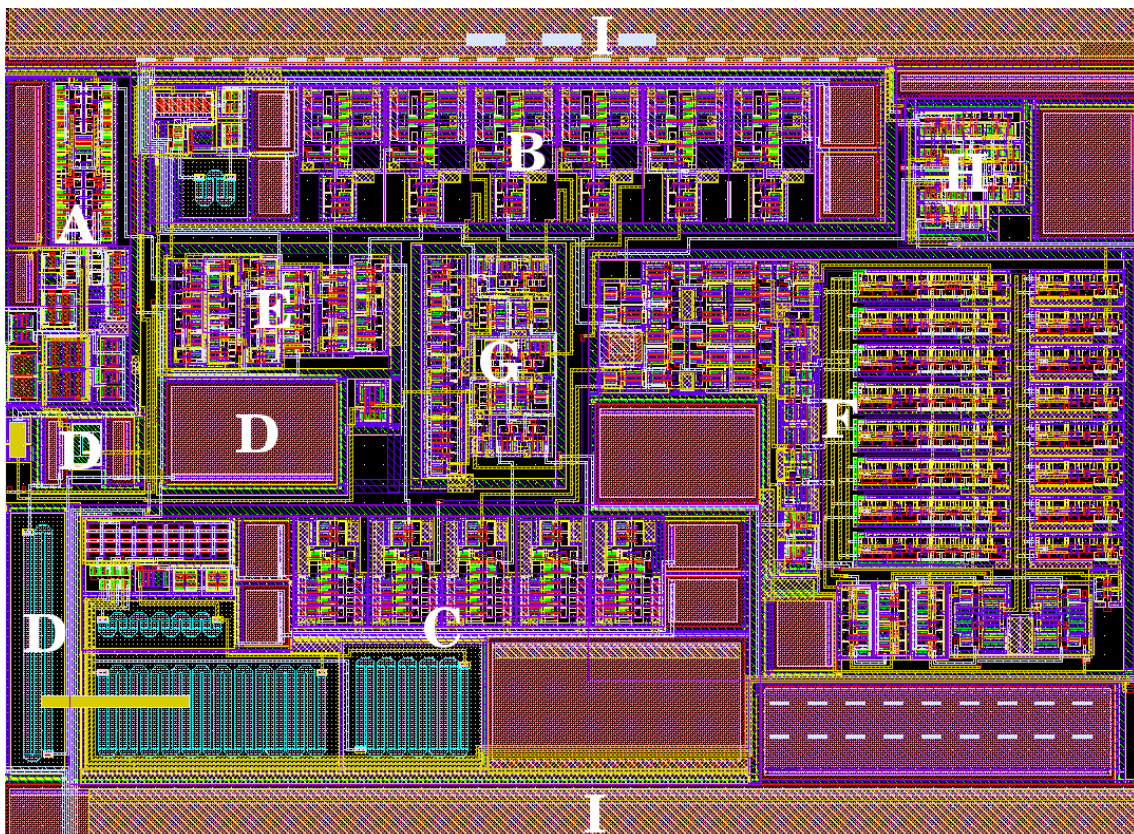


Rysunek 3.5: Maski technologiczne nadajnika ($260 \times 180 \mu\text{m}^2$)

sterowany VCO960 wraz z układem polaryzującym. Widać tu także dwa dodatkowe układy podobne w konstrukcji do oscylatora jednak nie wytwarzają one oscylacji a jedynie przyczyniają się do zapewnienia takiego samego otoczenia z obu stron VCO960. Drugi oscylator (SVCO) wraz ze swoim układem polaryzującym znajduje się w obrębie bloku C. Konstrukcja jest tu podobna jak w przypadku VCO960. Elementy oznaczone literą D, wraz z mniejszymi rezystorami i kondensatorami, znajdującymi się w bezpośrednim sąsiedztwie, stanowią filtr pętli fazowej. Dzielnik sterowany, ustalający stopień podziału częstotliwości w sprzężeniu zwrotnym pętli fazowej oznaczony jest symbolem E. Głównym elementem nadajnika jest bufor wejściowy ("serializer") oznaczony literą F. Na podstawie przebiegu dostarczonego przez pętlę fazową zamienia on dane z równoległej magistrali na postać szeregową. Cały blok nadajnika pracuje w wielu trybach, a sygnały sterujące potrzebne do jego pracy dostarczane są przez blok logiki G. Symbolem H oznaczone zostały fragmenty znajdujących się obok całego układu kondensatorów filtrujących zasilanie.

3.1.2 Plan masek technologicznych odbiornika

Budowa odbiornika (przedstawiona w podrozdziale 1.2.2) opiera się głównie o koncepcję działania układu odzyskiwania zegara i danych, a dokładniej jest to CDR typu "burst mode" (rozdział 2.1). Układ ten jest bardziej skomplikowany niż nadajnik, a jego maski technolo-

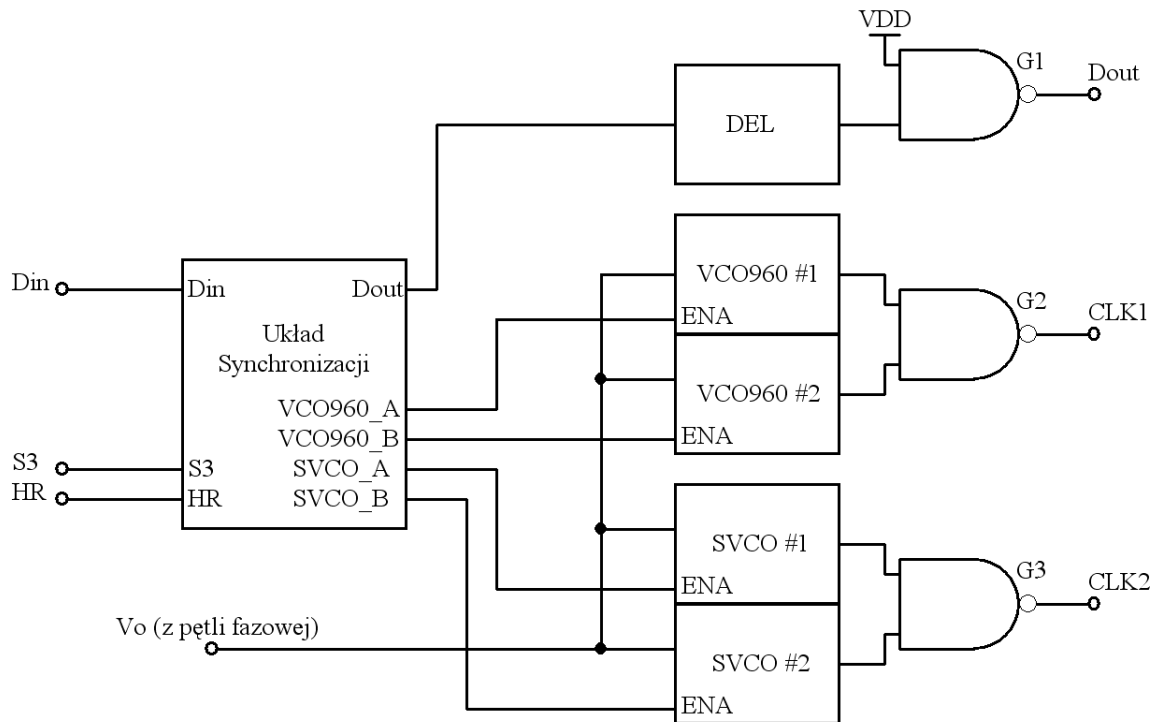


Rysunek 3.6: Maski technologiczne odbiornika ($300 \times 210 \mu\text{m}^2$)

giczne znajdują się na rysunku 3.6. Podobnie jak w nadajniku, pompa ładunkowa i detektor fazy znajdują się na skraju layoutu w obrębie bloku A. Oscylator sterowany VCO960 i jego układ polaryzujący znajdują się w obszarze oznaczonym symbolem B. W przypadku odbiornika znajdują się tutaj aż 3 układy VCO960, linia opóźniająca złożona z takich samych bramek jak oscylator i dodatkowe dwa bloki zapewniające jednakowe otoczenie każdego z oscylatorów. Jeden oscylator pracuje w pętli fazowej, a pozostałe dwa konieczne są do pracy układu odzyskiwania zegara i danych. Drugi zestaw oscylatorów sterowanych (SVCO) znajduje się wraz z układem polaryzującym w ramach bloku C. Elementy D stanowią filtr pętli fazowej, podobnie jak było to w układzie nadajnika, a dzielnik sterowany oznaczony jest jako E. Ważnym elementem jest tutaj blok G, gdyż jest to układ synchronizacji. Generuje on na podstawie przebiegu danych sygnały włączające odpowiednie oscylatory. Rejestr wyjściowy ("deserializer") oznaczony jest na layoutcie symbolem F. Tworzy on równoległą magistralę z szeregowych danych podawanych na jego wejście. Logika sterująca (H) jest identyczna jak w przypadku bloku nadajnika, podobnie jak obecność kondensatorów filtrujących I.

3.2 Układ odzyskiwania zegara i danych (CDR)

Układ odzyskiwania zegara i danych jest główną częścią odbiornika wchodzącego w skład projektowanego Transceiver'a. Spośród kilku konfiguracji opisanych pokrótce w podrozdziale 2.1 do praktycznej realizacji został użyty CDR typu "burst mode". Schemat praktycznej realizacji takiego układu przedstawiony jest na rysunku 3.7. Ponieważ projektowany ASIC po-

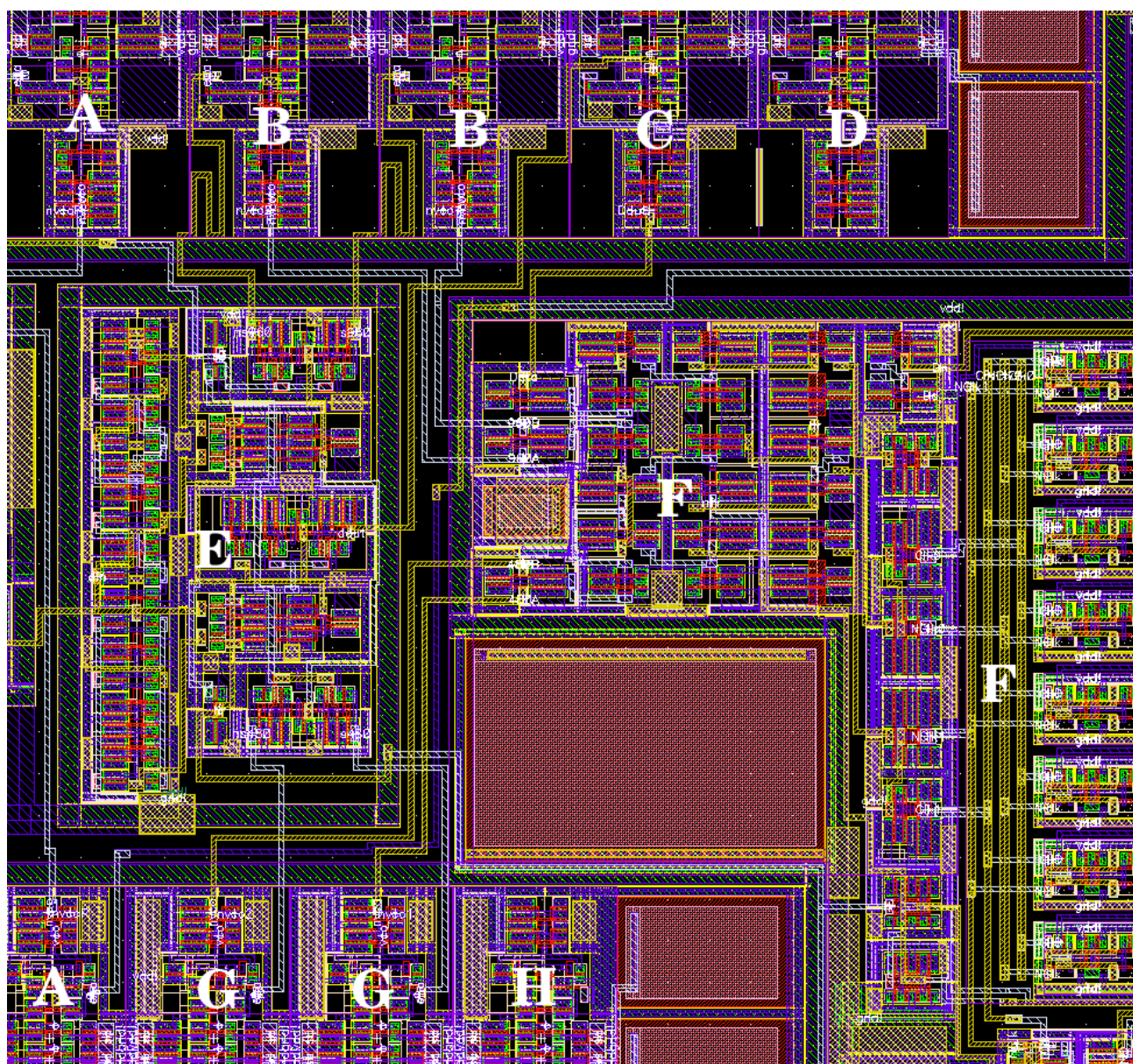


Rysunek 3.7: Schemat praktycznej realizacji układu CDR

siada 8 trybów pracy to wymagane są dwa oscylatory sterowane (jak już zostało wspomniane w podrozdziale 3.4). Sprawia to że układ CDR także jest podwójny. Jedną jego część stanowią oscylatory VCO960, a drugą dwa oscylatory SVCO. Układ synchronizacji przedstawiony w podrozdziale 3.7 steruje wszystkimi oscylatorami w zależności od sygnałów sterujących S3 i HR. Gdy S3 jest w stanie wysokim pracują oscylatory VCO960, a gdy S3 jest w stanie niskim to pracują oba SVCO. Nieaktywne oscylatory mają na wejściach ENA stan niski co umożliwia wykonanie multiplexera na wyjściach oscylatorów (w stanie nieaktywnym znajdują się one w stanie wysokim) za pomocą jednej bramki NAND. Rolę tę pełnią G2 i G3, które w praktycznej realizacji znajdują się w bloku rejestru wyjściowego ("deserializer'a"), opisanego w podrozdziale 3.11. Ze względu na opóźnienie jakie powstaje od pojawienia się stanu wysokiego na wejściu sterującym ENA oscylatora, do pierwszego zbocza przebiegu na jego wyjściu, w układzie CDR dodana jest linia opóźniająca DEL. Zawiera ona identyczne elementy jakie posiada oscylator w torze przetwarzania sygnału sterującego ENA, co zapewnia zgodność w fazie przebiegu zegarowego i danych. Dodatkowa bramka G1, pracująca jako inwerter daje takie same opóźnienie na linii danych co G2 i G3 na zegarze. Na wejścia sterowania napięciowego wszystkich oscylatorów

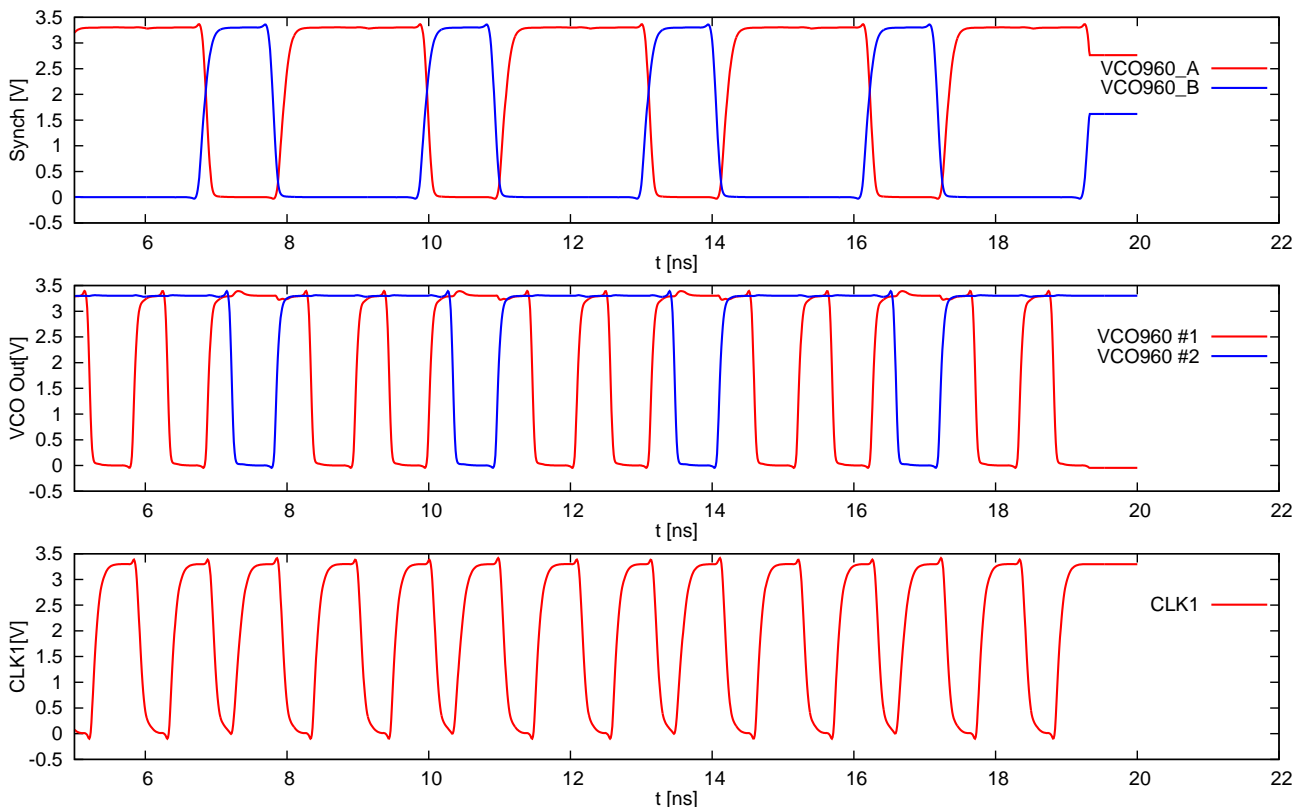
podawane jest napięcie V_0 z wyjścia pętli fazowej. Ponieważ pętla zawiera dokładnie takie same oscylatory VCO960 i SVCO, to gdy uzyska ona synchronizację, dając na wyjściu stabilną częstotliwość, zagwarantuje to pracę oscylatorów w układzie CDR też na tej częstotliwości. Ważne jest tylko aby oscylatory z pętli i z układu CDR były identyczne, umieszczone blisko siebie i pracowały w takich samych warunkach.

Maski technologiczne układu odzyskiwania zegara i danych przedstawione zostały na rysunku 3.8. Oscylatory oznaczone jako A (na górze VCO960, na dole SVCO) pracuje w pętli fazowej i dają możliwość generacji stabilnego przebiegu zegarowego o częstotliwości 120/240/480/960 MHz (w zależności od trybu pracy). Dzięki pętli fazowej następuje powielenie częstotliwości wzorcowej, a dodatkowo sygnał napięciowy sterujący oscylatorem w pętli fazowej pozwala na pracę dwóch kolejnych oscylatorów tworzących CDR. Są to oscylatory oznaczone jako B gdy układ



Rysunek 3.8: Maski technologiczne układu CDR ($130 \times 125 \mu\text{m}^2$)

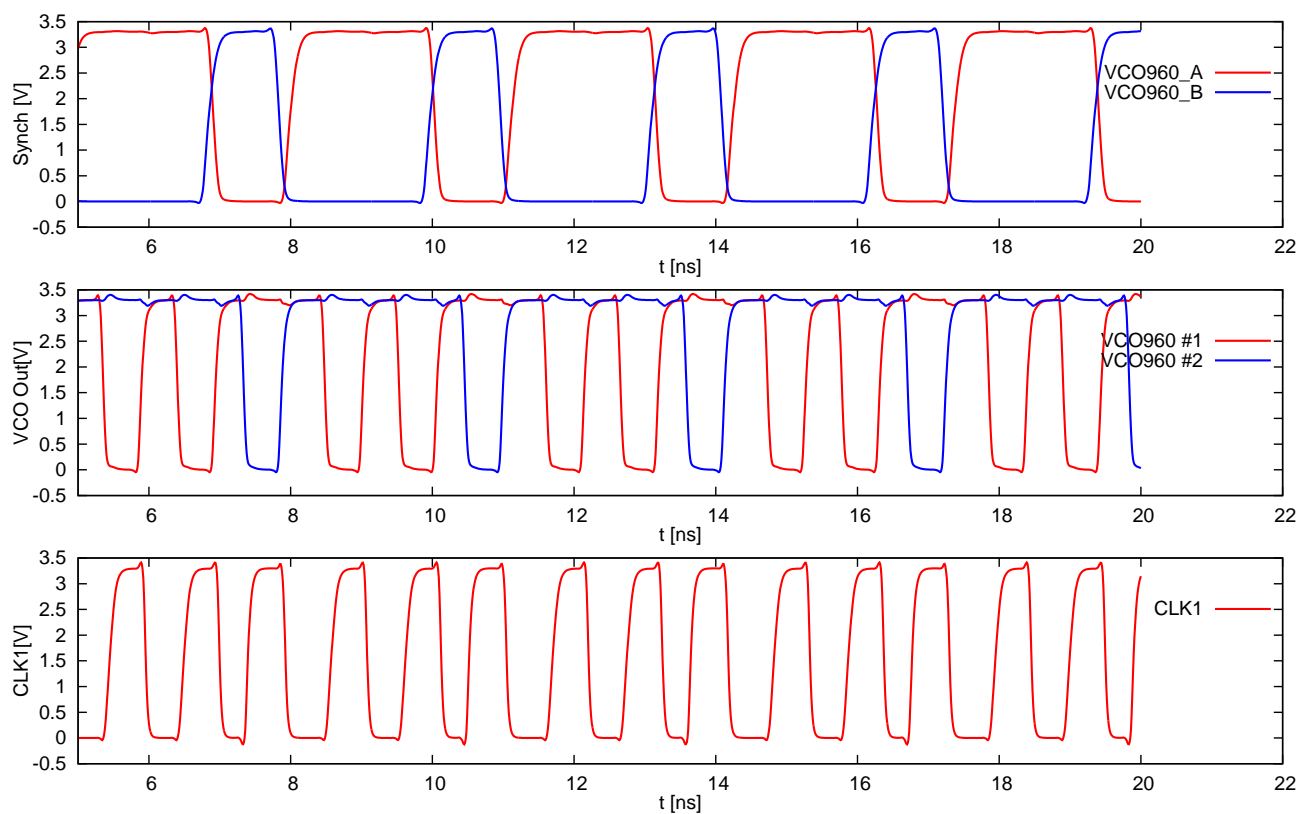
pracuje w trybie 960 MHz , lub oscylatory G, gdy układ pracuje w pozostałych trybach. Ważnym elementem CDR'u jest blok synchronizacji oznaczony na layoucie jako E, gdyż na podstawie przebiegu danych oraz sygnałów sterujących włącza on naprzemiennie jeden z oscylatorów B lub jeden z oscylatorów G (zależnie od trybu pracy ASIC'a). Ponieważ praca w trybie 960 MHz , ze względu na dużą częstotliwość jest bardziej krytyczna niż pozostałych trybów, zaraz obok oscylatorów B, znajduje się linia opóźniająca C. Złożona jest ona w istocie z takich samych bramek jak oscylator sterowany i ma za zadanie wyrównać różnicę między przebiegiem zegarowym a danymi powstałą z niezerowego czasu startu oscylatora. Ważna jest tutaj też długość ścieżek, więc ścieżki doprowadzające sygnał ENA dla oscylatorów VCO960 zostały celowo zawinięte (w okolicy bloków B), aby ich długość była równa połączeniu danych idącemu od układu synchronizacji do linii opóźniającej C. Dodatkowe bloki D i H wyglądające identycznie jak odpowiadające im oscylatory mają za zadane zapewnić jednakowe otoczenie na layoucie dla wszystkich oscylatorów (każdy z nich po obu stronach ma te same elementy). Ostatnim elementem układu CDR jest blok oznaczony jako F, pełni on jednocześnie funkcję: tworzenia przebiegu zegarowego na podstawie obu aktualnie działających oscylatorów (oscylatory B albo G), próbkowania danych tym przebiegiem i zamianę ich na postać równoległą. To ostatnie zadanie nie wchodzi w zakres działania układu CDR jednak na layoucie jest to jeden blok.



Rysunek 3.9: Tworzenie przebiegu zegarowego na podstawie dwóch oscylatorów (w trybie "single-rate"). Symulacje schematu

Na rysunku 3.9 widać wyniki symulacji układu CDR bez uwzględnienia elementów pasywnych (R i C), dla trybu pracy "single-rate". Symulacje przeprowadzone są dla częstotliwości

960 MHz, pracują wtedy oscylatory VCO960. Dane wejściowe są w postaci "100100...", co daje sygnał o wypełnieniu 33%. Przebiegi z układu synchronizacji włączają naprzemiennie oba oscylatory. Każdy z nich generuje fragment przebiegu zegarowego, gdy na jego wejściu ENA panuje stan wysoki. Po każdej zmianie sygnału ENA w stan wysoki przebieg rozpoczyna się od początku zbroczem opadającym. Pozwala to uniknąć przesunięcia fazowego przebiegu danych względem przebiegu zegarowego nawet gdy częstotliwość w odbiorniku jest nieznacznie różna od tej z jaką nadajnik wytworzył dane. Oba wyjścia oscylatorów są multipleksowane za pomocą bramki NAND, tworząc jeden przebieg zegarowy. Górne krzywe z rysunku 3.9 pokazują przebiegi z układu synchronizacji, które trafiają na wejścia ENA obu oscylatorów. Na wyjściu oscylatorów pojawiają się przebiegi (środkowe krzywe) w takt tych sygnałów sterujących. Na dolnej krzywej widać odzyskany przebieg zegarowy z wyjścia bramki G2. Po uwzględnieniu elementów pasożytniczych (R i C) działanie układu jest przedstawione na rysunku 3.10. Przebiegi zegarowe

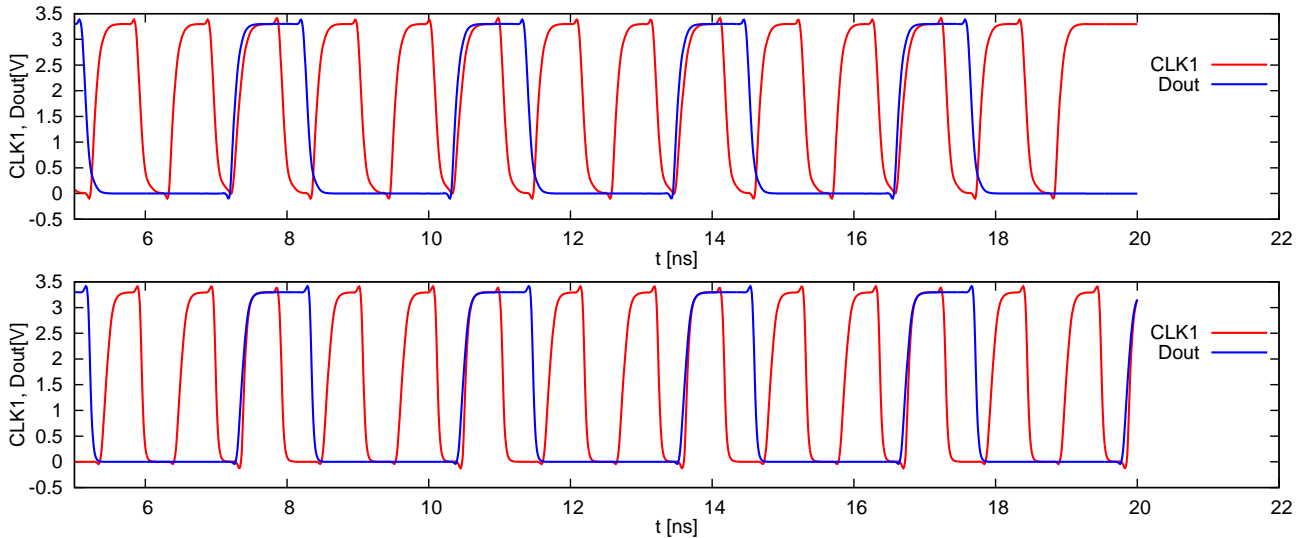


Rysunek 3.10: Tworzenie przebiegu zegarowego na podstawie dwóch oscylatorów (w trybie "single-rate"). Symulacje po narysowaniu layoutu

po narysowaniu layoutu, wyglądają lepiej. Poprawia się wypełnienie przebiegu zegarowego. Powodem tego jest ponowne dopasowanie wymiarów elementów po narysowaniu pierwszej wersji layoutu, aby zniwelować w największym możliwym stopniu, wpływ dodatkowych pojemności i rezystancji w układzie. Problem "nierównego" (półokresy nie są równe) przebiegu zegarowego jest wynikiem niemożność wytworzenia sygnałów synchronizacji, w taki sposób aby jeden był dokładnie negacją drugiego. Przez to oscylator włączany sygnałem synchronizacji, występującym wcześniej w fazie (sygnał VCO960_B), skraca pierwszy półokres przebiegu, bezpośrednio

po włączeniu, a wydłuża ostatni półokres bezpośrednio przed wyłączeniem.

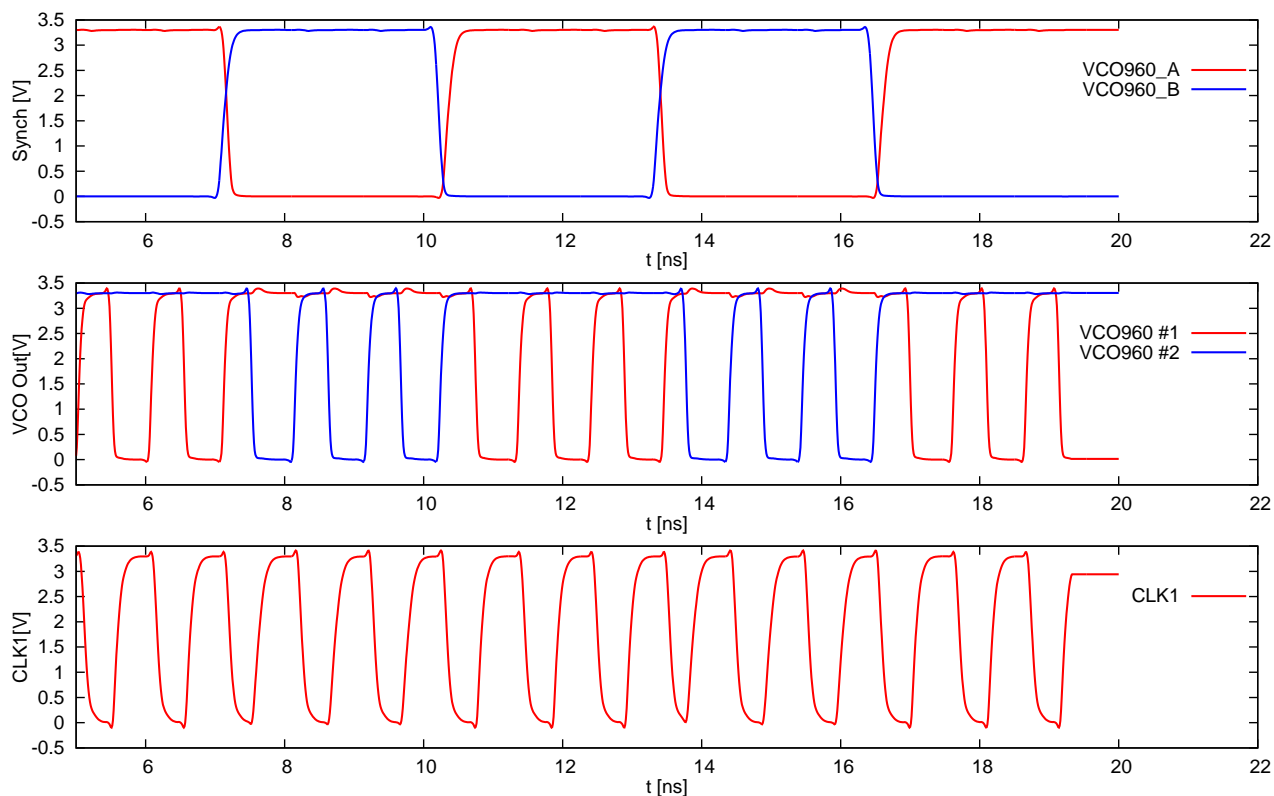
Porównanie zależności fazowych między przebiegiem danych wychodzącym z linii opóźniającej DEL, a przebiegami na wyjściach obu oscylatorów VCO960, dla symulacji schematu i z uwzględnieniem elementów pasożytniczych, przedstawione jest na rysunku 3.11. Przebiegi na



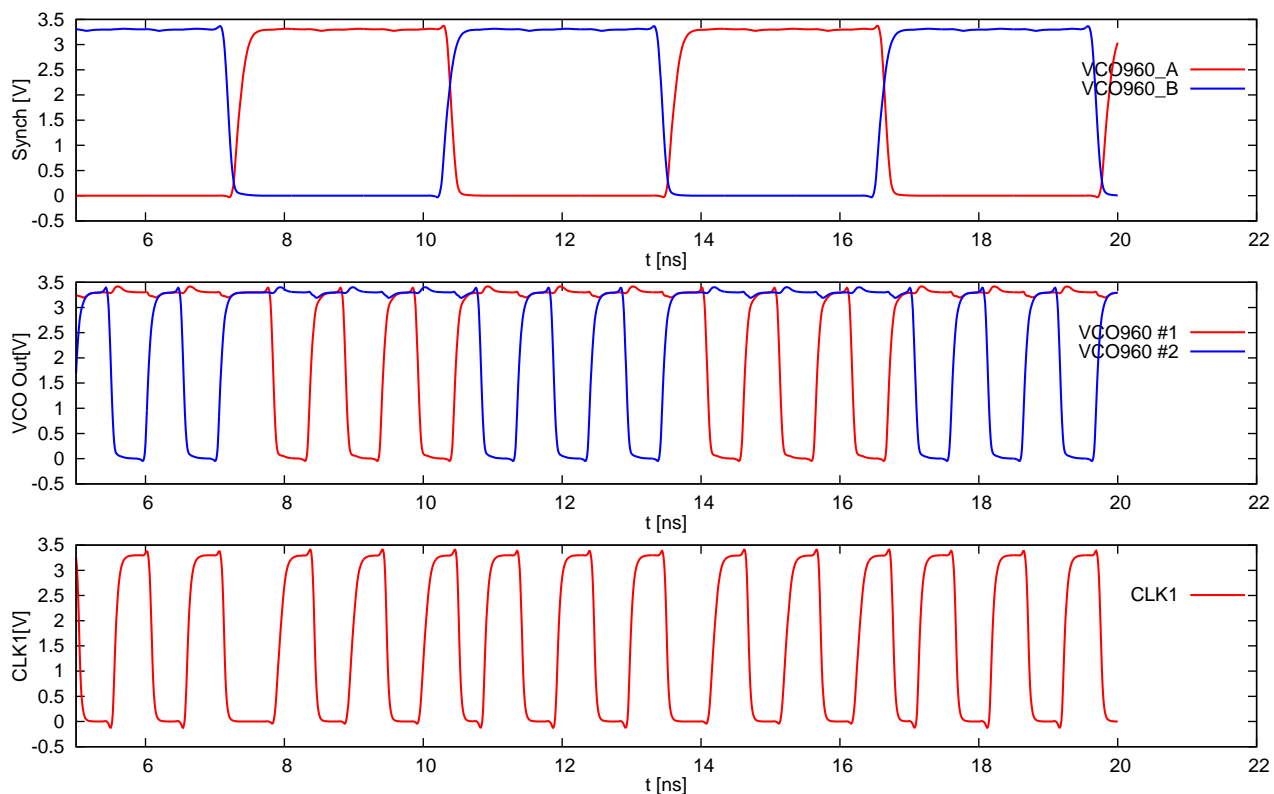
Rysunek 3.11: Zależności fazowe między sygnałem danych a odzyskanym zegarem (w trybie "single-rate"). U góry - symulacje schematu, na dole - po uwzględnieniu elementów pasożytniczych

dole, dla symulacji z uwzględnieniem elementów pasożytniczych mają lepszą zgodność fazy niż dla symulacji samego schematu. Jest to wynikiem wspomnianego wcześniej dopasowania wymiarów po narysowaniu layoutu. Próbkowanie danych w dalszej części układu może odbywać się bez żadnego problemu na zboczu opadającym przebiegu zegarowego. Dla pozostałych trybów pracy (120/240/480 MHz) działają oscylatory SVCO, dokładnie w analogiczny sposób. Ze względu na mniejszą częstotliwość pracy, wpływ nierównych sygnałów synchronizacji jest znacznie mniejszy.

W przypadku pracy układu w trybie "half-rate", przebiegi generowane przez układ synchronizacji są podzielone przez 4 i synchronizacja nie może występować tak często jak ma to miejsce w trybie "single-rate". Dane wejściowe mogą mieć maksymalną częstotliwość 960 MHz (przy nadawaniu "10101..."). Oscylatory nie mogą się przełączać przy każdej zmianie danych (maksymalnie co pół okresu), ponieważ do poprawnego wytworzenia przebiegu zegarowego, każdy z nich musi być włączony co najmniej przez jeden pełny okres. Analogiczne przebiegi na wyjściu układu działającego w trybie "half-rate" przedstawione są na rysunku 3.12. Symulacje nie uwzględniają wpływu elementów pasożytniczych. Podobnie jak w trybie "single-rate" tworzony przebieg zegarowy ma nierówne wypełnienie, wynikające z braku komplementarności sygnałów synchronizacji. Po uwzględnieniu wpływu elementów pasożytniczych układ zachowuje się tak jak na rysunku 3.13. Działanie jest lepsze niż wynika to z symulacji samego schematu.

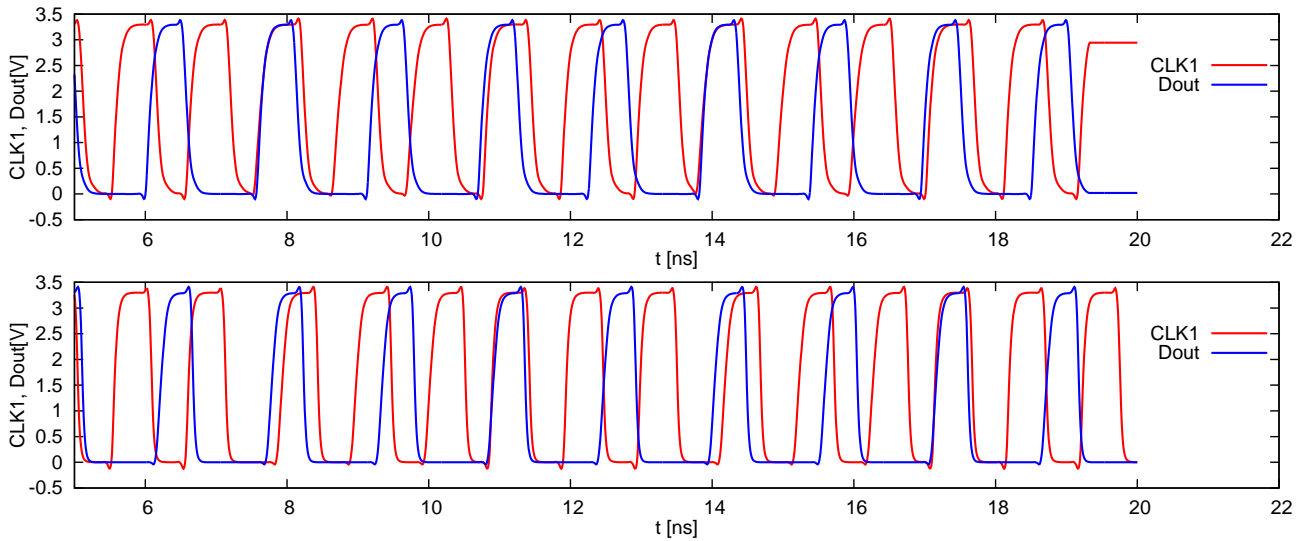


Rysunek 3.12: Tworzenie przebiegu zegarowego na podstawie dwóch oscylatorów (w trybie "half-rate"). Symulacje schematu



Rysunek 3.13: Tworzenie przebiegu zegarowego na podstawie dwóch oscylatorów (w trybie "half-rate"). Symulacje po narysowaniu layoutu

Na rysunku 3.14 zostało przedstawione porównanie zależności fazowych między przebiegiem danych a przebiegiem zegarowym dla przypadku symulacji schematu i symulacji po uwzględnieniu elementów pasożytniczych. W tym trybie "half-rate", ze względu na dużą częstotliwość

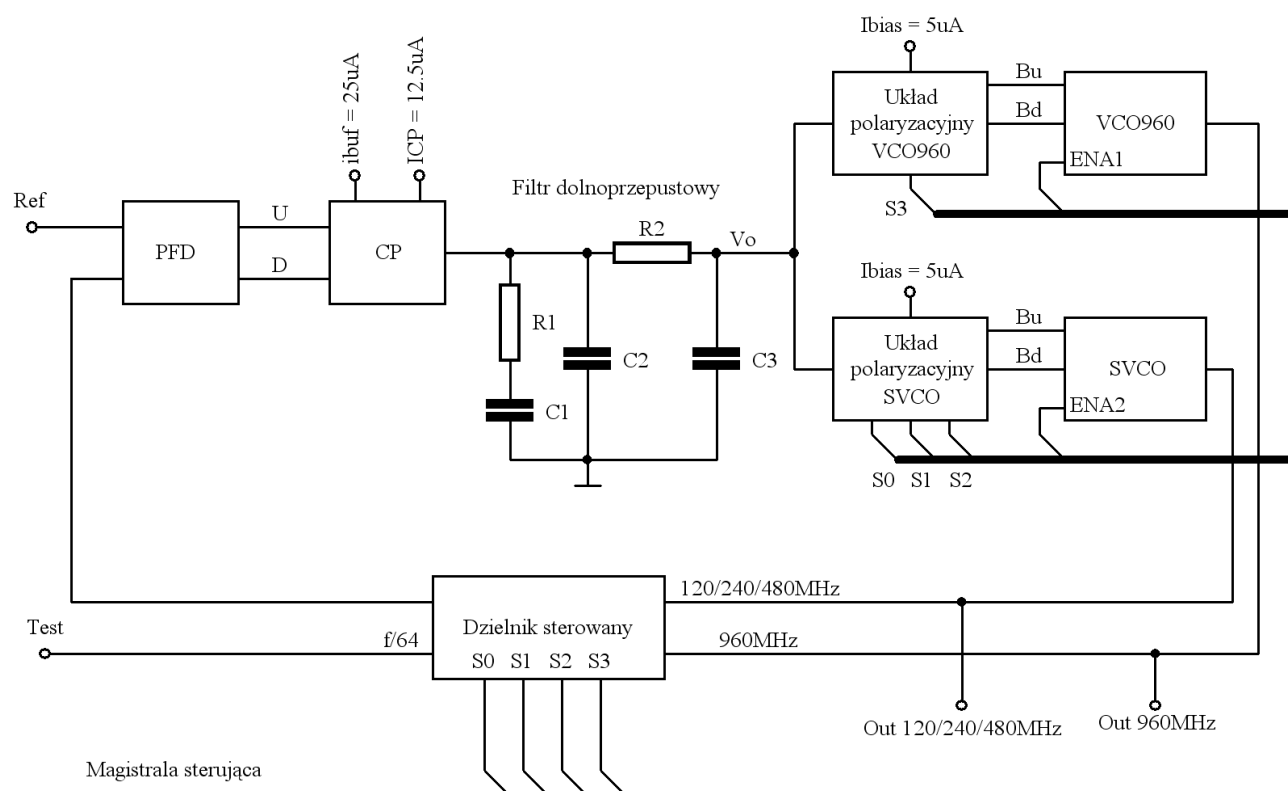


Rysunek 3.14: Zależności fazowe między sygnałem danych a odzyskanym zegarem (w trybie "half-rate"). U góry - symulacje schematu, na dole - po uwzględnieniu elementów pasożytniczych

pracy, przebieg zegarowy względem przebiegu danych może się przesuwać między kolejnymi punktami synchronizacji (zmianami sygnałów synchronizacji). Po narysowaniu layoutu przebiegi wyglądają lepiej, jednak gdy zostaną tutaj uwzględnione rozrzuty technologiczne, to układ CDR w tym trybie pracy może nie działać prawidłowo.

3.3 Układy pętli fazowej

W projektowanym ASIC'u pętla fazowa zajmuje się powielaniem częstotliwości. Generuje ona przebiegi potrzebne do układu odzyskiwania zegara i danych. Częstotliwość przebiegu referencyjnego, podawanego na detektor fazy i częstotliwości, wynosi w opisywanej pętli fazowej 30 MHz . Wartość ta podyktowana była łatwą dostępnością stabilnych generatorów kwarcowych oraz możliwością zastosowania, prostych w realizacji dzielników, przez 4, 8, 16 i 32. Pozwala to uzyskać, ustalone wcześniej, powielone częstotliwości pracy wynoszące 120 MHz , 240 MHz , 480 MHz i 960 MHz , bez konieczności stosowania skomplikowanego dzielnika np. przez 40. Podstawą zastosowania z pozoru dziwnych częstotliwości pracy była idea wykorzystania projektowanego Transceiver'a (w przyszłości) do realizacji transmisji High Speed po magistrali USB, gdzie częstotliwość pracy to dokładnie 480 MHz . Pozostałe tryby pracy to pod wielokrotności i wielokrotności wartości 480 MHz . Na rysunku 3.15 widać schemat blokowy zastosowanej w praktyce pętli fazowej. Budowa układu jest podobna do opisywanej w rozdziale teoretycznym



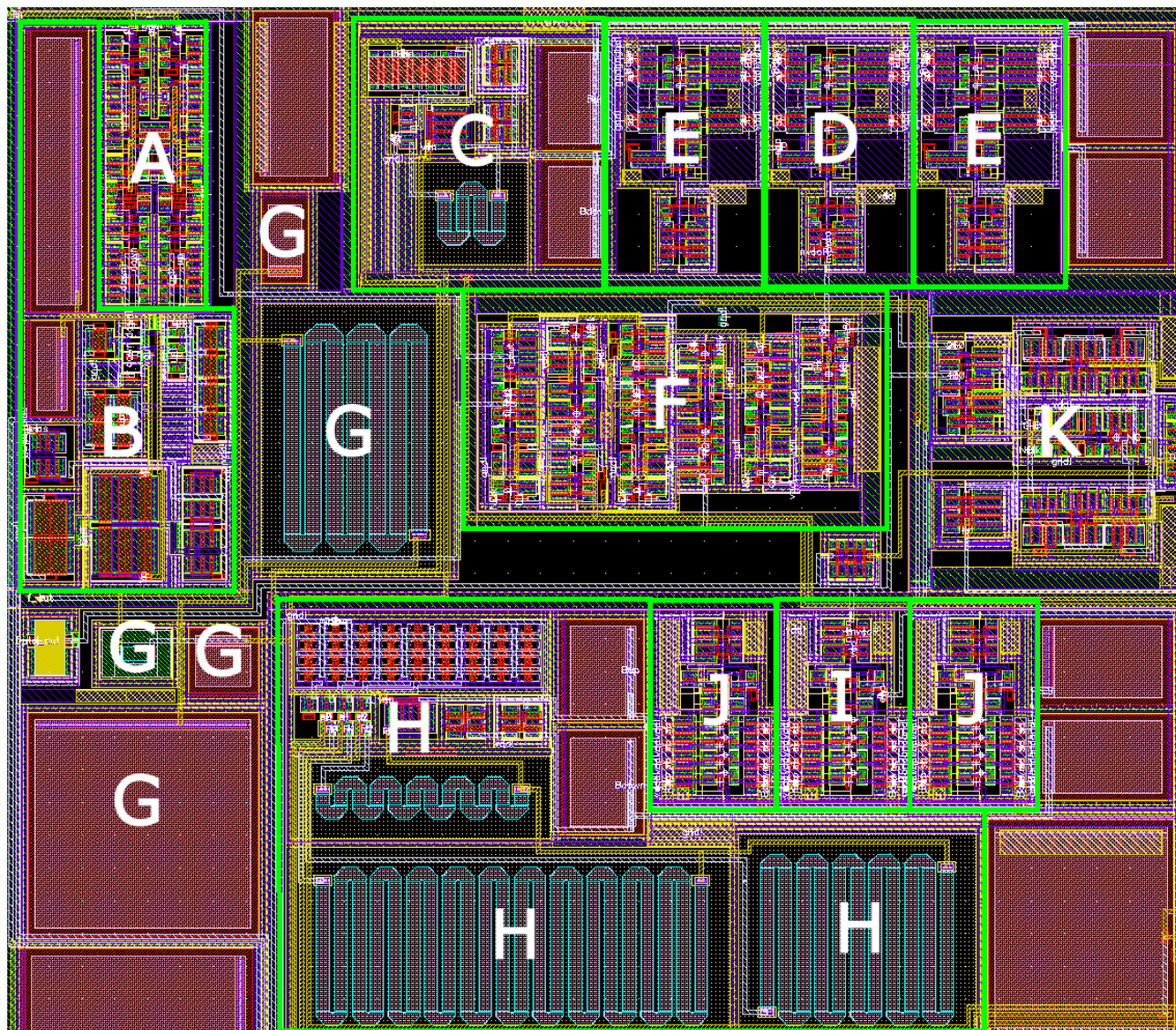
Rysunek 3.15: Uproszczony schemat blokowy zastosowanej w praktyce pętli fazowej

(podrozdział 2.2) idei działania pętli fazowej, jednak posiada kilka modyfikacji zwiększających jej funkcjonalność. Przebieg referencyjny podawany jest na wejście detektora fazy i częstotliwości (PFD) z zewnętrznego oscylatora, poprzez zwykłe wejście CMOS (single-ended). Na drugie wejście PFD trafia podzielony przebieg z dzielnika także o częstotliwości docelowej 30 MHz , który uzyskiwany jest dla różnych trybów pracy poprzez sterowanie stopniem podziału. Detektor fazy i częstotliwości, porównując oba przebiegi na swoich wejściach, generuje odpowiednie

impulsy dla pompy ładunkowej. Ta z kolei, na podstawie impulsów wejściowych, wstrzykuje na filtr pętli odpowiedni prąd. W roli filtru dolnoprzepustowego pracuje klasyczna, spotykana w literaturze konfiguracja, jednak została uzupełniona o dodatkowy obwód RC (kondensator C3 i rezystor R2). Ma to ograniczyć amplitudę krótkich szpilek napięcia pojawiających się na wyjściu filtru i poprawić pracę oscylatorów. Ze względu na wiele trybów pracy, w pętli fazowej pracują dwa oscylatory sterowane (dla częstotliwości 960 MHz i drugi przełączany z trybami 120 MHz, 240 MHz i 480 MHz), wraz ze swoimi układami polaryzującymi. W danej chwili pracuje jednak tylko jeden oscylator, dając na wyjściu jedną z wymienionych częstotliwości. Za odpowiednie przestawienie dzielnika oraz włączenie odpowiedniego oscylatora odpowiedzialny jest układ logiki, który nie został uwzględniony na schemacie 3.15. Dla uproszczenia rysunku wszystkie sygnały sterujące przedstawione są w formie magistrali sterującej. Do poprawnej pracy pętli wymagane są także prądy referencyjne, które zapewnia główny układ polaryzacyjny (podrozdział 3.9). Pompa ładunkowa wymaga prądu 12.5 μA , a bufor w niej pracujący 25 μA . Oba oscylatory polaryzowane są prądem 5 μA .

Przy projektowaniu pętli fazowej, ważne jest rozmieszczenie poszczególnych jej bloków na rysunku masek technologicznych. Rysunek 3.16 przedstawia wygląd masek technologicznych wszystkich podukładów pętli fazowej na przykładzie nadajnika (jest on prostszy ideowo, ponieważ nie zawiera układu odzyskiwania zegara i danych, a zatem pozwoli lepiej pokazać konstrukcję samej pętli). Blok oznaczony literą A stanowi detektor fazy i częstotliwości. Leży on zaraz obok pompy ładunkowej, reprezentowanej na rysunku symbolem B. Takie ułożenie jest bardzo ważne z punktu widzenia połączeń sygnałów między nimi. Każde z wyjść detektora fazy musi być obciążone taką samą pojemnością, aby nie powstawały opóźnienia między sygnałami sterującymi, które później będą powodem wahań napięcia na filtrze. Dodatkowo takie ułożenie detektora fazy pozwala w łatwy sposób podłączyć zewnętrzną częstotliwość referencyjną. Blok C jest układem polaryzującym dla oscylatora VCO960, który na layoucie oznaczony jest literą D i zajmuje miejsce pozwalające w łatwy sposób podłączyć jego wyjście do dzielnika pętli F i rejestru wejściowego K². Oscylator sterowany jest bardzo ważnym układem dla działania pętli, dlatego bezpośrednio obok niego zostały narysowane dwa identyczne bloki E, zapewniające jednakowe otoczenie z obu jego stron. Konstrukcyjnie elementy E są tożsame z oscylatorem VCO960, jednak nie generują one przebiegu prostokątnego (sprzężenie zwrotne jest odpięte), a utrzymują cały czas jeden ze stanów logicznych. Elementy pasywne oznaczone literą G stanowią filtr pętli fazowej, położone są one w bezpośrednim sąsiedztwie układu pompy ładunkowej i bloków polaryzujących oba oscylatory, na które trafia napięcie wolnozmiennne z wyjścia filtru. Literą H oznaczone zostały fragmenty układu polaryzującego dla drugiego oscylatora (SVCO). Układ ten jest znacznie większy niż jego odpowiednik dla oscylatora VCO960, ponieważ zawiera

²Rejestr wejściowy ("serializer") - jest częścią nadajnika działającego w obrębie projektowanego Transceiver'a. Na rysunku 3.16 widać tylko fragment tego układu, gdyż nie ma on bezpośredniego wpływu na opisywaną tutaj pętlę fazową. Dokładny opis "serializer'a" zawarty jest w podrozdziałach 2.8 oraz 3.12.

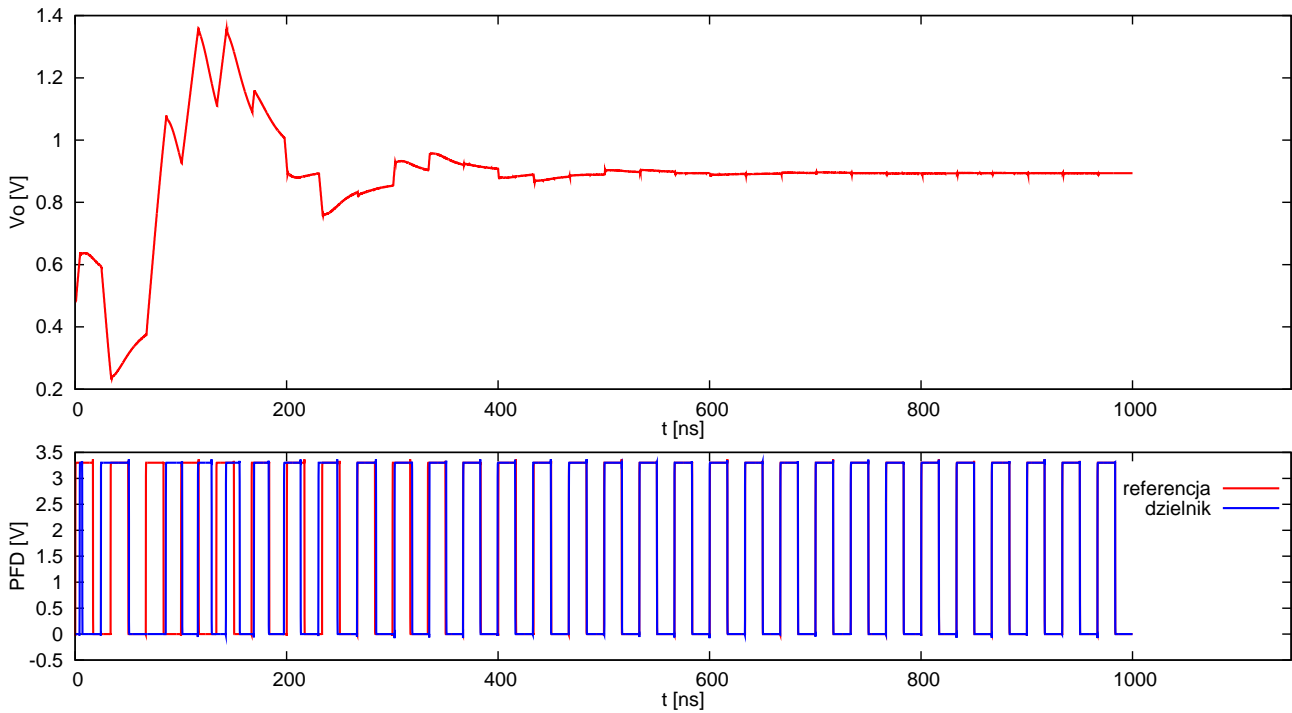


Rysunek 3.16: Maski technologiczne pętli fazowej na przykładzie nadajnika ($170 \times 150 \mu\text{m}^2$)

rezystory o dużych wartościach, zajmujące sporo miejsca i dodatkowe klucze do zmiany trybów pracy. W bezpośrednim sąsiedztwie układu polaryzującego H znajdują się oscylator I oraz dwa bloki J zapewniające mu jednakowe otoczenie z obu stron. W centrum layoutu znajduje się dzielnik sterowany, oznaczony na rysunku literą F.

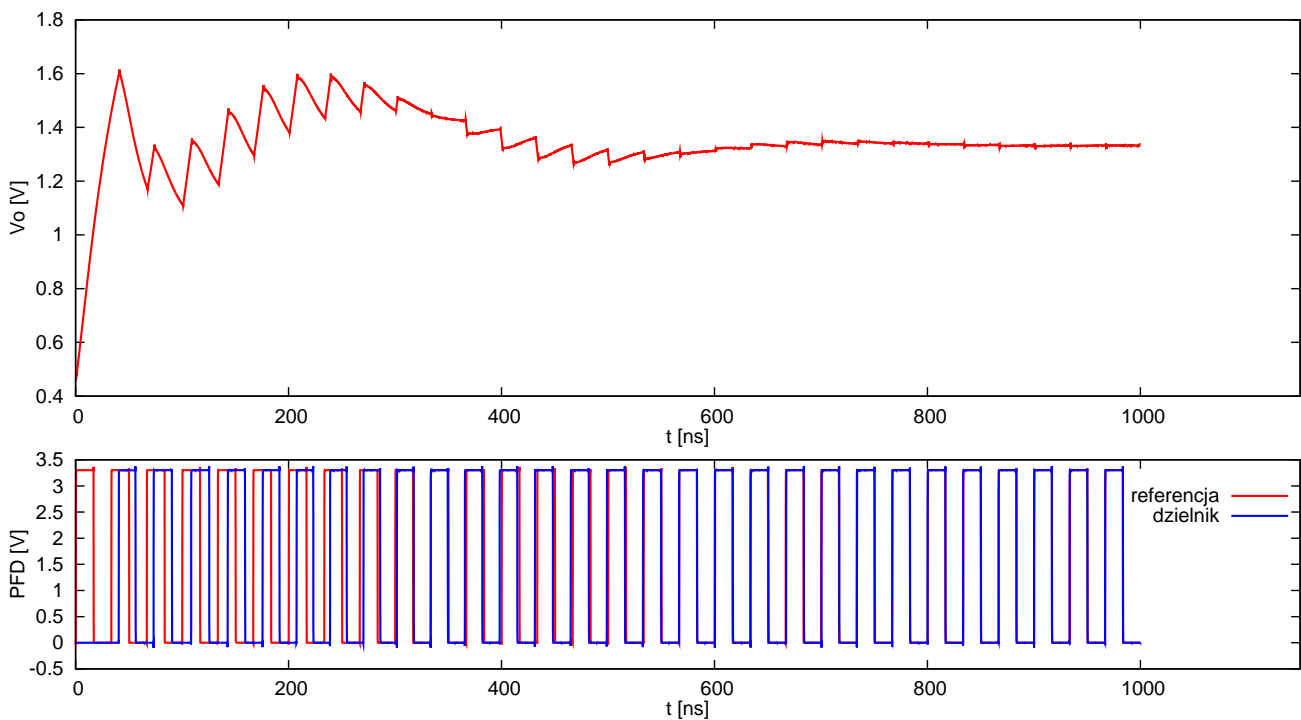
3.3.1 Pętla fazowa z oscylatorem 960 MHz

Gdy pętla działa w trybie 960 MHz, to jest włączony oscylator VCO960, a na wyjściu SVCO panuje zawsze stan wysoki. Dzięki odpowiednim sygnałom sterującym, dzielnik ustawiony jest na podział przez 32, zapewniając na swoim wyjściu częstotliwość 30 MHz. Na rysunku 3.17 widać wyniki symulacji bez uwzględnienia elementów pasożytniczych. Na starcie oscylator generuje dowolną częstotliwość mieszczącą się w przedziale jego pracy. Zależy to głównie od napięcia jakie ustawi się na filtrze w momencie startu układu. Detektor fazy wraz z pompą ładunko-



Rysunek 3.17: Synchronizacja pętli fazowej bez uwzględniania elementów pasozytniczych

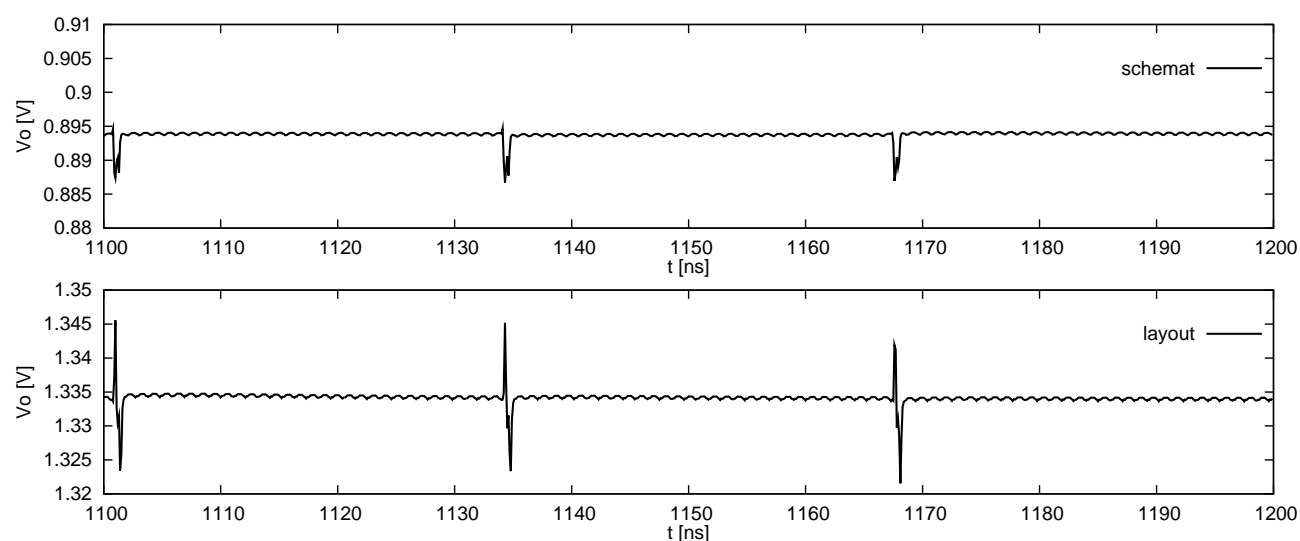
wą dbają o to, aby napięcie na filtrze przyjęło wartość, która daje na oscylatorze przebieg 960 MHz. Napięcie na filtrze ulega zmianom do momentu aż przebieg podzielony przez 32 i referencyjny nie będą zgodne w częstotliwości i fazie. W tym przypadku synchronizacja następuje po czasie około 0.8 μ s. Po narysowaniu layoutu i ekstrakcji elementów pasozytniczych, czas



Rysunek 3.18: Synchronizacja pętli fazowej po ekstrakcji elementów pasozytniczych

synchronizacji oraz odpowiadający mu poziom napięcia na filtrze będzie inny. Pętla uzyskuje

synchronizację po czasie $1 \mu s$, a poziom napięcia na filtrze zmieni się z wartości $0.894 V$ na $1.335 V$. Wynika to między innymi z oscylatora, który po ekstrakcji elementów pasożytniczych osiąga niższą częstotliwość maksymalną dla tego samego sterowania. Napięcie sterujące ustali się zatem na wyższym poziomie, aby dać na wyjściu wolniejszego oscylatora odpowiednią częstotliwość. Pętla fazowa po uwzględnieniu elementów pasożytniczych różni się stabilnością napięcia sterującego VCO w stosunku do symulacji samego schematu. Na rysunku 3.19 widać porównanie obu symulacji, poprzez dokładną obserwację napięcia na filtrze w momencie gdy pętla osiągnie już synchronizację. Przeważnie po narysowaniu masek technologicznych działanie

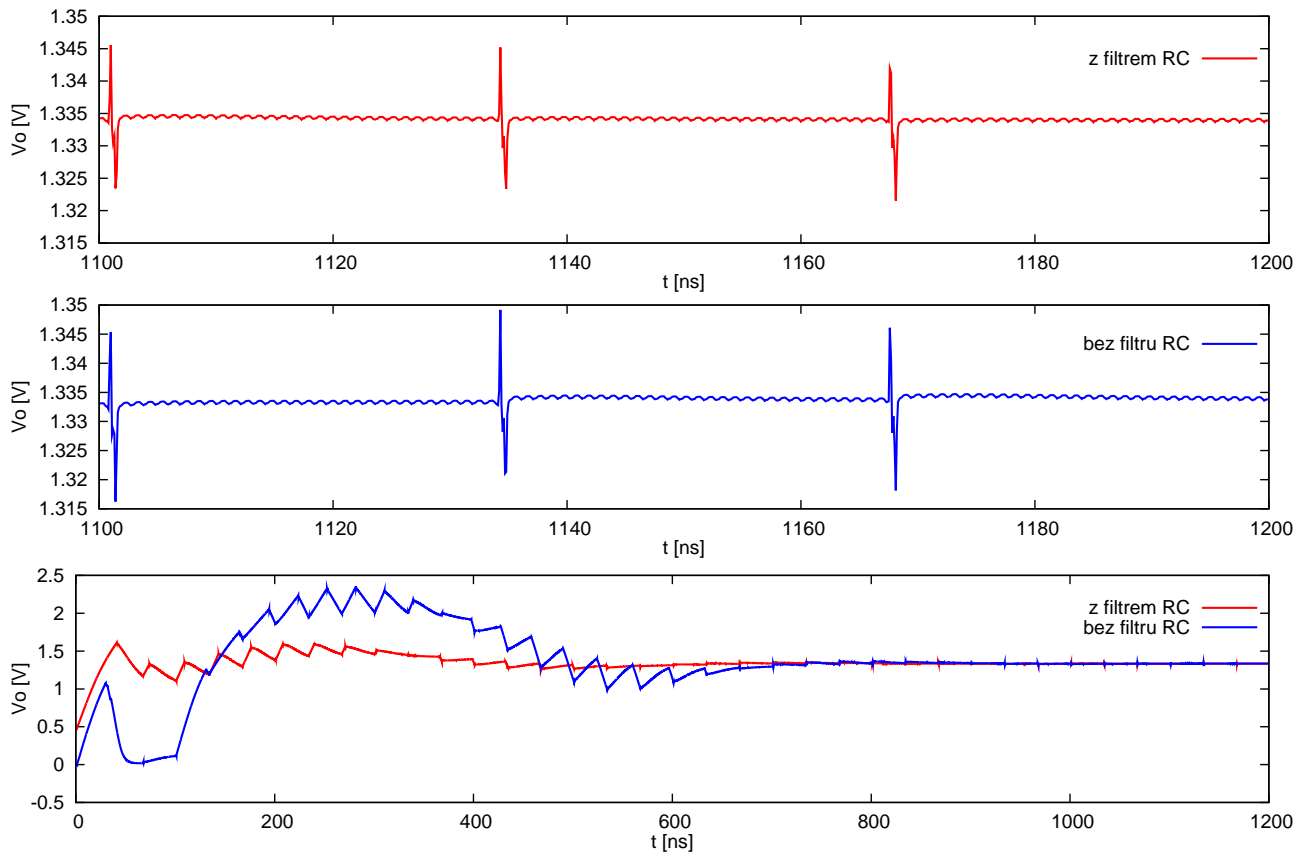


Rysunek 3.19: Wpływ elementów pasożytniczych na działanie pętli fazowej. Oba wykresy zostały przedstawione w jednakowej skali napięcia o rozpiętości $30 mV$

układu ulega pogorszeniu, tak jest też w tym przypadku, a stabilność generowanego przez pętlę napięcia sterującego oscylator zależy w dużej mierze od parametrów użytego filtra. Ostatecznie z porównania na rysunku 3.19 wynika, że po ekstrakcji elementów pasożytniczych zachowanie układu jest porównywalne z symulacjami samego schematu. Jest to efektem kilkukrotnej modyfikacji parametrów filtra już po narysowaniu layoutu całej pętli i wstępnych symulacjach. Dla przykładu: pojemność $C3$ została zmodyfikowana ze $100 fF$ na wartość około $60 fF$, gdyż pojemność do podłoża ścieżki podłączonej do tego kondensatora okazała się być rzędu $40 fF$. Bardzo ważne jest uwzględnienie w symulacjach wszystkich elementów pasożytniczych gdyż, w rzeczywistym układzie nie da się uniknąć pojemności pasożytniczych i rezystancji połączeń, przez które układ nigdy nie zadziałał tak jak w symulacjach samego schematu.

Zastosowany w pętli fazowej filtr, różni się od klasycznego spotykanego w literaturze rozwiązania, dodatkowym obwodem RC , zrealizowanym na elementach $C3$ i $R2$. Krótka stała czasowa, wprowadzana przez ten obwód pozwala ograniczyć amplitudę szpilek powstałych przy przełączaniu tranzystorów w pompie ładunkowej. Na rysunku 3.20 widać zachowanie pętli fazowej (pełne przebiegi napięcia na filtrze oraz zbliżenie w obszarze synchronizacji) w sytuacji z pełnym filtrem i gdy pominięte zostaną elementy $C3$ i $R2$. W obu przypadkach symulacje uwzględniają

wpływ elementów pasożytniczych. Dodatkowa pojemność i rezystancja wpływa pozytywnie na

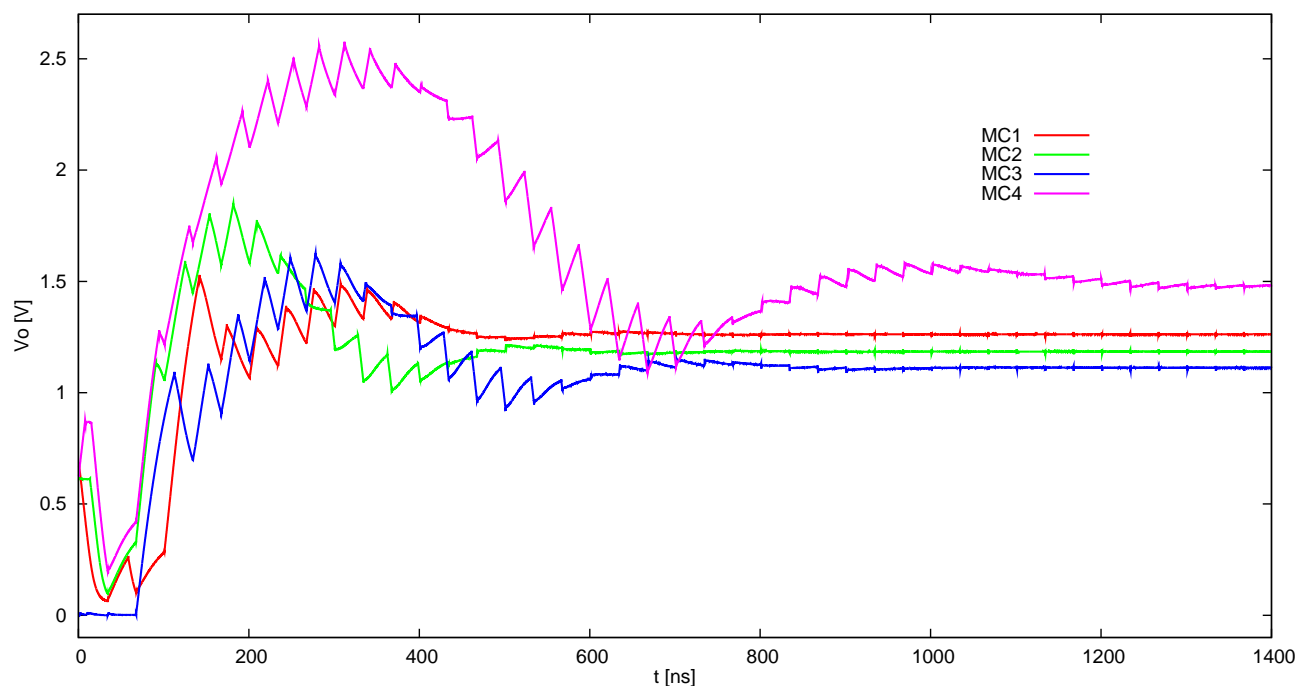


Rysunek 3.20: Wpływ dodatkowego filtra $R2-C3$ na działanie pętli fazowej. Porównanie do klasycznego rozwiązania z pominięciem rezystancji $R2$ i pojemności $C3$

działanie układu, jednak zwiększanie wartości pojemności $C3$ powoduje powstawanie długofalowych oscylacji napięcia sterującego i przez to wydłużony jest czas synchronizacji całej pętli. Dobrane na drodze symulacji wartości okazały się optymalne.

Samo uwzględnienie layoutu w symulacjach to nie wszystko, gdyż takie działanie zakłada idealne wymiary tranzystorów. W celu przeprowadzenia symulacji, oddających w jak najlepszym stopniu rzeczywiste zachowanie układu, należy skorzystać z metody Monte Carlo³. Wyniki symulacji dla kilku przypadków uwzględniających statystyczne rozrzuty technologiczne przedstawione są na rysunku 3.21. W zależności jak dokładnie wymiary elementów zostały wylosowane zachowanie pętli może być różne. Zmieniają się czasy synchronizacji, tak że dla niektórych przypadków są one rzędu $0.8 \mu\text{s}$, dla innych $1 \mu\text{s}$, a jeszcze innych nawet $1.5 \mu\text{s}$. Może być to spowodowane zmianą wymiarów tranzystorów źródła prądowego, przez co pompa ładunkowa pracuje na mniejszym prądzie, lub modyfikacją rezystancji i pojemności filtra itp. Zmiana wymiarów tranzystorów wpływa na pojemność bramki tranzystora, a ta z kolei na

³Monte Carlo - terminem tym w niniejszej pracy, określane są symulacje w których tranzystory oraz inne elementy obciążone są statystycznym rozrzutem wymiarów. Jest to symulacja rozrzutów technologicznych jakie mogą powstać podczas produkcji układu na podstawie narysowanych masek.



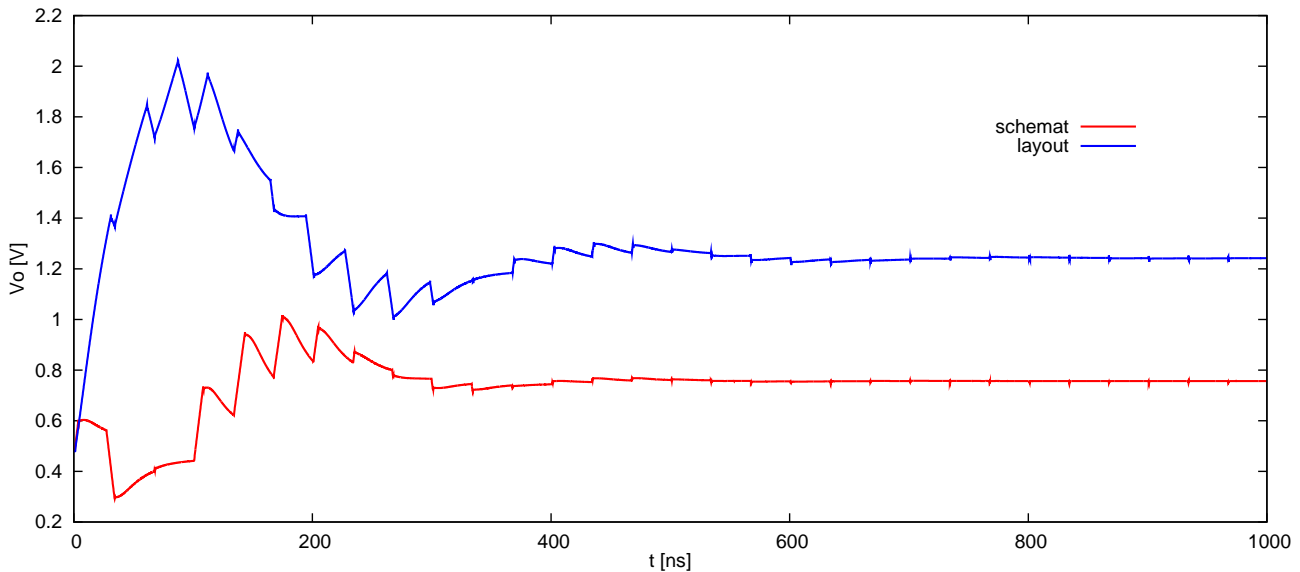
Rysunek 3.21: Kilka przykładów symulacji statystycznych rozrzutów technologicznych

szybkość jego działania, co można zauważyć na przykładzie oscylatora sterowanego. Przejawia się to zmianą napięcia sterującego jakie panuje na filtrze pętli fazowej w momencie osiągnięcia przez nią synchronizacji. Dla niektórych przypadków napięcie to ma mniejszą wartość niż wynika to z symulacji na poprawnych wymiarach elementów, co oznacza że oscylator działa szybciej niż zostało to założone podczas projektowania. Dla innych przypadków napięcie na filtrze jest większe niż symulowana wcześniej wartość 1.335 V , co oznacza że oscylator działa ogólnie z niższą częstotliwością i podbicie napięcia pozwala uzyskać poprawną częstotliwość wyjściową.

Cała pętla fazowa podczas stabilnej pracy z częstotliwością referencyjną 30 MHz i mnożnikiem przez 32, pobiera prąd 1.279 mA , a po uwzględnieniu elementów pasożytniczych pobór prądu rośnie do 1.475 mA .

3.3.2 Pętla fazowa z oscylatorem sterowanym 120/240/480 MHz

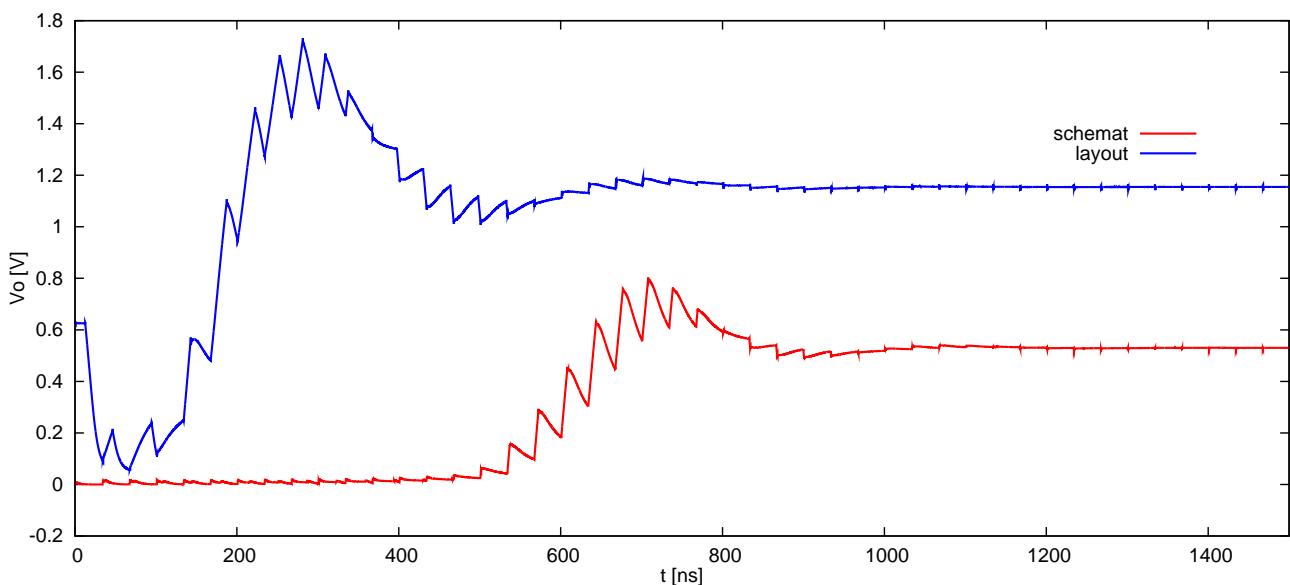
Gdy pętla działa w jednym z trybów 120/240/480 MHz to oscylator VCO960 jest wtedy wyłączony a na jego wyjściu panuje stan wysoki. Na wyjściu drugiego oscylatora (SVCO) generowany jest przebieg o określonej częstotliwości, ustalonej przez jeden z jego trzech trybów pracy. Dzielnik sterowany w pętli fazowej zawsze ustawiony jest tak aby na jego wyjściu pojawiał się przebieg rzędu 30 MHz niezależnie od sygnału na wyjściu SVCO. Na rysunku 3.22 widać przebieg napięcia na filtrze pętli fazowej, w przypadku symulacji schematu i symulacji z uwzględnieniem elementów pasożytniczych dla trybu 120 MHz. Pętla fazowa synchronizuje się po czasie rzędu 600 ns, a po narysowaniu masek technologicznych wartość ta wzrasta do około 800 ns. Pobór prądu przez pętlę fazową działającą w tym trybie wynosi $375\text{ }\mu\text{A}$, a po



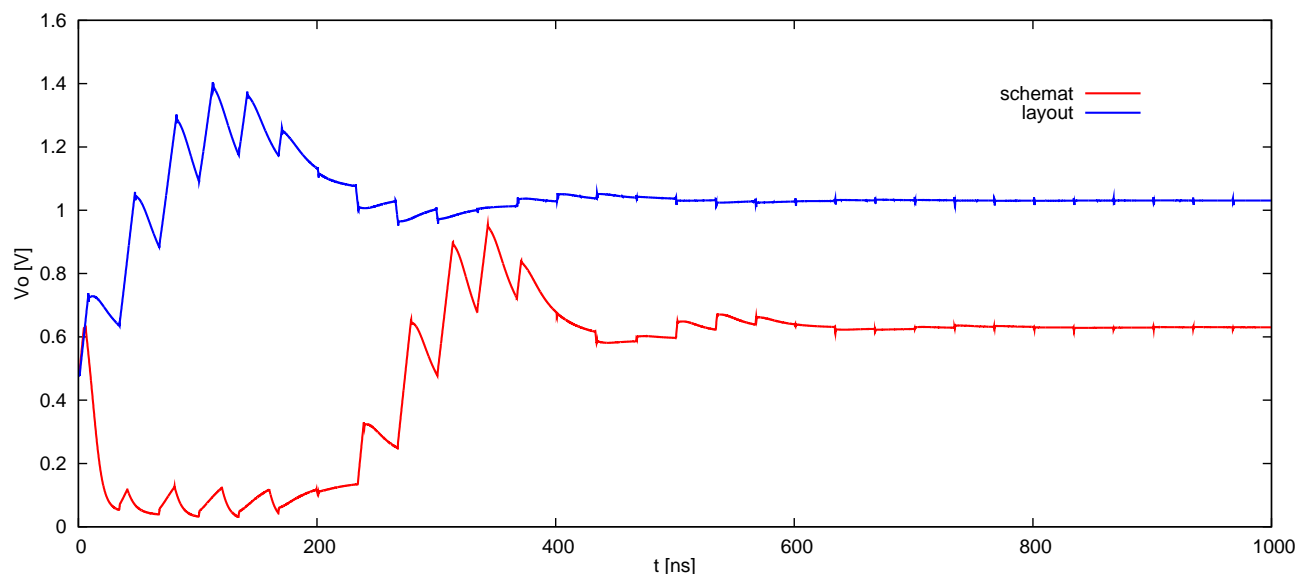
Rysunek 3.22: Synchronizacja pętli fazowej 120 MHz. Symulacje schematu i po ekstrakcji elementów pasożytniczych

uwzględnieniu elementów pasożytniczych wzrasta do $419 \mu A$. Podobnie zachowuje się pętla w trybie 240 MHz (rysunek 3.23), z tym że stan synchronizacji osiągnany jest po czasie około $1200 ns$ (w symulacjach schematu), a po uwzględnieniu narysowanych masek technologicznych czas ten jest równy około $1000 ns$. W tym konkretnym przypadku elementy pasożytnicze wpływają pozytywnie na zachowanie pętli, co skraca czas po którym ustala się napięcie na filtrze. W trybie 240 MHz układ pętli fazowej pobiera prąd $496 \mu A$, a elementy pasożytnicze sprawiają wzrost tej wartości do $557 \mu A$.

Działanie pętli w trybie 480 MHz przedstawione jest na rysunku 3.24, podobnie jak w



Rysunek 3.23: Synchronizacja pętli fazowej 240 MHz. Symulacje schematu i po ekstrakcji elementów pasożytniczych



Rysunek 3.24: Synchronizacja pętli fazowej 480 MHz. Symulacje schematu i po ekstrakcji elementów pasożytniczych

przypadku poprzedniego trybu, czas synchronizacji po narysowaniu layoutu (około 600 ns) jest krótszy od czasu potrzebnego na ustalenie się napięcia na filtrze w przypadku symulacji samego schematu (około 800 ns). Takie działanie wynika z modyfikacji, wcześniej symulowanych na schemacie wartości elementów filtru, po narysowaniu layoutu. Jak już zostało wcześniej napisane, najważniejsze jest działanie układu po uwzględnieniu wszystkich rezystancji i pojemności pasożytniczych, gdyż w rzeczywistym układzie zawsze będą one występować. Pobór prądu dla pętli 480 MHz jest rzędu 769 μA , a po ekstrakcji elementów pasożytniczych wzrasta do wartości 871 μA .

Zachowanie pętli fazowej podczas współpracy z oscylatorem przełączanym (SVCO) jest bardzo podobne do działania w najszybszym trybie (960 MHz). Większość symulacji było wykonywanych dla najszybszego trybu pracy projektowanego Transceiver'a, gdyż duża częstotliwość na której on pracuje pociąga za sobą podwyższone wymagania na stabilność działania pętli w tym trybie pracy. Filtr pętli został tak dobrany aby najlepiej działał w trybie 960 MHz, co nie przeszkadza jednak dobremu działaniu pętli fazowej na pozostałych częstotliwościach.

3.4 Oscylatory Sterowane napięciem (VCO)

Ponieważ projektowany transceiver posiada 8 trybów pracy, charakteryzujących się odmiennym działaniem i częstotliwością oscylacji, koniecznym stało się opracowanie dwóch układów generatora przestrajanego napięciem: jeden, nazywany dalej VCO960, posiada częstotliwość podstawową 960 MHz , a sterowanie napięciowe pozwala dostroić tą wartość w przedziale od 220 MHz do 1130 MHz . Drugi układ VCO, nazywany dalej SVCO, jest bardziej skomplikowany i pracuje w 3 niezależnych trybach o częstotliwościach podstawowych 120 MHz , 240 MHz i 480 MHz . Tabela 3.1 przedstawia najważniejsze parametry obu układów VCO na podstawie symulacji z ekstrakcją elementów pasozytniczych (R i C).

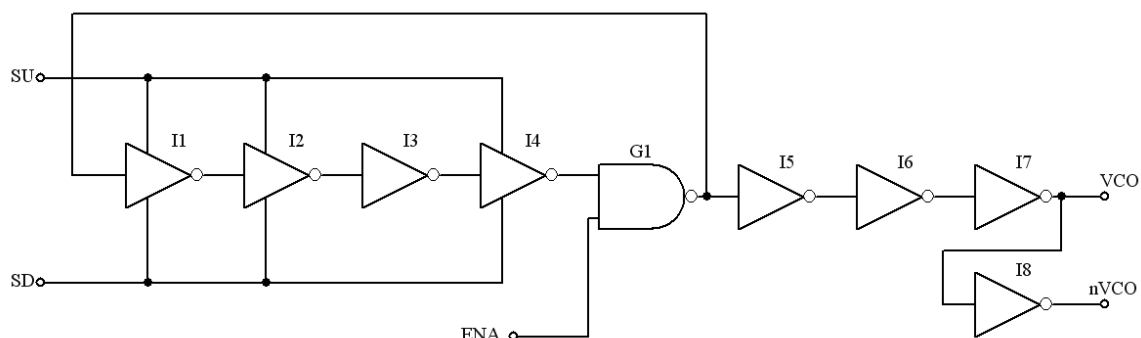
Układ	$f_0[\text{MHz}]$	$f_{min}[\text{MHz}]$	$f_{max}[\text{MHz}]$	$K_f [\frac{\text{MHz}}{\text{V}}]$
SVCO	120	72	241	61.9
SVCO	240	168	430	100.7
SVCO	480	296	815	263.0
VCO960	960	220	1130	802.4

Tabela 3.1: Najważniejsze parametry oscylatorów sterowanych napięciowo

gdzie: f_0 - częstotliwość podstawowa, znajduje się w okolicach środka zakresu liniowości
 f_{min} - minimalna częstotliwość oscylacji dla napięcia sterującego równego 0
 f_{max} - maksymalna częstotliwość dla napięcia sterującego równego VDD
 K_f - wzmacnienie generatora wyrażone w MHz/V

3.4.1 Oscylator sterowany 960MHz (VCO960)

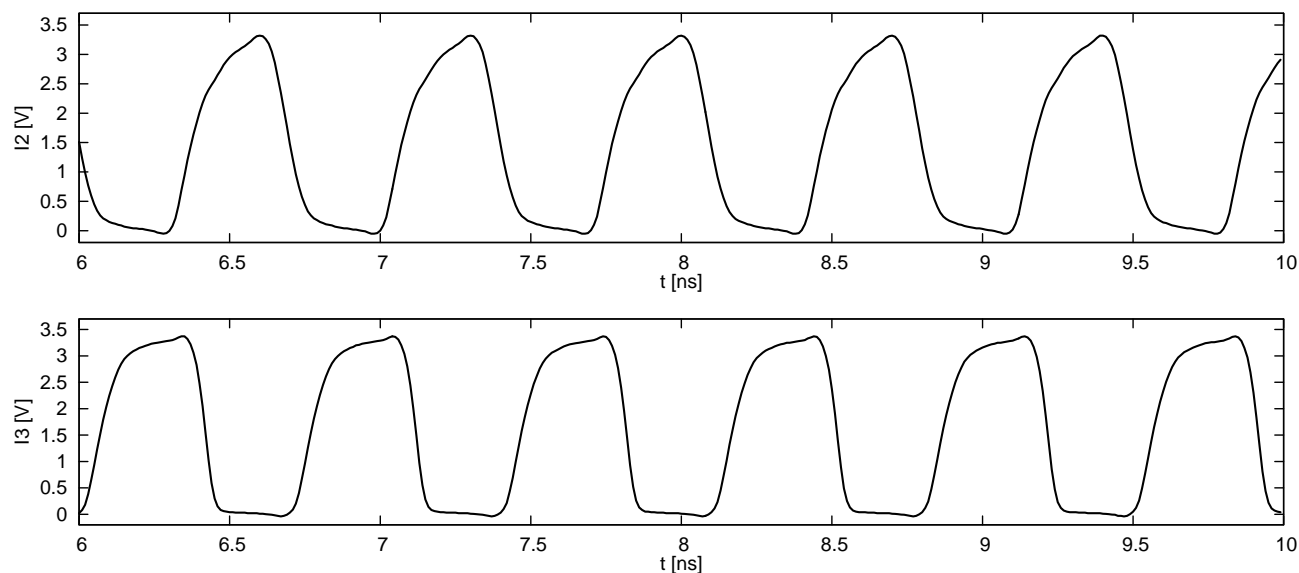
Na rysunku 3.25 przedstawiony jest schemat oscylatora 960MHz, który został zastosowany w praktyce. W technologii AMS $0.35\mu\text{m}$ wykonanie generatora pracującego z częstotliwością dochodzącą do 1 GHz stanowi poważny problem. Prezentowany układ nie różni się znacząco w stosunku do propozycji teoretycznej, jednak zawiera kilka modyfikacji. Ze względu na ogra-



Rysunek 3.25: Schemat oscylatora 960MHz

niczenia technologiczne (duże pojemności tranzystorów) nie ma możliwości zrobienia dowolnie szybkiego inwertera sterowanego, co bardzo ogranicza maksymalną częstotliwość oscylacji.

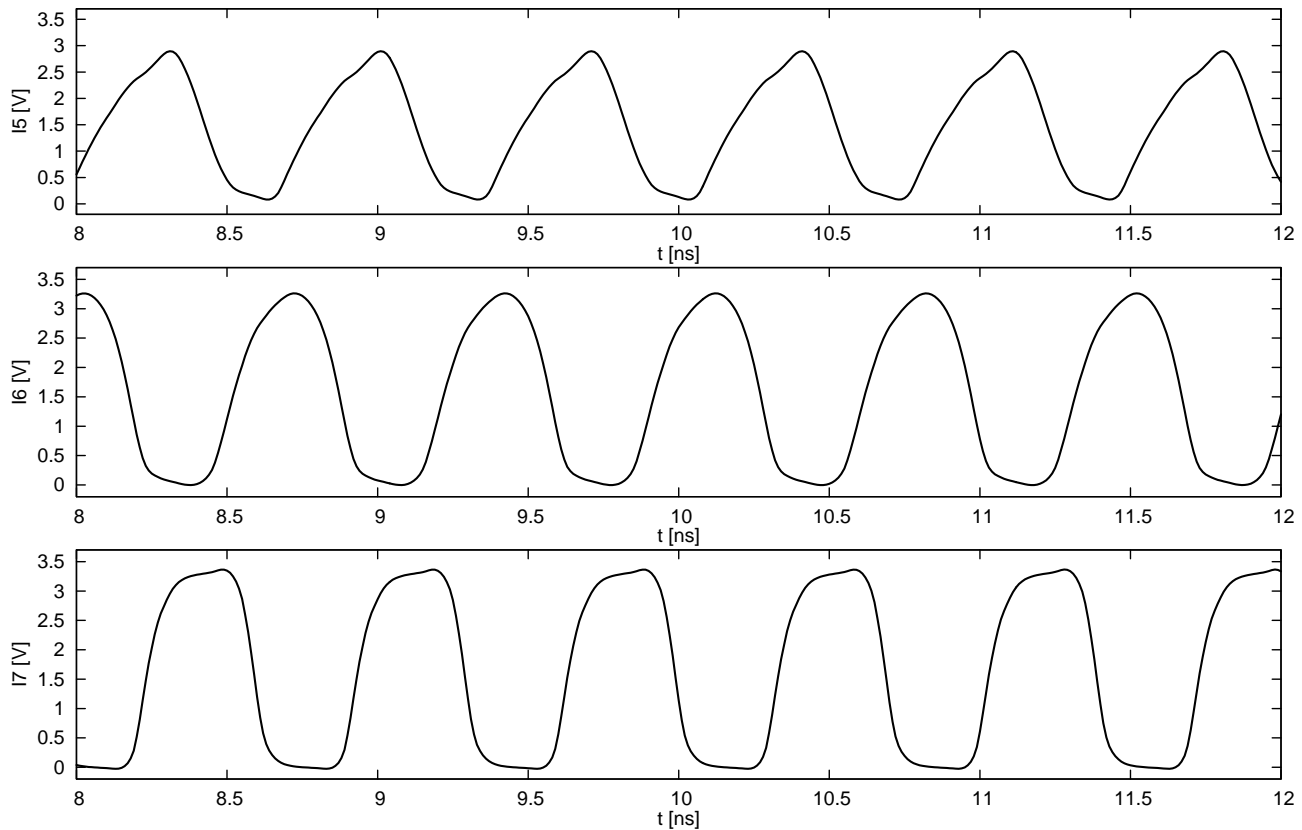
Z symulacji wynika, że minimalnie można zastosować cztery inwertery, ponieważ dla dwóch praca oscylatora nie jest stabilna i występują trudności ze sterowaniem. Opóźnienia jakie reprezentują sobą cztery inwertery sterowane są jednak za duże aby uzyskać planowaną częstotliwość pracy, a dalsze zwiększanie prądu nie jest możliwe ze względu na konieczność zastosowania małych tranzystorów o małych pojemnościach. Rozwiązaniem tego problemu jest zastosowanie w łańcuchu opóźniającym trzech inwerterów sterowanych i jednego zwykłego zasilanego bez ograniczenia prądowego. Próba zastosowania dwóch inwerterów klasycznych i dwóch sterowanych znacząco pogarsza możliwości sterowania częstotliwością oscylacji. Zastosowanie inwertera I3 widocznego na schemacie 3.25, dzięki krótszemu czasowi propagacji, umożliwia uzyskanie częstotliwości oscylacji przekraczającej 1.1 GHz (po uwzględnieniu elementów pasożytniczych). Oprócz zmniejszenia czasu propagacji I3 poprawia jakość sygnału występującego między blokami negatorów, a dokładniej generuje ostrzejsze zbocza sygnału. Z symulacji wynika, że najlepsze działanie układu uzyskuje się gdy inwerter I3 jest włączony jako trzeci w łańcuchu opóźniającym. Wykres 3.26 przedstawia przebiegi napięć na wyjściach negatorów I2 oraz I3 przy częstotliwości maksymalnej. Jak widać inwerter I3 poprawia kształt sygnału przez co ostatni stopień (I4) jest lepiejysterowany.



Rysunek 3.26: Przebiegi sygnału na wyjściach inwerterów I2 oraz I3 w łańcuchu oscylatora

Każda, nawet niewielka pojemność dołączona do wyjścia bramki NAND G1 powoduje spadek częstotliwości generowanego sygnału, dlatego na wyjściu zastosowano szereg inwerterów buforujących I5 - I7. Inwerter I5 jest najmniejszy (mała pojemność bramki) aby zminimalizować obciążenie wyjścia oscylatora. Pociąga to jednak za sobą konieczność zastosowania I6 o pośrednich wymiarach, gdyż inwerter I5 jest za mały abyysterować duży bufor wyjściowy I7. Dodatkowo na wyjściu znajduje się bufor I8, stanowiący negację sygnału potrzebną w dalszych

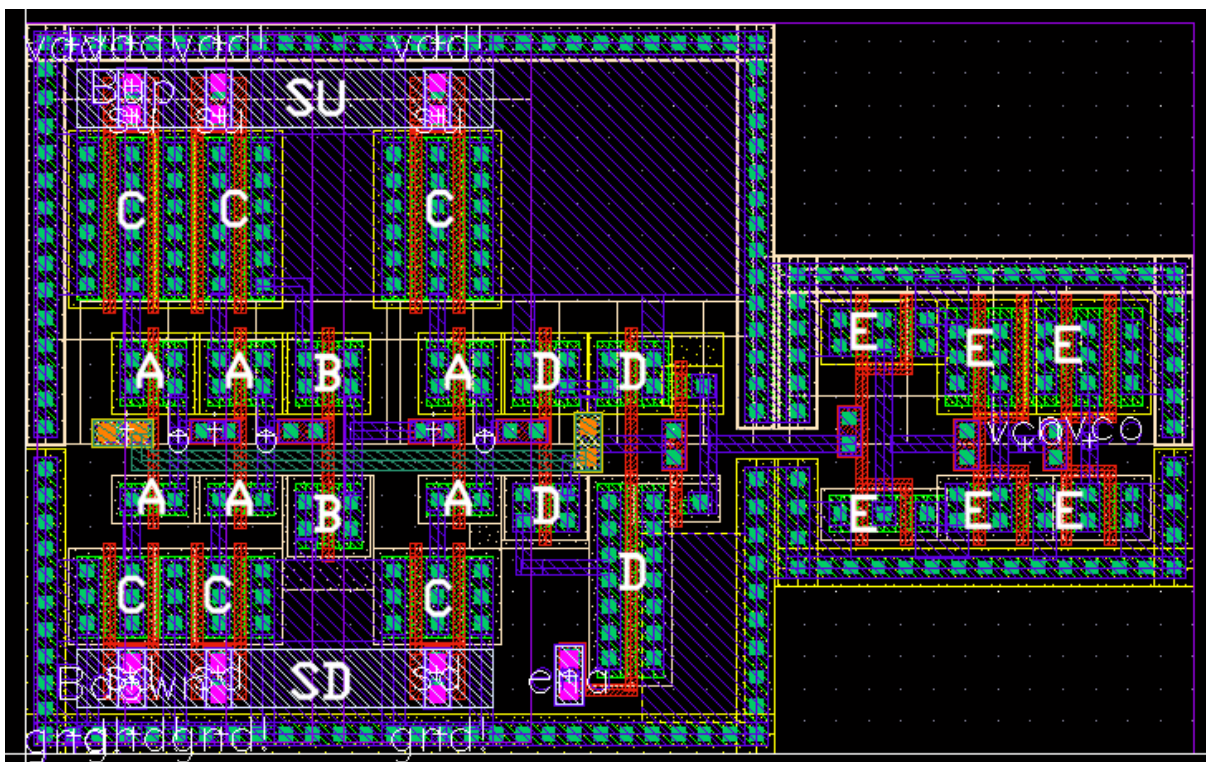
blokach projektowanego transceivera.



Rysunek 3.27: Przebiegi sygnału na wyjściach inwerterów I5 - I7

Przebiegi sygnału na wyjściach inwerterów - buforów przedstawia rysunek 3.27. Sygnał po wyjściu z I5 jest zniekształcony i przypomina bardziej przebieg trójkątny, niż prostokąt. Dodatkowo poziom napięcia nie dochodzi do szyny zasilania (3.3V). Po drugim buforze przebieg jest znacznie lepszy i osiąga już pełen zakres dynamiczny. Ostatni inwerter I7 dodatkowo poprawia zbocza sygnału i dzięki dużym wymiarom jest w stanie wysterować kolejne stopnie.

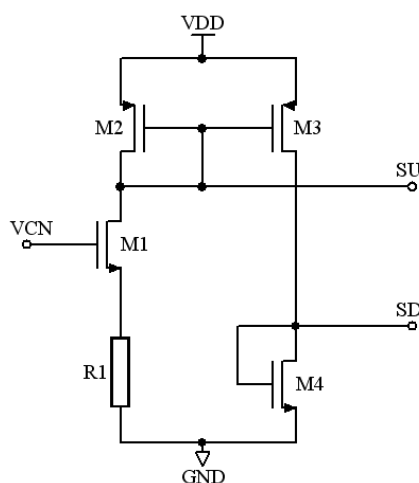
Rysunek 3.28 przedstawia projekt masek technologicznych najbardziej istotnej części generatora sterowanego, a mianowicie łańcuch inwerterów wraz z buforami wyjściowymi. Elementy A oraz C wchodzi w skład inwerterów sterowanych, przy czym tranzystory A stanowią właściwą część negującą, a tranzystory C są odpowiedzialne za prąd sterujący. Tranzystory klasycznego inwertera I3 widocznego na schemacie 3.25 oznaczone są symbolem B. Dla szybkości działania oscylatora bardzo ważne jest zminimalizowanie pojemności pasożytniczych, szczególnie tych występujących w łańcuchu opóźniającym. Tranzystory inwerterów oraz bramka NAND (oznaczenia D na rysunku) są umieszczone tak blisko siebie jak to możliwe z punktu widzenia reguł projektowych. Elementy sterujące C są ustawione na zewnątrz łańcucha opóźniającego, gdyż nie wpływają one w znacznym stopniu na częstotliwość pracy. W okolicach tranzystorów A, B i D znajduje się tylko niezbędna ilość ścieżek metalicznych, natomiast samo podłączenie sprzężenia zwrotnego z wyjścia bramki G1 (schemat 3.25) na wejście pierwszego inwertera w łańcuchu, wykonane jest metalem dedykowanym do rozprowadzania zasilania, tak aby rezystancje i po-



Rysunek 3.28: Projekt masek technologicznych układu VCO960 ($36 \times 22 \mu\text{m}^2$)

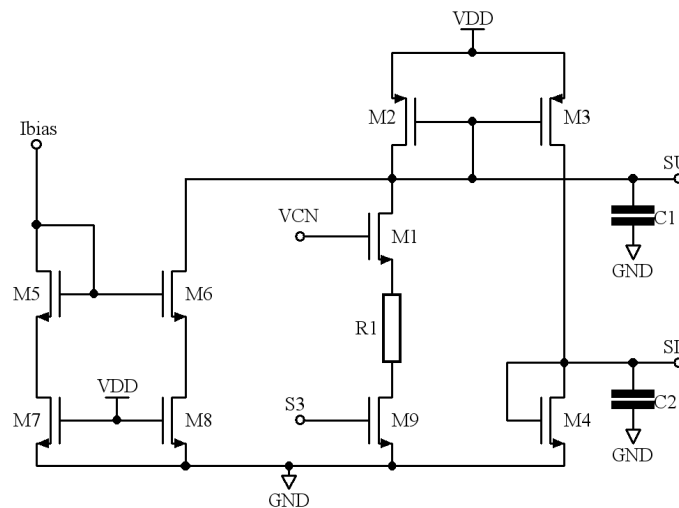
jemności pasożytnicze były jak najmniejsze. Odpowiednie umieszczenie buforów wyjściowych (tranzystory E) nie jest już tak krytyczne dla działania oscylatora, więc zostały one umieszczone poza główną częścią oscylatora.

Same inwertery sterowane połączone w pętlę z rysunku (3.25) to nie wszystko, co jest konieczne do wykonania generatora przestrajanego napięciem. Konieczny jest układ wytwarzający odpowiednie napięcia polaryzujące (ang. biasing), które sterują prądami ładowania i rozładowania w pierścieniu oscylatora. Schemat takiego układu przedstawiony jest na rysunku (3.29). Prezentowany układ nie różni się znacząco w stosunku do propozycji teoretycznej,



Rysunek 3.29: Uproszczony schemat układu polaryzującego inwertery

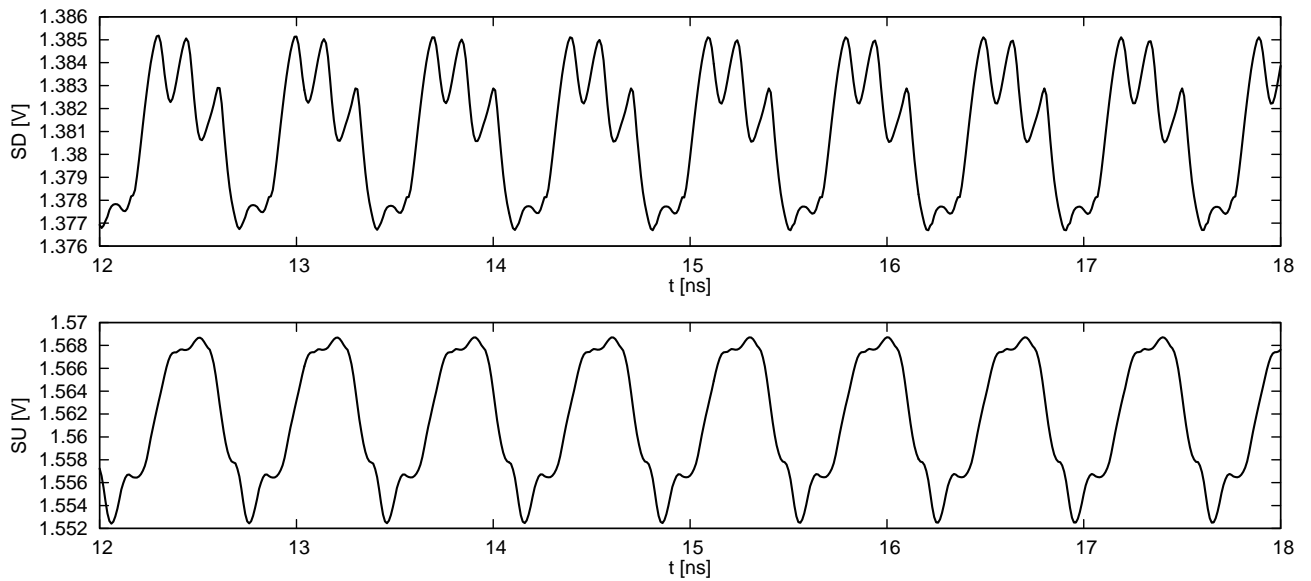
jednak zawiera kilka modyfikacji. W istocie składa się on z lustra prądowego wraz z kilkoma dodatkowymi tranzystorami. Tranzystor M1 o dużym stosunku W/L jest głównym elementem sterującym całego bloku polaryzacji, a co za tym idzie jest odpowiedzialny za ustawienie częstotliwości oscylacji VCO. Rezystor R1, zapięty między źródło M1 a masę, ustala wzmocnienie układu oraz zapewnia liniowy wzrost częstotliwości oscylatora wraz ze wzrostem napięcia sterującego podawanego na bramkę tranzystora M1 (wejście VCN). Tranzystory M2 i M3 pracują jako lustro prądowe odbijając prąd z M1 na tranzystor M4, zapięty w połączeniu diodowym. Takie połączenie pozwala wygenerować dwa potencjały sterujące pracą VCO. Tranzystory M2 i M4 zapewniają sterowanie prądowe odpowiednio tranzystorom PMOS i NMOS w inwerterach budujących łańcuch opóźniający oscylatora. Napięcia polaryzujące dostępne są na liniach SU i SD.



Rysunek 3.30: Pełny schemat układu polaryzującego inwertery

W praktyce wykorzystujemy bardziej skomplikowany układ widoczny na rysunku 3.30. Dodatkowe źródło prądowe z tranzystorami: M5, M6, M7, M8 wymusza przepływ niewielkiego prądu przez lustro M2-M3 i nie pozwala wyłączyć się tranzystorom, nawet w przypadku kiedy napięcie sterujące na wejściu VCN spadnie do 0 i tranzystor M1 będzie zatkany. Ustala się w ten sposób minimalna częstotliwość oscylacji generatora. To dodatkowe źródło prądowe pełni swoją rolę także w przypadku kiedy pracujący jako klucz tranzystor M9 jest wyłączony (VCO jest wyłączone) i prąd płynący przez M1 jest równy 0. Do wejścia Ibias wpływa prąd polaryzujący o wartości $5 \mu A$. Poprzez zmianę tego prądu możliwa jest niewielka zmiana częstotliwości minimalnej oscylatora, co jest konieczne dla skompensowania rozrzutów technologicznych elementów. Kondensatory C1 i C2 o wartości około $100 fF$ poprawiają stabilność napięć polaryzujących na liniach SU i SD. Podczas pracy oscylatora jego inwertery cyklicznie przełączają się, zaburzając poziomy stałe sygnałów SU i SD.

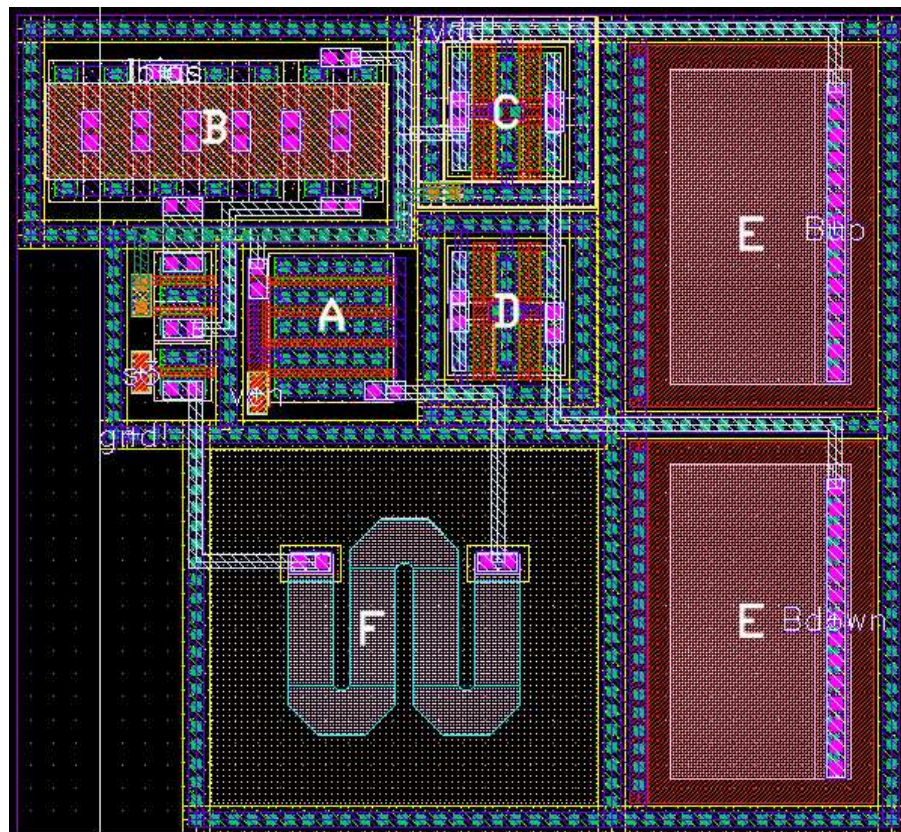
Na rysunku 3.31 pokazane są wahania napięć sterujących. Mieszczą się one w granicach $15 mV$ i zależą od wartości pojemności C1 i C2. Wartość $100 fF$ dla tych kondensatorów



Rysunek 3.31: Przebiegi napięć na liniach SU i SD

okazała się optymalna, gdyż wraz ze wzrostem pojemności reakcja oscylatora na zmianę napięcia sterującego staje się coraz wolniejsza, co niekorzystnie wpływa na synchronizację pętli fazowej w której pracuje VCO.

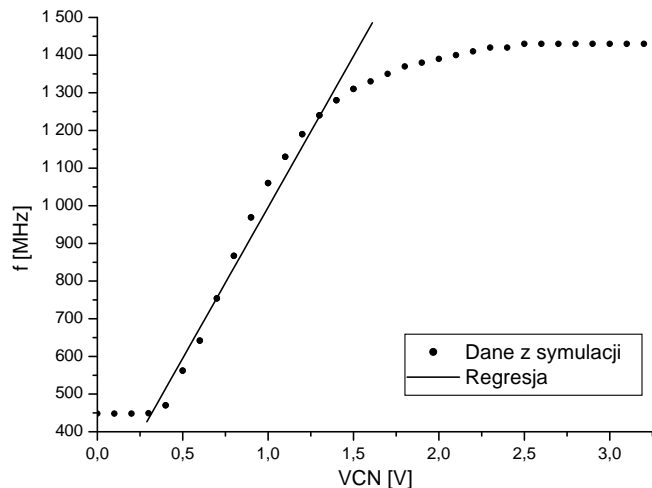
Maski technologiczne układu polaryzującego widoczne są na rysunku 3.32. Główny tran-



Rysunek 3.32: Projekt masek technologicznych układu polaryzującego ($40 \times 36 \mu\text{m}^2$)

zystor wejściowy M1, oznaczony jest na rysunku literą A i znajduje się możliwie blisko źródeł prądowych: B, C i D. Tranzystory M5 i M6 z rysunku 3.30 są reprezentowane na layoucie w formie wierszy tranzystorów B. Takie działanie zastępuje pojedynczy tranzystor matrycą mniejszych, połączonych równolegle, co pozwala rozmieścić je stosując geometrię wspólnego środka [28]. Rozrzuty technologiczne zmieniają wtedy oba tranzystory w źródle w podobny sposób, co poprawia działanie układu. Takie same zabiegi są zastosowane w przypadku tranzystorów M2 - M4, którym odpowiadają bloki C i D.

Wykres 3.33 przedstawia zależność częstotliwości pracy oscylatora od napięcia sterującego, dla symulacji układu nie uwzględniającej elementów pasozytniczych. Maksymalna częstotliwość pracy w tym przypadku wynosi 1.43 GHz , jest to jednak wartość niemożliwa do uzyskania w warunkach rzeczywistych.



Rysunek 3.33: Zależność częstotliwości pracy oscylatora od napięcia sterującego

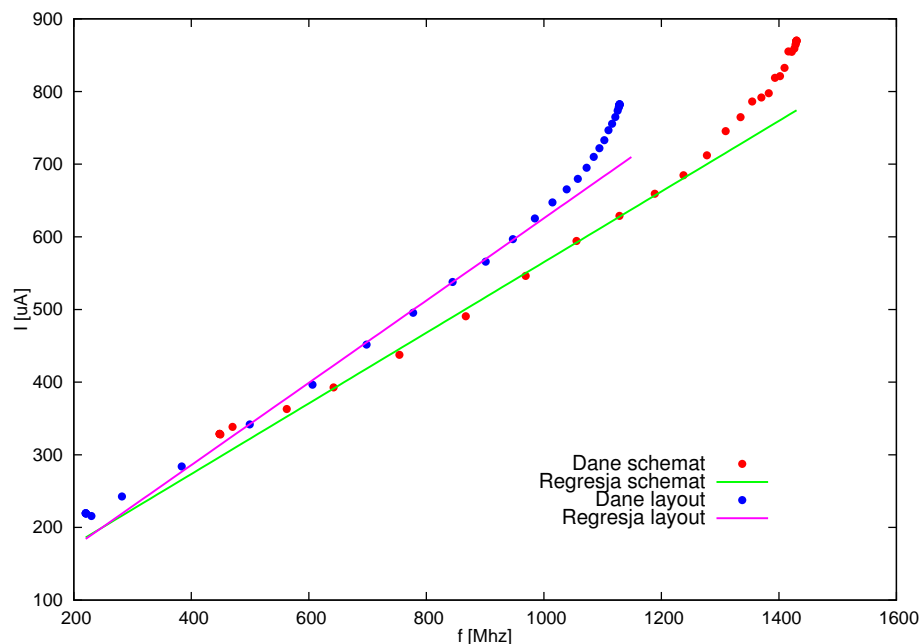
Ważnym parametrem oscylatora sterowanego napięciem jest jego wzmocnienie K_f wyrażone w MHz/V . Jest ono w tym przypadku współczynnikiem kierunkowym prostej dopasowanej do liniowego odcinka charakterystyki z rysunku 3.33. Dopasowane równanie prostej ma postać:

$$f = K_f \cdot VCN + b = 802.4 \left[\frac{MHz}{V} \right] \cdot VCN [V] + 194.1 [MHz] \quad (3.1)$$

Zatem odpowiedź oscylatora na napięcie sterujące jest w przybliżeniu liniowa w zakresie od $0.4V$ do $1.5V$, a wzmocnienie oscylatora wynosi:

$$K_f = 802.4 \frac{MHz}{V} \quad (3.2)$$

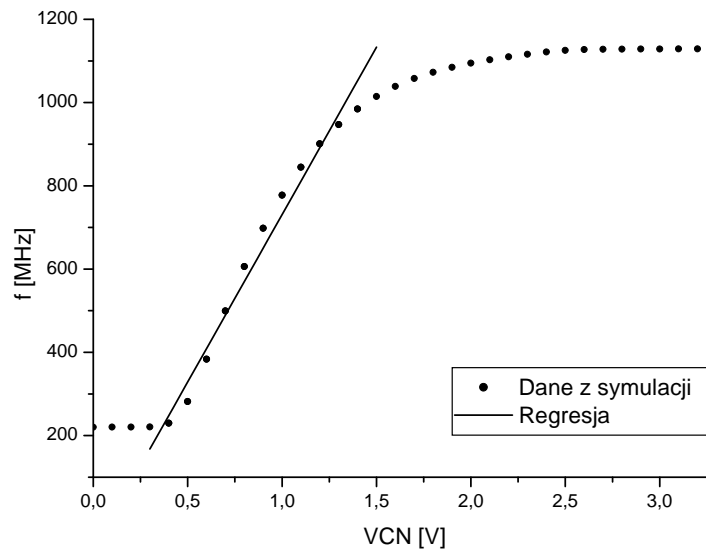
VCO jest układem cyfrowym, a zatem prąd jaki pobiera powinien zależeć liniowo od częstotliwości. Na wykresie 3.34 widać zależność poboru prądu generatora sterowanego od częstotliwości jego pracy dla dwóch symulacji, uwzględniającej oraz nie uwzględniającej elementów



Rysunek 3.34: Zależność poboru prądu oscylatora od częstotliwości

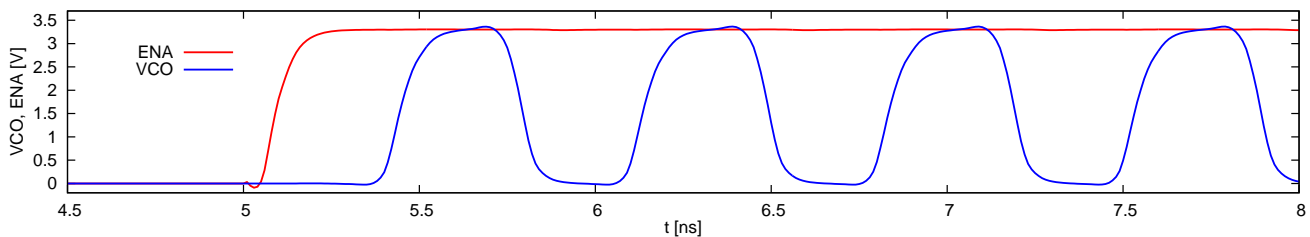
paszytniczych. Wykres przedstawia łączny pobór prądu dla oscylatora sterowanego (rysunek 3.25) wraz z układem polaryzującym (rysunek 3.30) obciążonego na wyjściu inwerterem o rozmiarach takich samych jak I7 (rysunek 3.25). Elementy paszytnicze mają wpływ na pobór prądu i przy częstotliwości 1 GHz oscylator pobiera około $60 \mu A$ więcej prądu. Jednostkowy pobór prądu rysuje się w granicach $0.486 \frac{\mu A}{MHz}$, a po uwzględnieniu elementów paszytniczych wartość ta osiąga $0.566 \frac{\mu A}{MHz}$. Kształt krzywej dla małych i średnich częstotliwości jest zbliżony do linii prostej zgodnie z przewidywaniami teoretycznymi. Dla najwyższych częstotliwości w obu przypadkach krzywa wygina się ku górze odbiegając od linii prostej. Jest to związane z szybkością przełączania inwerterów, a ta z kolei zależy od długości zbocza sygnału podawanego na wejście. Dla dużych częstotliwości zbocze sygnału stanowi jego istotną część, zatem przez długi okres czasu tranzystory w inwerterze są otwarte umożliwiając przepływ prądu między zasilaniem (VDD) a masą (GND).

Po narysowaniu masek technologicznych (layoutu) i uwzględnieniu w symulacjach elementów paszytniczych (R i C) parametry oscylatora uległy pogorszeniu, tzn. uwzględnione rezystancje połączeń między tranzystorami i wszelkie możliwe pojemności ścieżek spowodowały obniżenie maksymalnej częstotliwości pracy oscylatora. Wykres 3.35 przedstawia zależność częstotliwości pracy oscylatora od napięcia sterującego dla takiego przypadku. Maksymalna częstotliwość pracy wynosi 1.13 GHz i jest to wartość możliwa do uzyskania w praktyce, a ponieważ pętla fazowa ma synchronizować się na wartości 960 MHz to istnieje bezpieczny zapas częstotliwości, na wypadek ewentualnych rozrzutów technologicznych tranzystorów. Zakres częstotliwości generowanej przez VCO960 (220 – 1130 MHz) jest znacznie większy niż dla SVCO, ponieważ stało się to konieczne z punktu widzenia symulowanych rozrzutów technologicznych. Po wykonaniu symulacji Monte Carlo (losowe modyfikowanie parametrów tranzystorów) całej



Rysunek 3.35: Zależność częstotliwości pracy oscylatora od napięcia sterującego

pętli fazowej, dla niektórych przypadków synchronizacja pętli nie była możliwa ze względu na zmianę parametrów oscylatora. Zakres częstotliwości przestrajania VCO ulega przesunięciu (w górę lub w dół) i dla niektórych symulacji częstotliwość podstawowa znalazła się poza dopuszczalnym zakresem regulacji, co uniemożliwiło poprawną synchronizację pętli fazowej. Rozszerzenie zakresu generowanych częstotliwości umożliwia działanie układu dla większej liczby nie idealnych przypadków, które mogą zdarzyć się w praktycznym układzie ze względu na istnienie rozrzutów technologicznych tranzystorów. Wzmocnienie oscylatora oraz zakres liniowości nie ulegają zmianie po ekstrakcji elementów pasożytniczych. Nachylenie krzywej jest takie samo jak na rysunku 3.33, zmienił się natomiast offset częstotliwości.

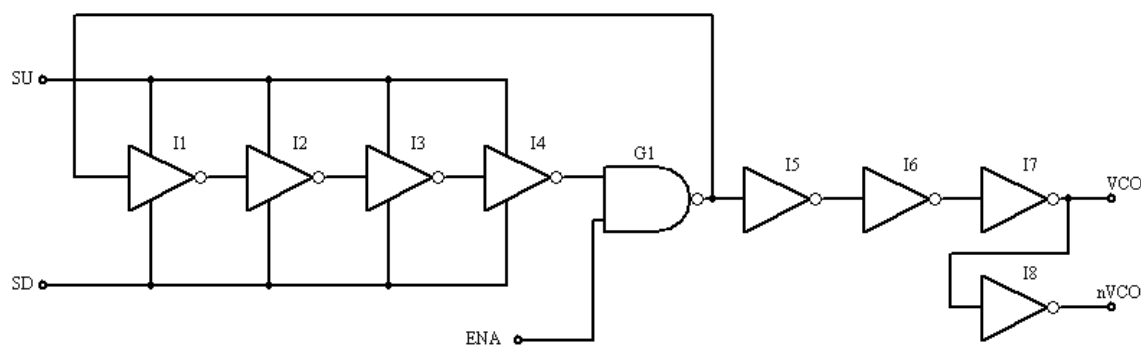


Rysunek 3.36: Opóźnienie startu oscylatora po ustawieniu sygnału startu (ENA)

Wykres 3.36 przedstawia zależność czasową między ustawieniem sygnału startu (ENA) w stan wysoki a rozpoczęciem oscylacji. W idealnych warunkach zbocze narastające pojawiające się na linii ENA powinno pokrywać się z pierwszym zboczem narastającym na wyjściu oscylatora. W praktyce nie jest to możliwe gdyż czas propagacji bramek logicznych nie jest równy 0. W opracowanym układzie oscylacje rozpoczynają się po czasie 446 ps od chwili wystawienia stanu wysokiego na wejściu ENA oscylatora.

3.4.2 Oscylator sterowany 480MHz/240MHz/120MHz (SVCO)

Drugim oscylatorem sterowanym potrzebnym do działania projektowanego transceivera jest sterowany generator przełączany. Projekt jest mniej krytyczny niż VCO960 i mniej zależy od pojemności pasożytniczych, ponieważ częstotliwości pracy są istotnie niższe. SVCO jest za to bardziej złożony niż jego szybszy odpowiednik, gdyż pozwala pracować na trzech różnych częstotliwościach podstawowych (480MHz, 240MHz i 120MHz). Różne zakresy oscylatora realizowane są za pomocą układu polaryzacji, poprzez sterowanie napięciami SU i SD w trzech różnych przełączanych zakresach. Zostanie to dokładnie przedstawione w dalszej części pracy.

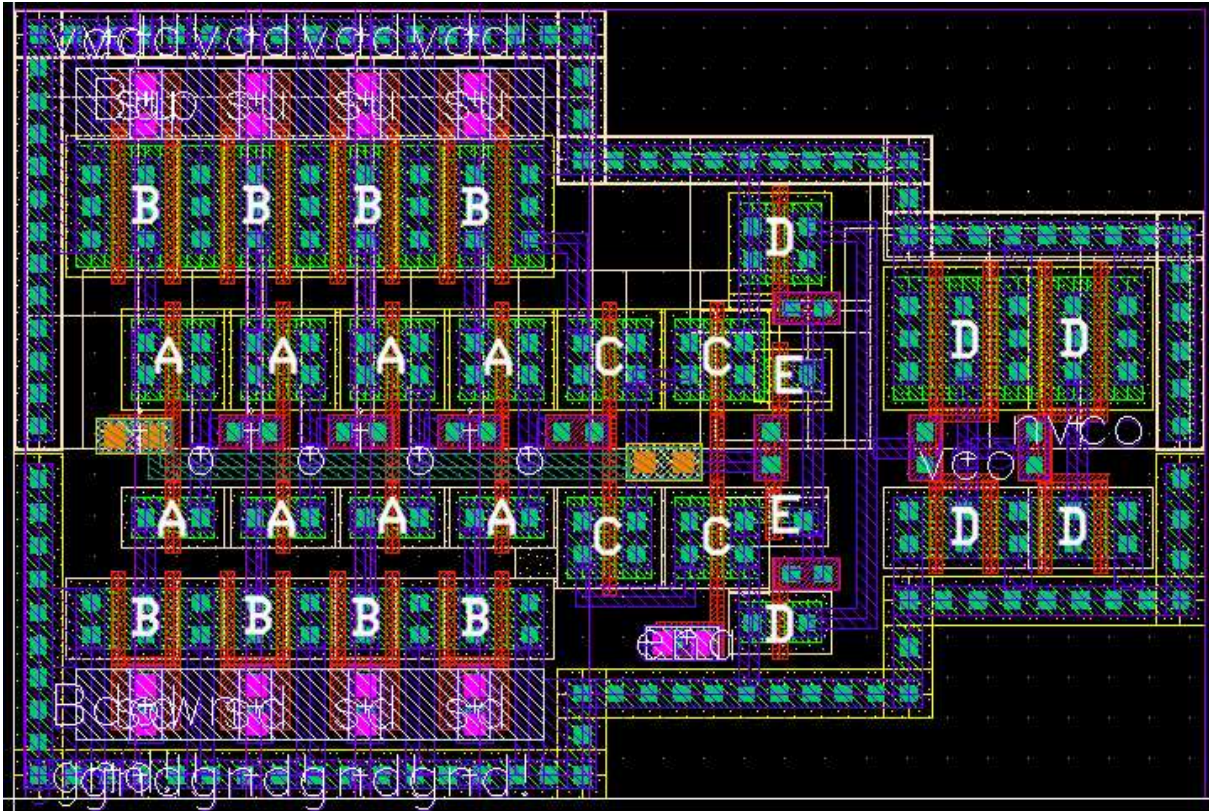


Rysunek 3.37: Schemat oscylatora wielozakresowego SVCO

Rysunek 3.37 przedstawia schemat oscylatora wielozakresowego. W tym przypadku wszystkie cztery inwertery I1 - I4 sterują opóźnieniem, gdyż nie ma tutaj tak dużych wymagań na szybkość działania i układ nie musi pracować na granicy możliwości. Sterowanie wszystkich czterech inwerterów poprawia jednocześnie możliwości regulacji generowanej częstotliwości. Sam łańcuch oscylatora nie ma żadnych przełączanych zakresów pracy, a jedynie szeroki zakres regulacji poprzez sterowanie wejść SU i SD (zakresy realizuje układ polaryzujący). Podobnie jak w przypadku VCO960 przebieg wyjściowy kształtowany jest przez trzy bufory-inwertery (I5 - I7), z uwzględnieniem odpowiedniego skalowania wielkości. Po wyjściu z I5 sygnał jest zniekształcony i nie osiąga pełnego zakresu dynamicznego, dopiero po dwóch kolejnych inwerterach kondycjonujących przebieg uzyskuje miano sygnału prostokątnego o odpowiednio stromych zboczach. Dzięki temu bezproblemowe staje się wysterowanie kolejnych stopni za oscylatorem i częstotliwość nie zależy od obciążenia na wyjściu.

Maski technologiczne dla opisywanego oscylatora prezentują się podobnie jak w przypadku VCO960. Najbardziej kluczowe dla działania oscylatora tranzystory inwerterów sterowanych znajdują się w centrum przedstawionego fragmentu layoutu (oznaczone literą A) na rysunku 3.38.

Łańcuch opóźniający w przełączanym oscylatorze zawiera cztery jednakowe bloki inwerterów sterowanych, dzięki czemu możliwa jest bardziej zwarta budowa niż w przypadku VCO960. Każdy z tranzystorów w źródłach prądowych inwerterów (elementy B) składa się w istocie z dwóch tranzystorów połączonych równolegle. Tranzystory te leżą na tyle blisko siebie, że jest

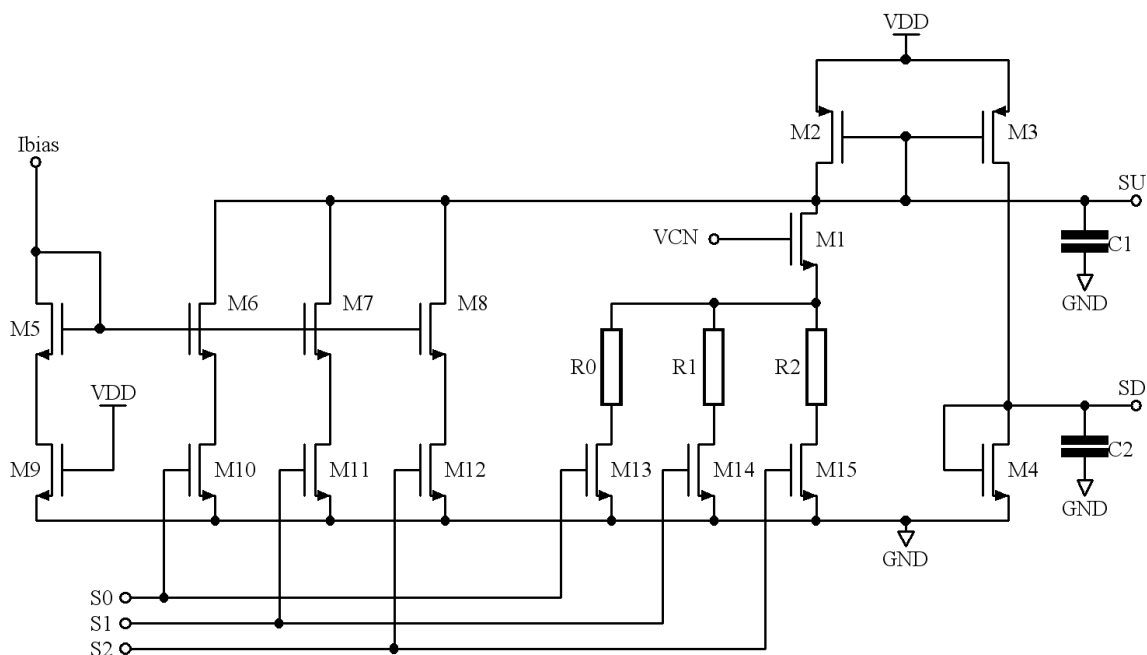


Rysunek 3.38: Maski technologiczne oscylatora wielozakresowego SVCO ($30 \times 20 \mu\text{m}^2$)

możliwość zastosowania wspólnych kontaktów do źródeł dla każdej pary sąsiadujących ze sobą elementów. Bramka NAND z tranzystorami C ma w przypadku SVCO wszystkie jednakowe tranzystory, ponieważ czas startu oscylatora nie jest już tak bardzo istotny w stosunku do okresu przebiegu. Tranzystory E realizują pierwszy (najmniejszy) inwerter z buforów wyjściowych i znajdują się one jak najbliżej bramki NAND. Pozostałe bufory oraz dodatkowy inwerter wyjściowy oznaczone są symbolem D, a ich ułożenie nie jest tak istotne jak pozostałych tranzystorów.

Podobnie jak w przypadku VCO960 sama pętla inwerterów sterowanych nie tworzy kompletnego oscylatora. Tutaj także potrzebny jest układ wytwarzający odpowiednie napięcia polaryzujące (ang. biasing), które sterują inwerterami w łańcuchu oscylatora. Pełny schemat takiego układu przedstawiony jest na rysunku 3.39.

Układ polaryzacji składa się z zespołu luster prądowych, przełączanych tranzystorami pracującymi w roli klucza. Tranzystor M1 o dużym stosunku W/L jest głównym elementem sterującym całego bloku i jest odpowiedzialny za ustawienie częstotliwości oscylacji VCO w ramach jednego zakresu pracy. Częstotliwość oscylacji rośnie wraz ze wzrostem napięcia na wejściu VCN. Rezystory R0, R1 i R2 ustalają wzmocnienie oscylatora, a ich wartości dobrane są na drodze symulacji. Jednocześnie dają one liniową charakterystykę regulacji oscylatora. W danej chwili włączony jest tylko jeden z tranzystorów M13 do M15, realizując jeden z trzech trybów pracy oscylatora. Tranzystory te pracują jako klucze, a zatem znajdują się tylko w dwóch sta-

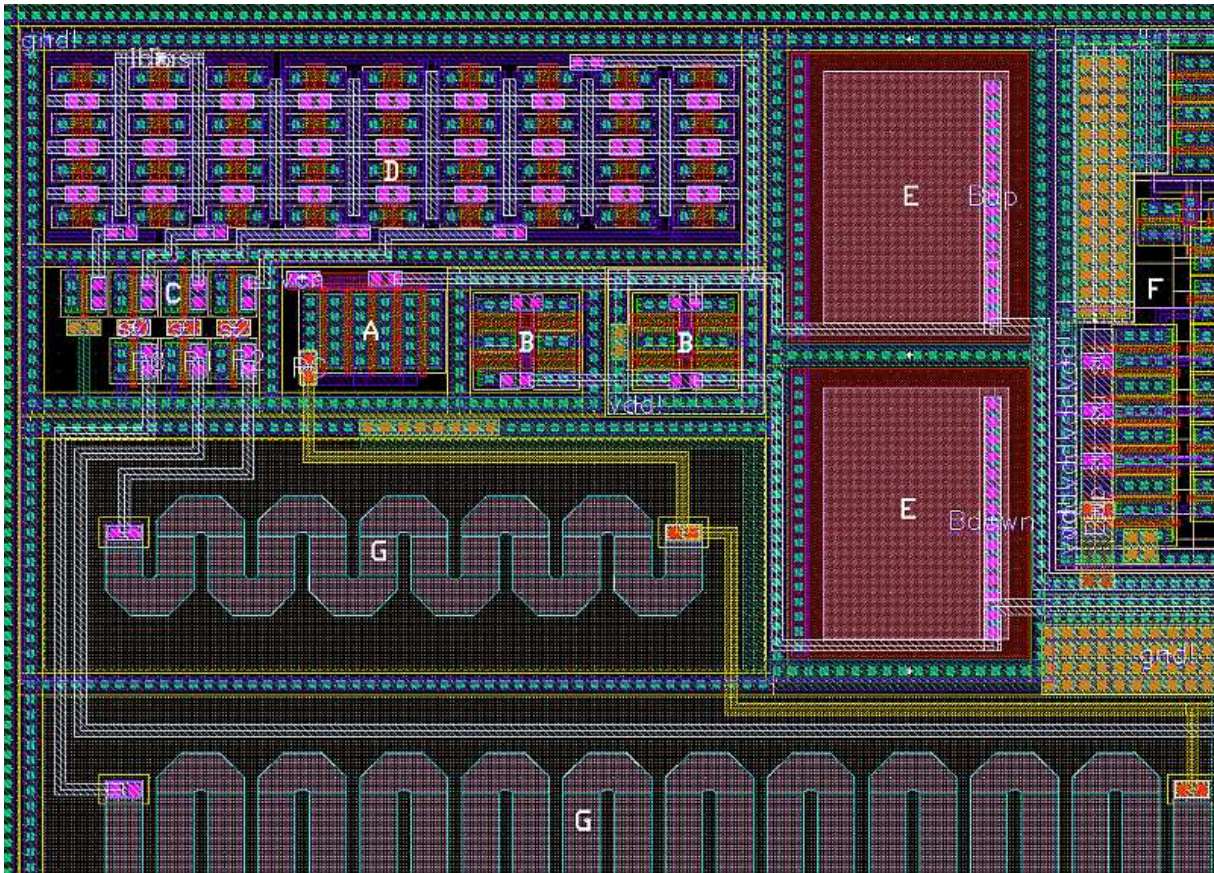


Rysunek 3.39: Pełny schemat układu polaryzującego inwertery

nach logicznych (przewodzi, nie przewodzi). Na bramki M13, M14 i M15 podawane są cyfrowe sygnały sterujące S0, S1 i S2, których ustawieniem zajmuje się specjalny układ logiczny opisany dalej. Jednocześnie te same sygnały cyfrowe sterują tranzystory (klucze) M10, M11 i M12, które przełączają sterowane źródło prądowe na tranzystorach M5 do M8. Każdy z tranzystorów M5 do M8 stanowi w istocie matrycę składającą się różnej liczby odpowiednio połączonych NMOS'ów. Takie rozwiązanie daje możliwość skokowej zmiany stałego prądu jaki przepływa przez M2 w chwili gdy tranzystor M1 jest odcięty i pozwala tym samym ustalić minimalną częstotliwość oscylacji dla każdego z trybów pracy. Przykładowo, gdy oscylator ma pracować w trybie 480 MHz, sygnał S2 przyjmuje stan wysoki, a pozostałe sygnały S0 i S1 są w stanie niskim. Powoduje to przewodzenie kluczy M12 i M15, a tym samym podłączenie rezystora R2 do tranzystora głównego M1 i stworzenie lustra prądowego z tranzystorów M5 i M8, mnożącego odpowiednio stały prąd polaryzujący Ibias. Tranzystor M9 wyrównuje warunki pracy źródła prądowego M5-M8.

Tranzystory M2, M3 i M4 działają analogicznie jak w przypadku VCO960 i odbijają prąd z tranzystora głównego M1. Daje to w efekcie, poprzez M2 i M4, sterowanie prądowe odpowiednio tranzystorom PMOS i NMOS w inwerterach budujących łańcuch opóźniający oscylatora. Napięcia polaryzujące dostępne są na liniach SU i SD.

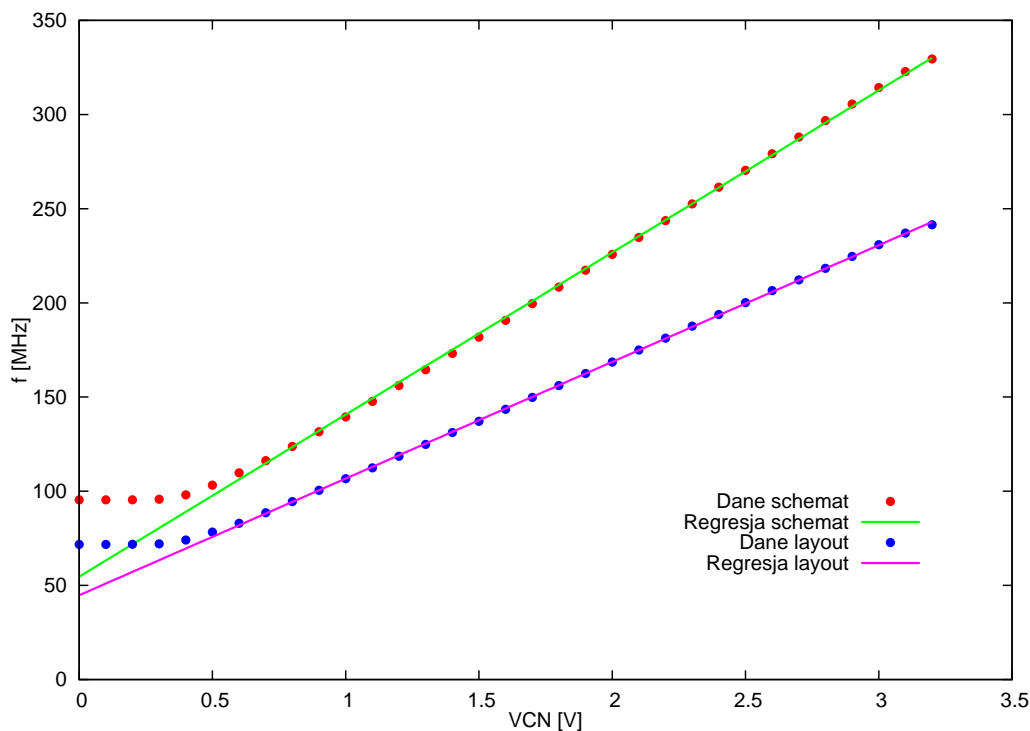
Najważniejszy fragment masek technologicznych układu polaryzującego przedstawiony jest na rysunku 3.40. Główny tranzystor wejściowy M1 oznaczony jest na rysunku symbolem A. Tranzystory wchodzące w skład sterowanego źródła prądowego znajdują się w obrębie fragmentu oznaczonego literą D. Nie da się tutaj wyróżnić pojedynczych elementów gdyż tranzystory źródła narysowane są w postaci matrycy składającej się z wielu małych tranzystorów. Dodat-



Rysunek 3.40: Fragment masek technologicznych układu polaryzującego ($60 \times 46 \mu\text{m}^2$)

kowo elementy składowe jednego tranzystora przeplatają się z elementami drugiego aby spełnić w jak najlepszym stopniu zasadę geometrii wspólnego środka i zminimalizować tym samym wpływ rozrzutów technologicznych elementów [28]. Podobnie narysowane jest źródło prądowe z tranzystorami M2, M3 i M4 widoczne na rysunku jako bloki B. Sześć tranzystorów pracujących jako klucze, wraz z dodatkowym tranzystorem M9, wyrównującym warunki pracy źródła (na stałe podłączonym do VDD), widać na layoucie jako fragment oznaczony literą C. Elementy pasywne (kondensatory filtrujące linie SU, SD i rezystory ustalające wzmocnienie VCO) zostały oznaczone jako bloki E i G. Widoczny z prawej strony rysunku blok F to fragment łańcucha inwerterów sterowanych dla którego przeznaczony jest opisywany układ polaryzacji.

Wykres 3.41 przedstawia zależność częstotliwości pracy oscylatora od napięcia sterującego dla trybu pracy 120 MHz. Górna krzywa, wraz z dopasowaną prostą, odpowiada symulacjom nie uwzględniającym elementów pasożytniczych (symulacje schematu), natomiast dolna krzywa uwzględnia ekstrakcję pojemności i rezystancji po narysowaniu layoutu. Symulacje z uwzględnieniem elementów pasożytniczych dają zakres regulacji częstotliwości od 72 MHz do 241 MHz, przy czym częstotliwość podstawowa uzyskiwana jest dla napięcia około 1.25 V. Wzmocnienie oscylatora K_f wyrażone w MHz/V jest współczynnikiem kierunkowym prostej dopasowanej do liniowego odcinka charakterystyki z rysunku 3.41. Równanie tej prostej wyraża



Rysunek 3.41: Zależność częstotliwości pracy oscylatora (120 MHz) od napięcia sterującego

się zależnością:

$$f = K_f \cdot VCN + b \quad (3.3)$$

Gdy nie uwzględnimy elementów pasożytniczych w symulacjach to równanie to przyjmie postać:

$$f = 86.1 \left[\frac{MHz}{V} \right] \cdot VCN [V] + 54.6 [MHz] \quad (3.4)$$

Odpowiedź oscylatora na napięcie sterujące jest liniowa w szerokim zakresie od 0.5 V do 3.3 V, a wzmacnienie wynosi:

$$K_f = 86.1 \frac{MHz}{V} \quad (3.5)$$

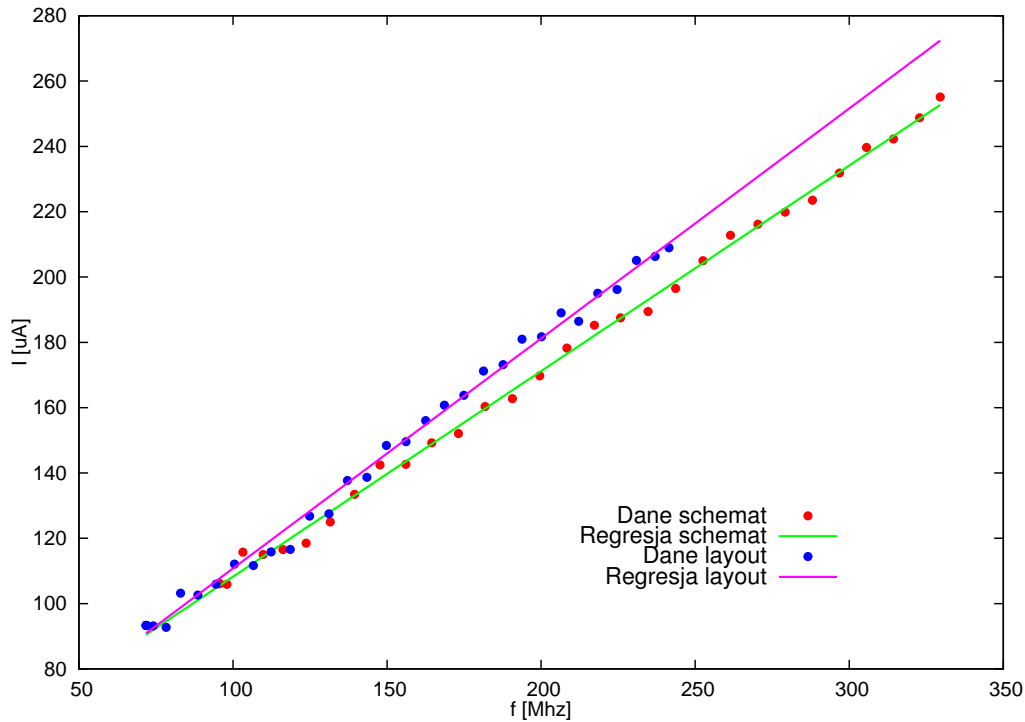
Po narysowaniu masek technologicznych oraz ekstrakcji pojemności i rezystancji pasożytniczych, równanie dopasowanej prostej przyjmuje postać:

$$f = 61.9 \left[\frac{MHz}{V} \right] \cdot VCN [V] + 44.8 [MHz] \quad (3.6)$$

Zakres liniowości jest taki sam jak w poprzednim przypadku z tym, że wzmacnienie wynosi teraz:

$$K_f = 61.9 \frac{MHz}{V} \quad (3.7)$$

Jest to efekt obniżenia się maksymalnej częstotliwości oscylacji, wynikający z konieczności przeładowania pojemności pasożytniczych. Pobór prądu oscylatora w zależności od częstotliwości pracy przedstawia wykres 3.42. Przy pomiarze poboru prądu został uwzględniony cały łańcuch oscylatora wraz z układem polaryzującym oraz obciążeniem na wyjściu w postaci dodatkowego inwertera.



Rysunek 3.42: Zależność poboru prądu od częstotliwości pracy oscylatora (120 MHz)

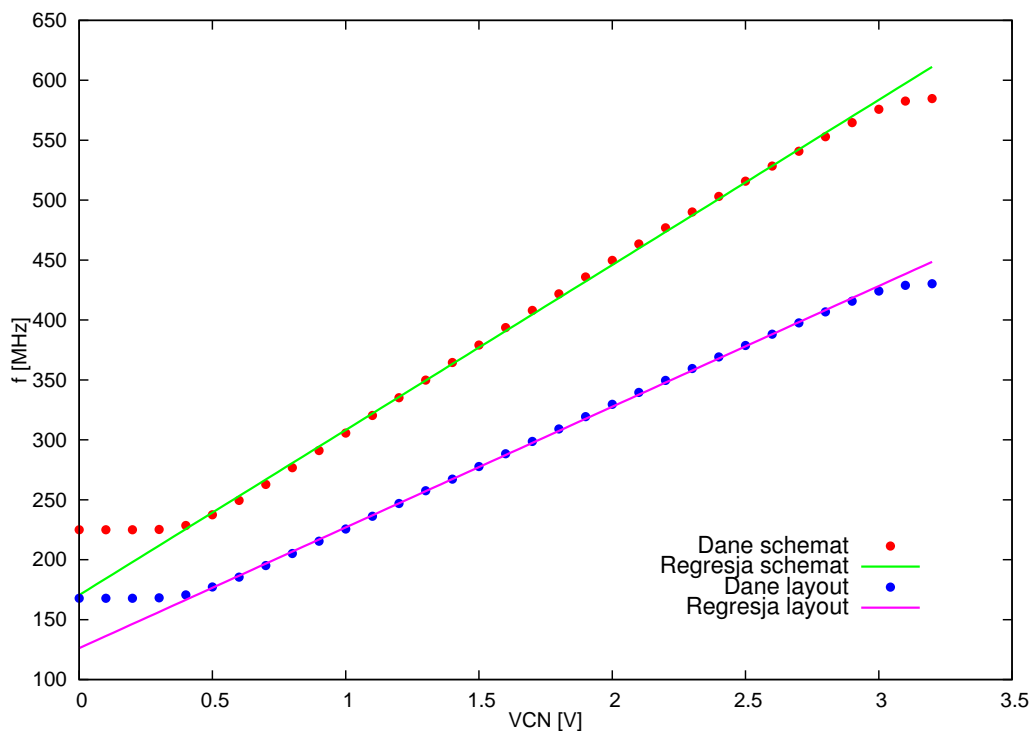
Prąd pobierany przez oscylator skaluje się dokładnie liniowo z częstotliwością jego pracy, czego można było się spodziewać na podstawie przewidywań teoretycznych [2]. Po uwzględnieniu elementów pasożytniczych pobór prądu wzrasta, ze względu na przeładowanie dodatkowych pojemności w układzie. Jednostkowy pobór prądu wyrażony w $\mu A/MHz$ jest współczynnikiem kierunkowym prostej dopasowanej do danych na wykresie 3.42. SVCO pracujące w trybie 120 MHz pobiera prąd o wartości $0.629 \frac{\mu A}{MHz}$, a po uwzględnieniu elementów pasożytniczych jest to wartość równa $0.704 \frac{\mu A}{MHz}$. Dla częstotliwości 200 MHz daje to różnice w poborze prądu rzędu $10 \mu A$.

Wykres 3.43 przedstawia zależność częstotliwości pracy oscylatora od napięcia sterującego dla trybu pracy 240 MHz. Podobnie jak w poprzednim przypadku, górna krzywa odpowiada symulacjom nie uwzględniającym elementów pasożytniczych, natomiast dolna krzywa jest wynikiem symulacji po narysowaniu layoutu. W drugim przypadku daje to zakres regulacji częstotliwości od 168 MHz do 430 MHz, przy czym częstotliwość podstawowa uzyskiwana jest dla napięcia około 1.13 V. Odpowiedź oscylatora na napięcie sterujące jest liniowa w szerokim zakresie od 0.5 V do 3 V. Wzmocnienie oscylatora dla przypadku z pominięciem wpływu elementów pasożytniczych wynosi:

$$K_f = 137.7 \frac{MHz}{V} \quad (3.8)$$

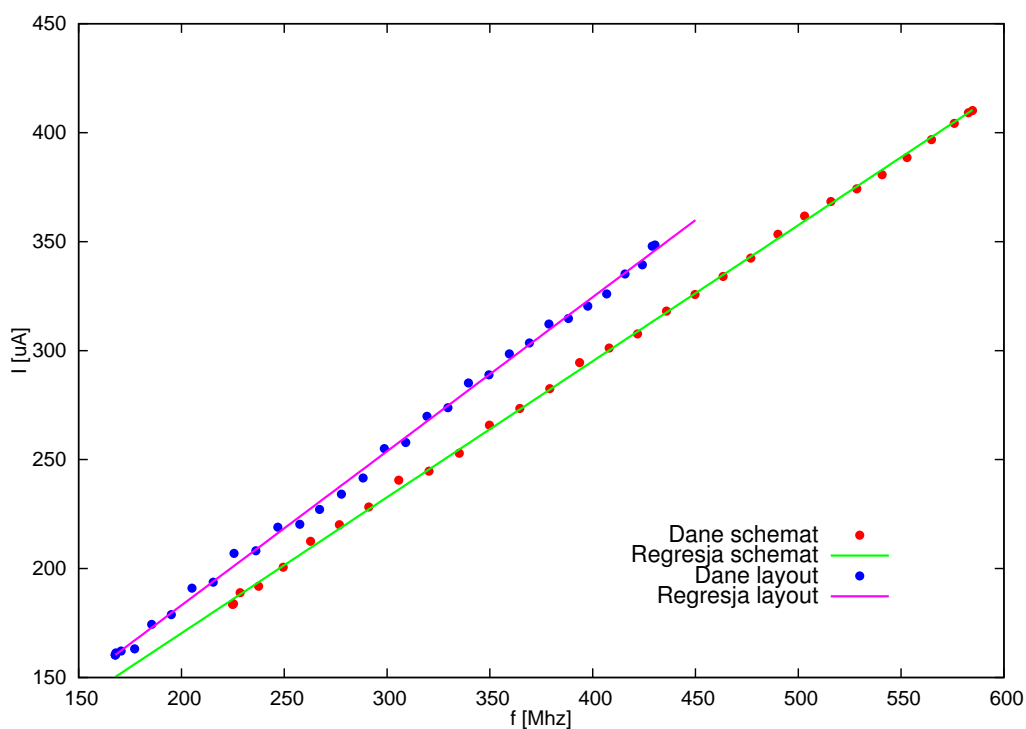
Po narysowaniu masek technologicznych zakres liniowości zostaje taki sam jak w poprzednim przypadku ale wzmocnienie wynosi teraz:

$$K_f = 100.7 \frac{MHz}{V} \quad (3.9)$$



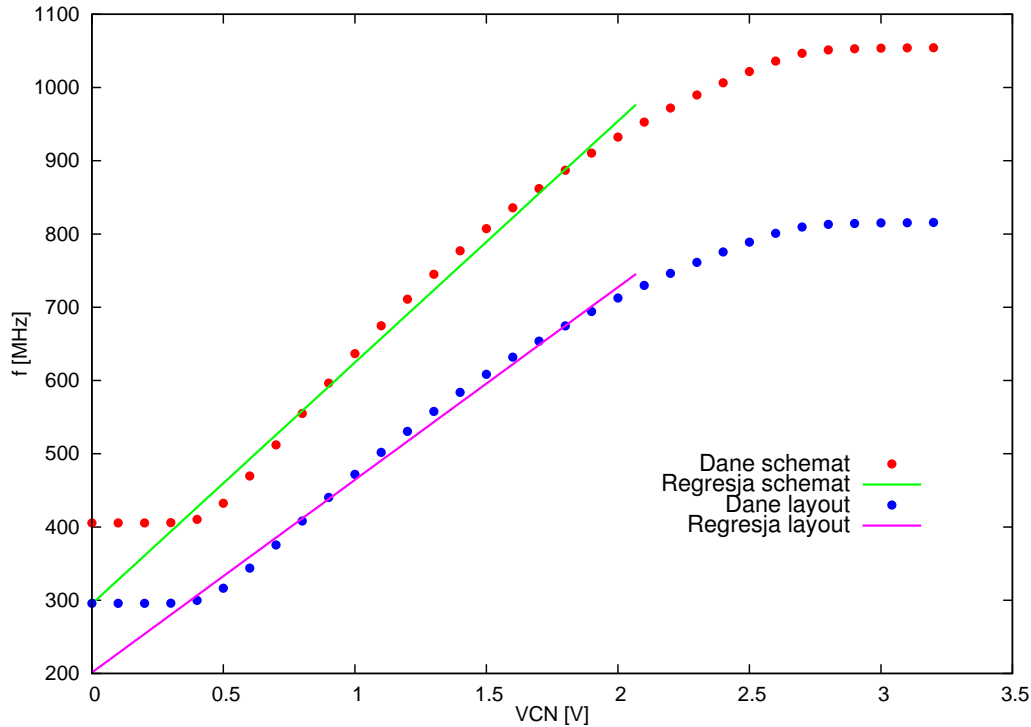
Rysunek 3.43: Zależność częstotliwości pracy oscylatora (240 MHz) od napięcia sterującego

Pobór prądu oscylatora w zależności od częstotliwości pracy przedstawia wykres 3.44. Przy pomiarze poboru prądu został uwzględniony cały łańcuch oscylatora wraz z układem polaryzującym oraz obciążeniem na wyjściu w postaci dodatkowego inwertera. Podobnie jak w poprzednim przypadku prąd pobierany przez oscylator skaluje się dokładnie liniowo z częstotliwością



Rysunek 3.44: Zależność poboru prądu od częstotliwości pracy oscylatora (240 MHz)

jego pracy. Po uwzględnieniu elementów pasożytniczych pobór prądu wzrasta. Oscylator pracujący w trybie 240 MHz pobiera prąd o wartości $0.624 \frac{\mu A}{MHz}$, a po uwzględnieniu elementów pasożytniczych jest to wartość równa $0.707 \frac{\mu A}{MHz}$. Dla częstotliwości 400 MHz daje to różnice w poborze prądu rzędu $30 \mu A$.



Rysunek 3.45: Zależność częstotliwości pracy oscylatora (480 MHz) od napięcia sterującego

Wykres 3.45 przedstawia zależność częstotliwości pracy oscylatora od napięcia sterującego dla trybu pracy 480 MHz. Zakres regulacji częstotliwości po uwzględnieniu elementów pasożytniczych mieści się w granicach od 296 MHz do 815 MHz, a częstotliwości podstawowej odpowiada napięcie około 1.06 V. Oscylator działa liniowo zakresie od 0.5 V do 3 V, a wzmocnienie, gdy nie uwzględnimy elementów pasożytniczych, wynosi:

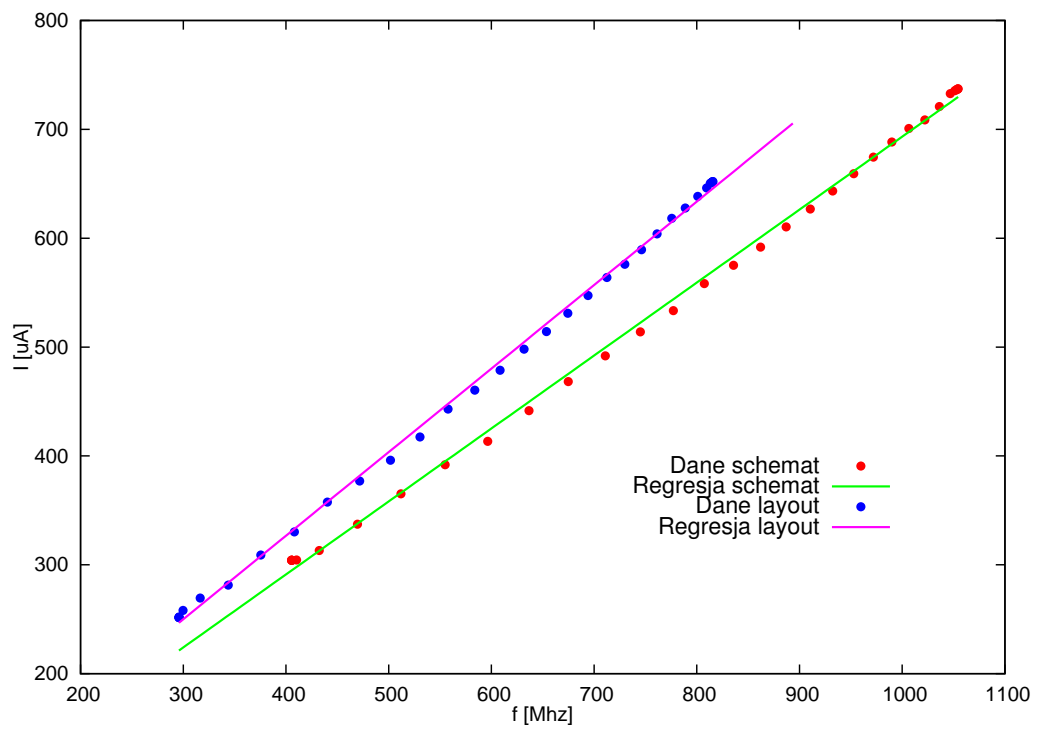
$$K_f = 329.5 \frac{MHz}{V} \quad (3.10)$$

Po narysowaniu masek technologicznych wzmocnienie wynosi:

$$K_f = 263.0 \frac{MHz}{V} \quad (3.11)$$

Pobór prądu oscylatora w zależności od częstotliwości pracy przedstawia wykres 3.46. Przy pomiarze poboru prądu został uwzględniony cały łańcuch oscylatora wraz z układem polaryzującym oraz obciążeniem na wyjściu w postaci dodatkowego inwertera.

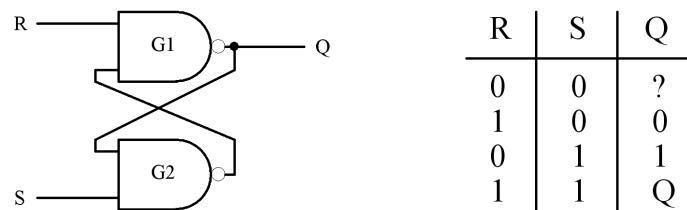
Oscylator pracujący w trybie 480 MHz pobiera prąd o wartości $0.670 \frac{\mu A}{MHz}$, a po uwzględnieniu elementów pasożytniczych pobór prądu wzrasta do wartości $0.767 \frac{\mu A}{MHz}$. Dla częstotliwości 700 MHz daje to różnicę w poborze prądu rzędu $65 \mu A$. Wartości jednostkowego poboru prądu dla trybu 480 MHz różni się nieznacznie od analogicznych wartości dla dwóch wolniejszych trybów pracy.



Rysunek 3.46: Zależność poboru prądu od częstotliwości pracy oscylatora (480 MHz)

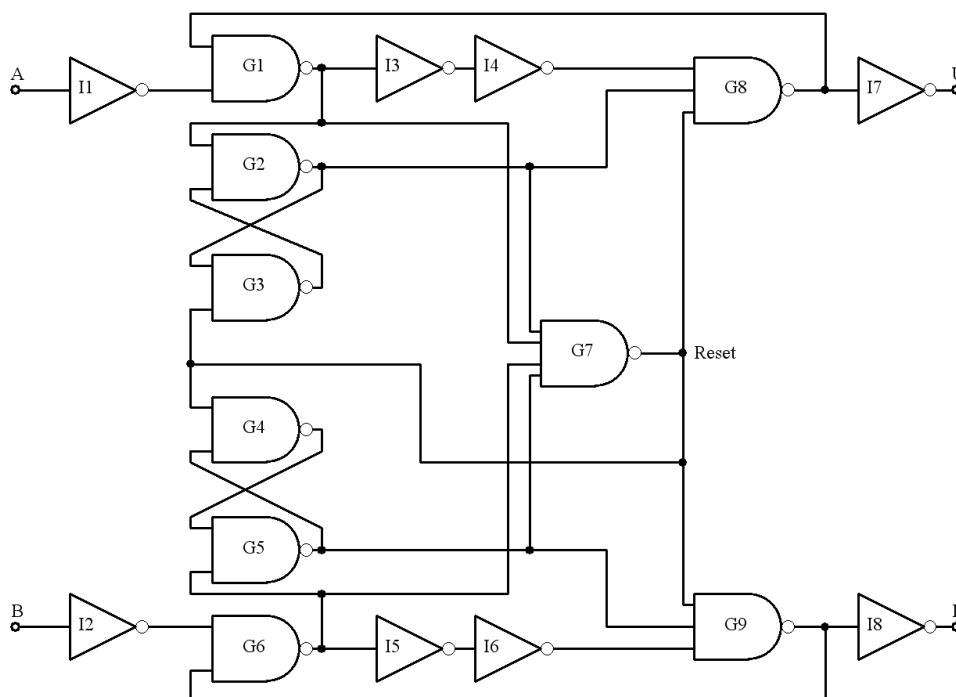
3.5 Detektor fazy i częstotliwości (PFD)

Detektor fazy i częstotliwości jest jednym z najważniejszych układów wchodzących w skład pętli fazowej, a ta z kolei w opracowywanym układzie pełni rolę układu do syntezy i stabilizacji częstotliwości. Od parametrów zastosowanego detektora fazy i kształtu generowanych przez niego impulsów zależy w dużej mierze stabilność działania pętli fazowej. Zgodnie z rozważaniami teoretycznymi zawartymi w podrozdziale 2.4.3 prosty detektor fazy i częstotliwości składa się w istocie z dwóch przerzutników i bramki NAND. Aby wytłumaczyć działanie praktycznej



Rysunek 3.47: Najprostszy zatrzaśki zbudowany na bramkach NAND, wraz z tabelą prawdy

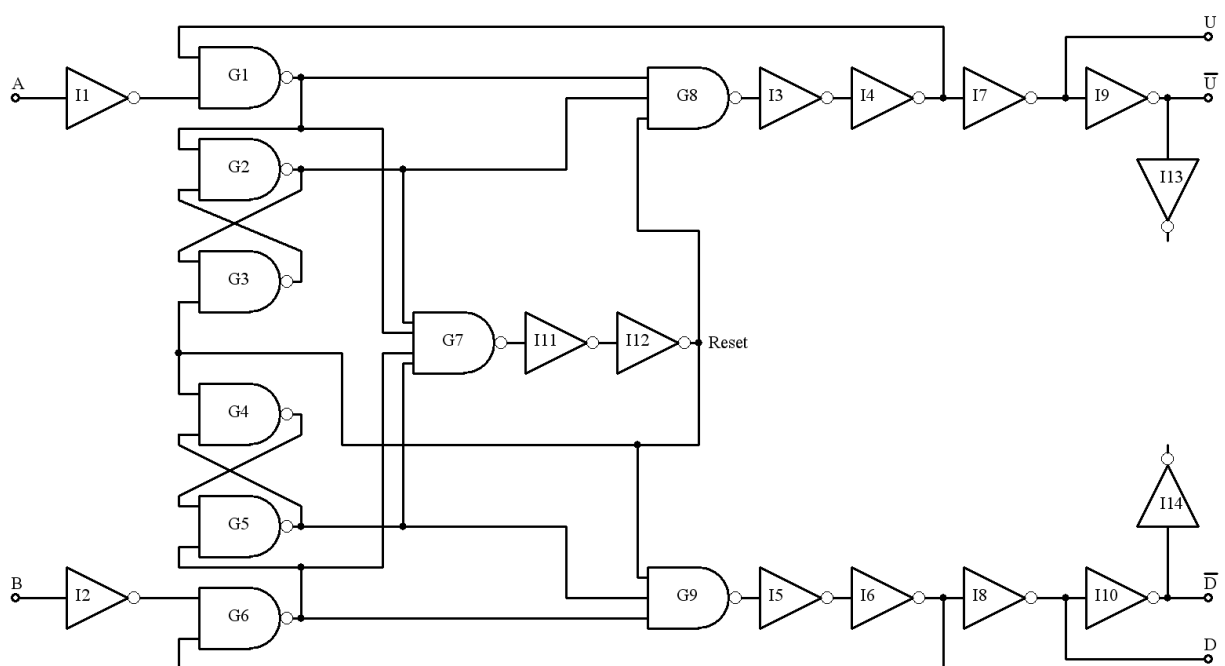
realizacji PFD z rysunku 3.48, trzeba najpierw zrozumieć działanie najprostszego zatrzaśki (elementu pamiętającego) na bramkach NAND przedstawionego na rysunku 3.47. Gdy sygnał R jest w stanie wysokim, a S w niskim to na wyjściu Q pojawi się stan niski. Bramka G2 wystawia wtedy na swoim wyjściu stan wysoki, a G1 stan niski i układ jest zatrzaśnięty w stabilnym położeniu. Taka sama sytuacja jest gdy S jest w stanie wysokim a R w niskim, z tym że wyjście Q jest w stanie wysokim. Gdy oba wejścia S i R są w stanie wysokim to układ działa jak komórka pamięci, przechowując ostatnio ustawiony stan. Stan $S = R = 0$ to kombinacja



Rysunek 3.48: Schemat detektora fazy i częstotliwości [21]

zabroniona i nie powinna być ustawiana.

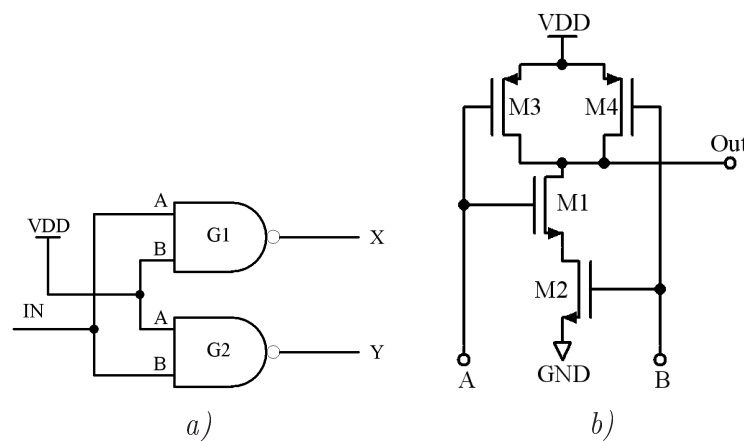
Na rysunku 3.48 widać schemat praktycznej realizacji (zastosowanej w projektowanym chipie) detektora fazy i częstotliwości. Bramki G2 i G3 tworzą pierwszy zatrząsk, podobnie jak bramki G4 i G5. Układ resetu zrealizowany jest za pomocą bramki G7. W stanie spoczynku ($A=0, B=0, U=0$ oraz $D=0$) na wyjściu G7 panuje stan wysoki, podobnie jak na wyjściach bramek G2 i G5 oraz G8 i G9. Ponieważ sygnał na wejściach danych A i B jest w stanie niskim to poprzez inwertery I1 oraz I2 bramki G1 i G6 ustawią na swoich wyjściach stany niskie, podtrzymując jednocześnie stabilny stan logiczny na wyjściach zatrząsków i bramkach G8 i G9. Cały układ pozostaje w takim stanie do momentu zmiany poziomu logicznego na jednym z wejść A lub B. Gdy wejście A zmieni swój stan na wysoki, to bramka G1 przejdzie również w stan wysoki, powodując za pośrednictwem G8 i inwertera I7 ustawienie sygnału $U = 1$. Przerzutnik G2-G3 przejdzie do trybu pracy jako komórka pamięci i układ znowu znajduje się w stabilnym stanie, oczekując na pojawienie się sygnału wysokiego na wejściu B. Gdy taka sytuacja wystąpi układ zachowa się podobnie jak dla wejścia A. Bramka G6 przyjmie stan wysoki, ustawiając za pomocą G9 sygnał wysoki na wyjściu D. Taki stan potrwa jednak bardzo krótko i jest zależny od czasu propagacji bramki G7, gdyż wszystkie 4 jej wejścia są teraz w stanie wysokim i jej wyjście momentalnie przyjmie stan niski, dając sygnał resetu. Bramki G8 i G9 zostają odcięte a wyjścia U i D powracają do stanu niskiego. Jednocześnie sygnał resetu ustawia oba zatrząski G2-G3 oraz G4-G5 w przeciwny stan. Niskie poziomy logiczne panujące teraz na wyjściach G2 oraz G5, blokują bramki G8 i G9, znosząc jednocześnie niski stan sygnału resetu, co pozwala zatrząskom pracować w trybie komórek pamięci. Detektor fazy pracuje teraz znowu w stabilnym trybie pracy, oczekując aż pojawienie się niskiego poziomu na wejściu A, ustawi bramkę



Rysunek 3.49: Schemat detektora fazy i częstotliwości z wprowadzonymi modyfikacjami

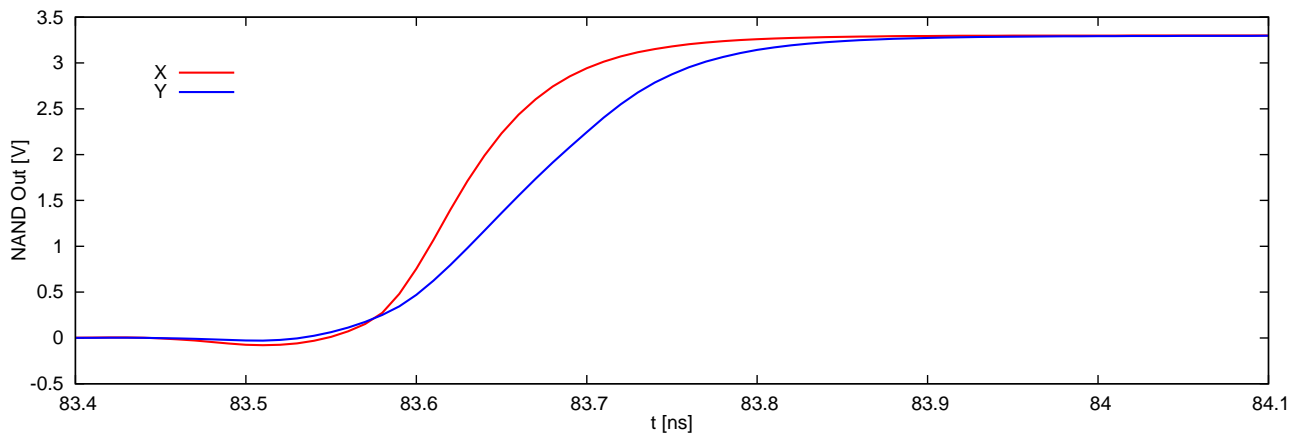
G1 w stan niski i zresetuje zatrask G2-G3 do stanu początkowego. Gdy sygnał na wejściu B także przejdzie do stanu niskiego to zatrask G4-G5 zmieni swój stan na przeciwny i cały układ detektora fazy i częstotliwości znajdzie się w stanie początkowym i cały cykl pracy może zacząć się od początku. Układ jest symetryczny, a zatem gdy najpierw pojawi się sygnał na wejściu B to impuls o szerokości wynikającej z różnicy faz będzie na wyjściu D a na U będzie tylko szpilka napięcia. Działanie takie zgadza się z założeniami teoretycznymi i mimo, że układ z rysunku 3.48 spełnia swoją funkcję, wymagane są modyfikacje przedstawione na rysunku 3.49. Inwertery I3 oraz I4 buforują teraz wyjście bramki G8, gdyż po narysowaniu masek technologicznych okazało się, że pojemność połączeń jest za duża i zbyt obciąża wyjście tej bramki. Zwiększenie z kolei wymiarów samej G8 nie było możliwe, ze względu na obciążenie elementów podłączonych na jej wejścia. Podobna modyfikacja dotyczy inwerterów I5 oraz I6, z tym że dotyczą bramki G9 sterującej wyjściem D. W obwodzie resetu (wyjście bramki G7) pracują teraz dwa dodatkowe inwertery I11 oraz I12, dające dodatkowe opóźnienie. Wpływa to na kształt impulsów podczas kiedy pętla jest zsynchronizowana i na oba wejścia detektora fazy trafiają sygnały zgodne w fazie. Inwertery I7-I10 stanowią bufor wyjściowe, dając sygnały U, D oraz ich negacje. Dodatkowe inwertery I13 oraz I14 pozwalają zachować możliwie jak największą symetrię między sygnałami wyjściowymi, obciążając w taki sam sposób \bar{U} i \bar{D} jak inwertery I9, I10 obciążają sygnały U i D.

Mimo symulacji i dodatkowych elementów sygnały wyjściowe U i D nie są nigdy jednakowe dla zerowej różnicy faz. Pogarsza to stabilność napięcia sterującego oscylatorem w pętli i powoduje powstawanie przesunięcia fazowego między przebiegiem referencyjnym, a tym wygenerowanym w oscylatorze pętli. Zostało to przedstawione w teoretycznych rozważaniach na temat pompy ładunkowej w podrozdziale 2.5. Problem różnych impulsów na wyjściach detektora fazy wynika z braku symetrii między dwoma wejściami bramki NAND. Rysunek 3.50b przedstawia schemat ideowy bramki NAND w technologii CMOS, a rysunek 3.50a schemat te-



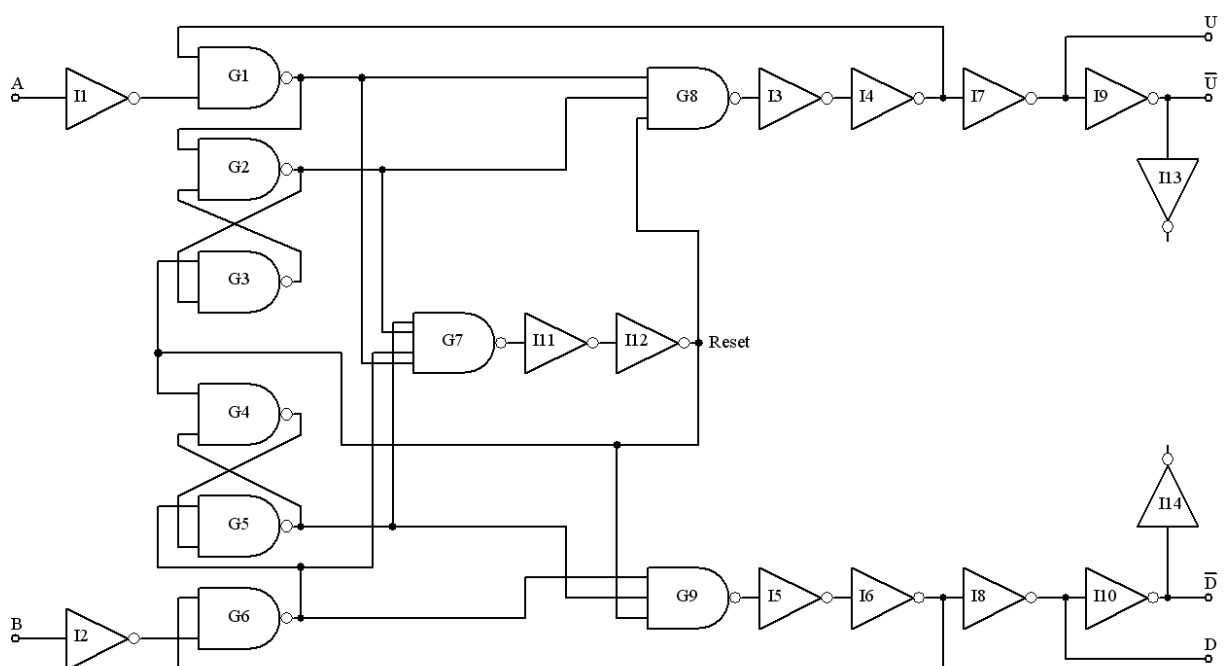
Rysunek 3.50: Testowanie bramki NAND. a) - Schemat do badania różnic w transmisji sygnału przez bramkę NAND oraz b) - schemat bramki NAND

stowy dwóch bramek NAND, z której raz sygnał podawany jest na wejście A, a raz na wejście B bramki. Symulacje pokazują że gdy sygnał prostokątny podawany jest na wejście A bramki



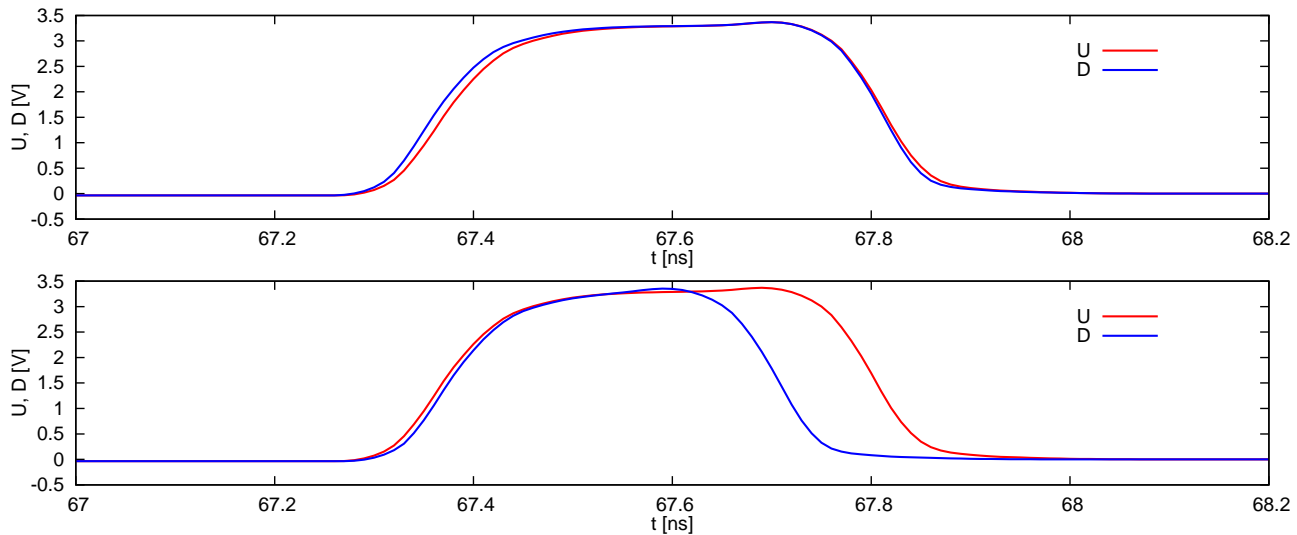
Rysunek 3.51: Zbocza sygnału prostokątnego transmitowanego przez bramkę NAND w zależności od użytego wejścia, zgodnie z rysunkiem 3.50a

(podłączenie takie jak bramka G1 z rysunku 3.50a) to na wyjściu obserwowane są bardziej strome zbocza sygnału niż ma to miejsce podczas podawania sygnału na drugie wejście bramki. Rysunek 3.51 przedstawia zbocze na wyjściu bramki podczas transmisji (negacji) sygnału prostokątnego o częstotliwości 30 MHz w zależności od tego, na które wejście podawany jest sygnał. Czas narastania dla wejścia A bramki jest o 40 ps krótszy niż dla wejścia B, co w przypadku transmisji przebiegu prostokątnego 30 MHz nie ma większego znaczenia. W detektorze fazy pojawiają się jednak impulsy na liniach U oraz D, których szerokość jest rzędu 400 ps. W takim przypadku złe podłączenie wejść bramek ma kluczowe znaczenie i powoduje błędne



Rysunek 3.52: Schemat detektora fazy i częstotliwości z uwzględnieniem wad bramki NAND

działanie układu. Dodatkowo problem braku symetrii między wejściami ujawnia się bardziej dla bramek z wieloma wejściami. Na rysunku 3.52 przedstawiony jest schemat detektora fazy i częstotliwości zastosowany w praktyce. Bramki są tak podłączone aby oba wejścia miały dokładnie taki sam tor logiki, z punktu widzenia opóźnień.

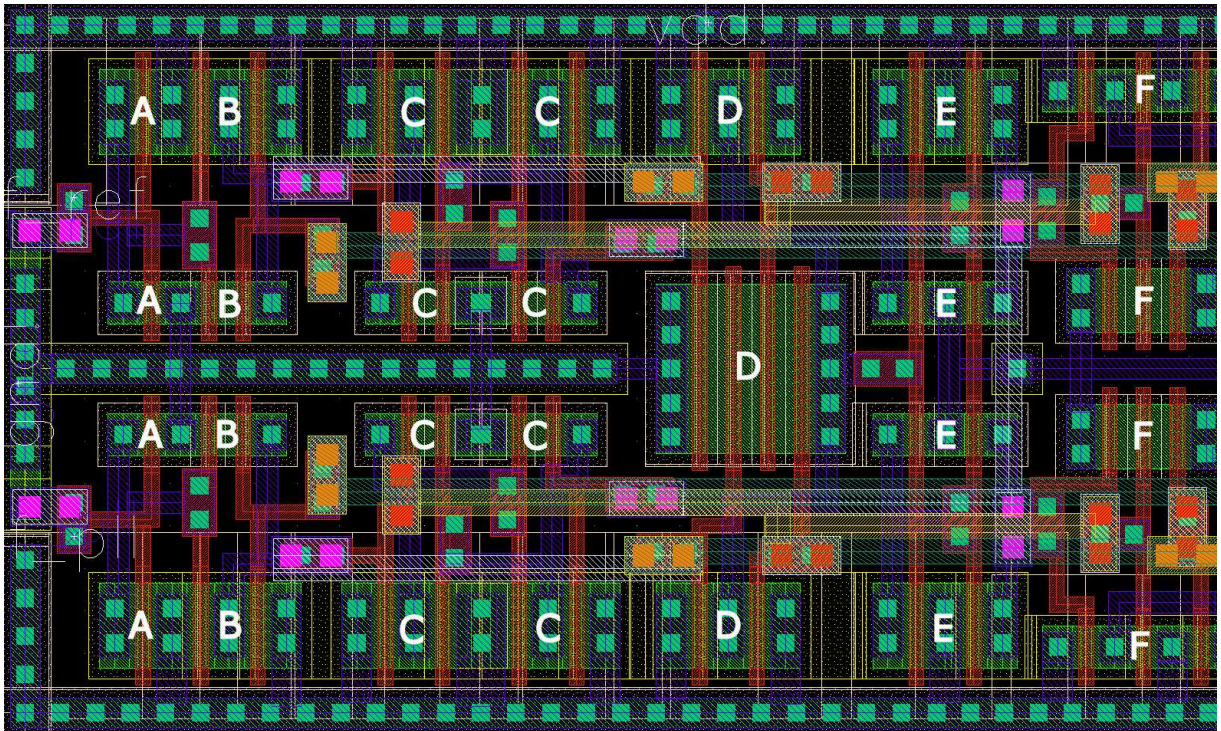


Rysunek 3.53: Zgodność impulsów U i D na wyjściu detektora fazy. Na dole symulacje według schematu 3.49, u góry zmodyfikowana wersja z uwzględnieniem różnic w szybkości obu wejść bramki NAND, zgodnie z rysunkiem 3.52

Wyjątkiem jest tutaj bramka G7 do wytwarzania sygnału resetu, gdyż nie ma możliwości wykonać podłączeń spełniających wcześniejsze ustalenia. Wejścia bramki zatem podłączone są w taki sposób aby zminimalizować niepożądane efekty. Zgodność impulsów w porównaniu do wcześniejszej wersji układu przedstawia wykres 3.53. Sygnał D jest krótszy o czas rzędu 100 ps, gdy nie są uwzględnione wady bramki NAND, co daje odchyłkę na poziomie 25%.

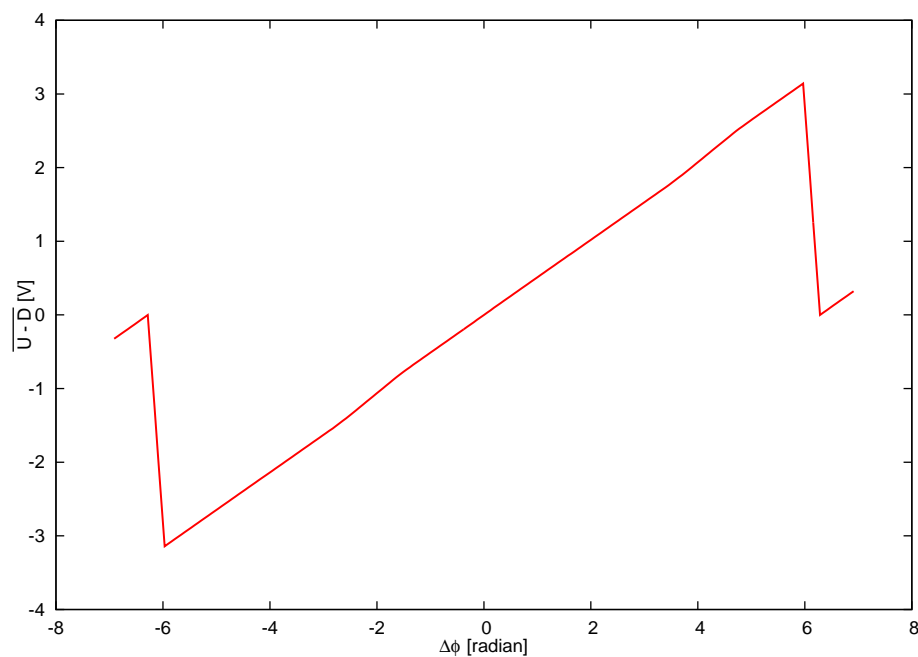
Maski technologiczne układu detektora fazy przedstawia rysunek 3.54. Ze względu na konieczność zachowania jak najlepszej symetrii między wejściami detektora fazy, layout jest podzielony na dwa fragmenty umieszczone względem siebie w odbiciu lustrzanym. Jakikolwiek różnice między torem jaki pokonuje sygnał z wejścia A, a torem sygnału z wejścia B, odbijają się w nierównych sygnałach wyjściowych U i D . Oprócz zapewnienia odpowiedniego połączenia bramek na schemacie, ważne są także długości poszczególnych ścieżek oraz warstwy nad którymi leżą. Wszystko to wpływa na zmiany pojemności połączeń, które z kolei są przyczyną różnic w opóźnieniu sygnałów.

Tranzystory oznaczone jako A, stanowią bufory-inwertery wejściowe. Leżą one jak najbliżej bramek G1 oraz G6 (oznaczonych literą B). Tranzystory C wchodzi w skład bramek logicznych budujących oba przerzutniki w detektorze fazy. W centrum layoutu znajduje się cztero-wejściowa bramka G7, której tranzystory oznaczone są literą D. Jest to jedyny element, którego nie można podzielić na dwa niezależne fragmenty, przez co zaburzona jest symetria



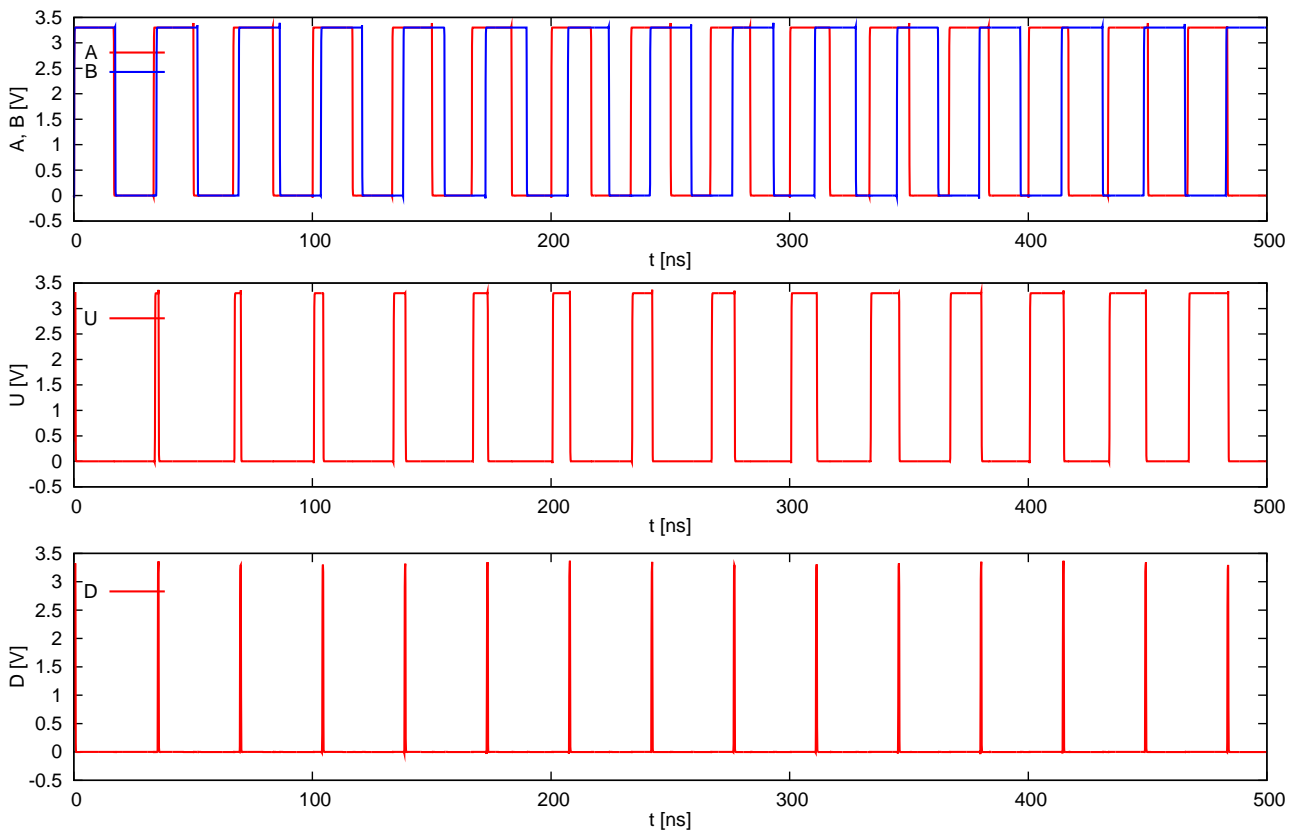
Rysunek 3.54: Maski technologiczne detektora fazy bez buforów wyjściowych ($40 \times 18 \mu\text{m}^2$)

połączeń w okolicach tej bramki. Inwertery I11 oraz I12 widać na rysunku masek technologicznych w formie bloku tranzystorów E. Każdy z nich składa się w istocie z dwóch połączonych ze sobą inwerterów, w celu uzyskania lepszej symetrii. Bramki trój-wejściowe oznaczone są literą F. Połączenia między tranzystorami, ze względu na duże upakowanie układu, wykonane są wszystkimi możliwymi warstwami metalicznymi, oraz w niektórych wyjątkowych sytuacjach także polikrystalicznym krzemem.



Rysunek 3.55: Wzmocnienie detektora fazy

Ze względu na niską częstotliwość pracy detektora fazy symulacje po uwzględnieniu elementów pasożytniczych nie wniosły żadnych negatywnych zmian w działanie układu (po kilkukrotnym narysowaniu layoutu i zapewnieniu wszystkich wspomnianych wcześniej uwag). Wzmocnienie detektora fazy, wyznaczone na podstawie symulacji przedstawia rysunek 3.55. Symulacje były przeprowadzane dla przebiegów prostokątnych o częstotliwości 30 MHz podawanych na oba wejścia detektora fazy. Wynik zgadza się z przewidywaniami teoretycznymi, układ jest liniowy dla różnicy faz od -2π do 2π (-6.28 do 6.28 na osi $\Delta\phi$ rysunku 3.55). Na rysunku 3.56 widać wykresy przebiegów wygenerowanych przez detektor fazy. Na wejścia A i B podawane są przebiegi prostokątne o dwóch różniących się częstotliwościach. Sygnał B o częstotliwości 29 MHz jest wolniejszy od przebiegu A (30 MHz), co sprawia że z każdym okresem rośnie przesunięcie fazowe między nimi. Na wyjściu U detektora fazy pojawią się zatem coraz to szersze impulsy,

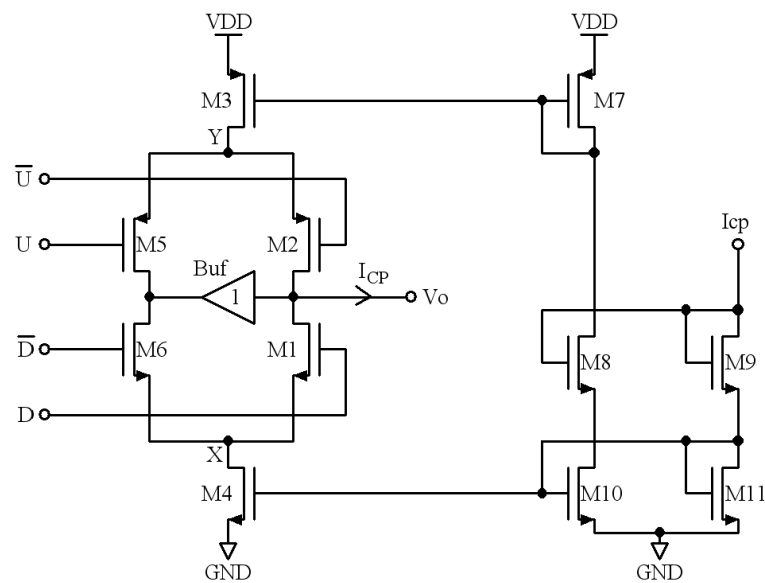


Rysunek 3.56: Odpowiedź detektora fazy na przebiegi wejściowe (A i B) o różnych częstotliwościach

które podczas działania pętli fazowej sterują oscylatorem w taki sposób aby częstotliwości i fazy przebiegów były takie same. Na wyjściu D pojawiają się szpilki napięcia o minimalnej możliwej szerokości (w symulowanym układzie jest to około 450 ps), a szersze impulsy pojawiają się w sytuacji gdy zależność fazowa między sygnałami A i B będzie odwrotna.

3.6 Pompa ładunkowa (CP)

Pompa ładunkowa jest ważnym elementem pętli fazowej i to ona zajmuje się zamianą impulsów z obu wejść detektora fazy na wolno zmienny poziom napięcia do sterowania oscylatora VCO. Podstawowym zadaniem pompy ładunkowej jest w istocie odzwierciedlenie średniej wartości z różnicy przebiegów z detektora fazy w postaci poziomu napięcia na filtrze pętli fazowej. Podobnie jak w przypadku detektora fazy, układ pompy ładunkowej jest ważny z punktu widzenia stabilności całej pętli fazowej. W najprostszym przypadku pompa ładunkowa jest zbu-



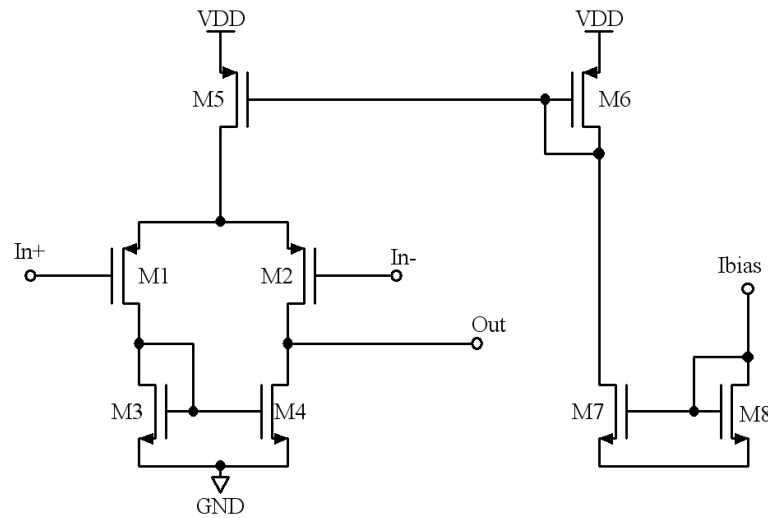
Rysunek 3.57: Schemat pompy ładunkowej zastosowanej w praktyce

dowana z dwóch tranzystorów-kluczy i źródeł prądowych, co zostało omówione w rozważaniach teoretycznych w rozdziale 2.5. Schemat praktycznej realizacji pompy ładunkowej przedstawiony jest na rysunku 3.57. Nie różni się on od schematu z rozważań teoretycznych, został jedynie uzupełniony o dodatkowe tranzystory działające w roli źródeł prądowych. Tranzystory M1 oraz M2 wstrzykują impulsy prądowe na wejście filtra pętli fazowej, ustalając wartość potencjału V_o proporcjonalną do średniej różnicy sygnałów U i D . Druga gałąź z tranzystorami M5 i M6 ustala potencjały w punktach X i Y, w stanie spoczynku. Bufor napięciowy wyrównuje potencjały na drenach tranzystorów w obu gałęziach. Prąd jaki wstrzykuje pompa ładunkowa sterowany jest za pomocą tranzystorów M3 i M4, które z kolei polaryzowane są przez zespół źródeł prądowych z tranzystorami M8 - M11. Tranzystor M3 potrzebuje dodatkowego odbicia prądu, które zrealizowane jest na M7. Na wejście I_{CP} podawany jest prąd referencyjny o wartości rzędu $10\mu A$, dostarczany przez główny układ polaryzacyjny⁴.

Bardzo ważnym elementem pompy ładunkowej z rysunku 3.57 jest bufor wyrównujący potencjały. Jest to w istocie wzmacniacz operacyjny pracujący w konfiguracji wtórnika. Schemat

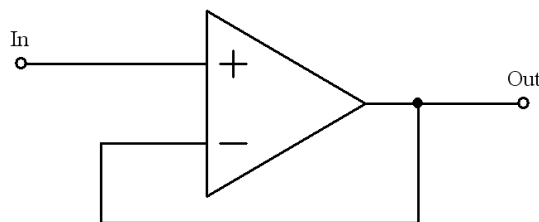
⁴główny układ polaryzacyjny - zespół źródeł prądowych dostarczający prądów polaryzacyjnych dla pomp ładunkowych oraz ich buforów napięciowych pracujących w obrębie projektowanego ASIC'a

takiego wzmacniacza przedstawiony jest na rysunku 3.58. Jest to najprostszy, jednostopniowy



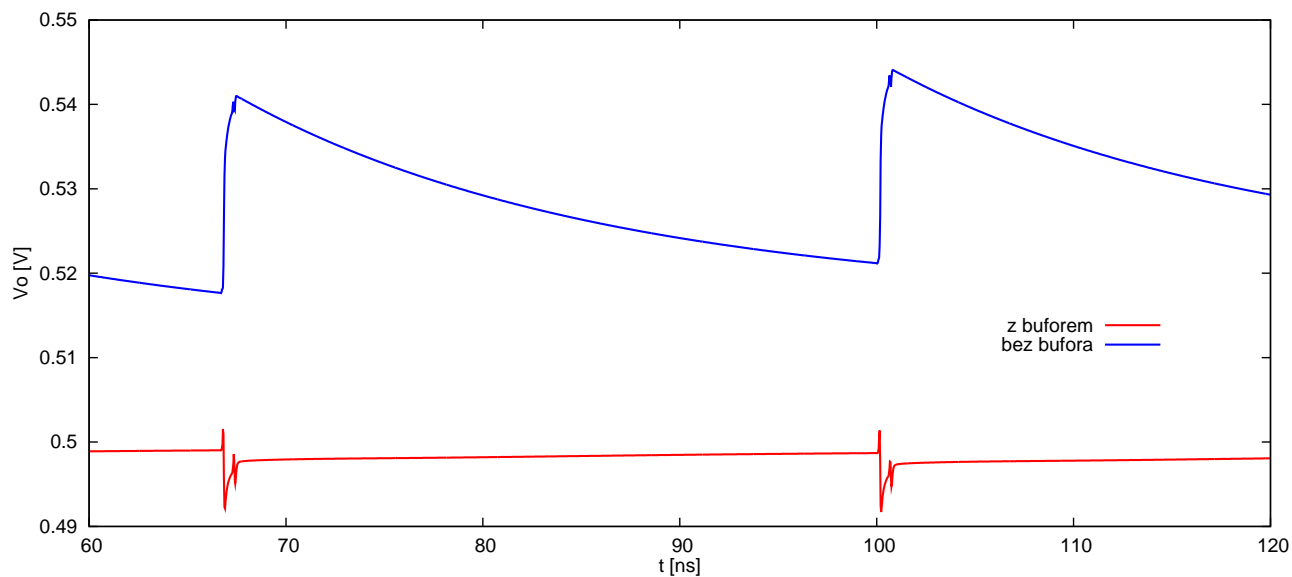
Rysunek 3.58: Schemat bufora (wzmacniacza operacyjnego) stosowanego w praktyce do realizacji bootstrappingu

wzmacniacz różnicowy, oparty o parę różnicową PMOS (tranzystory M1 i M2). Jako obciążenie pracuje tutaj lustro prądowe M3-M4, a polaryzację stanowi tranzystor M5, wchodzący w skład lustra prądowego M5-M6. Dodatkowe odbicie prądowe zapewnia lustro M7-M8. Prąd polaryzujący o wartości $25\mu A$ z głównego układu polaryzującego podawany jest na wejście Ibias. Wartość ta nie jest krytyczna i może być zmieniana w szerokich granicach. Podłączenie wzmacniacza operacyjnego w roli bufora napięciowego przedstawia rysunek 3.59.

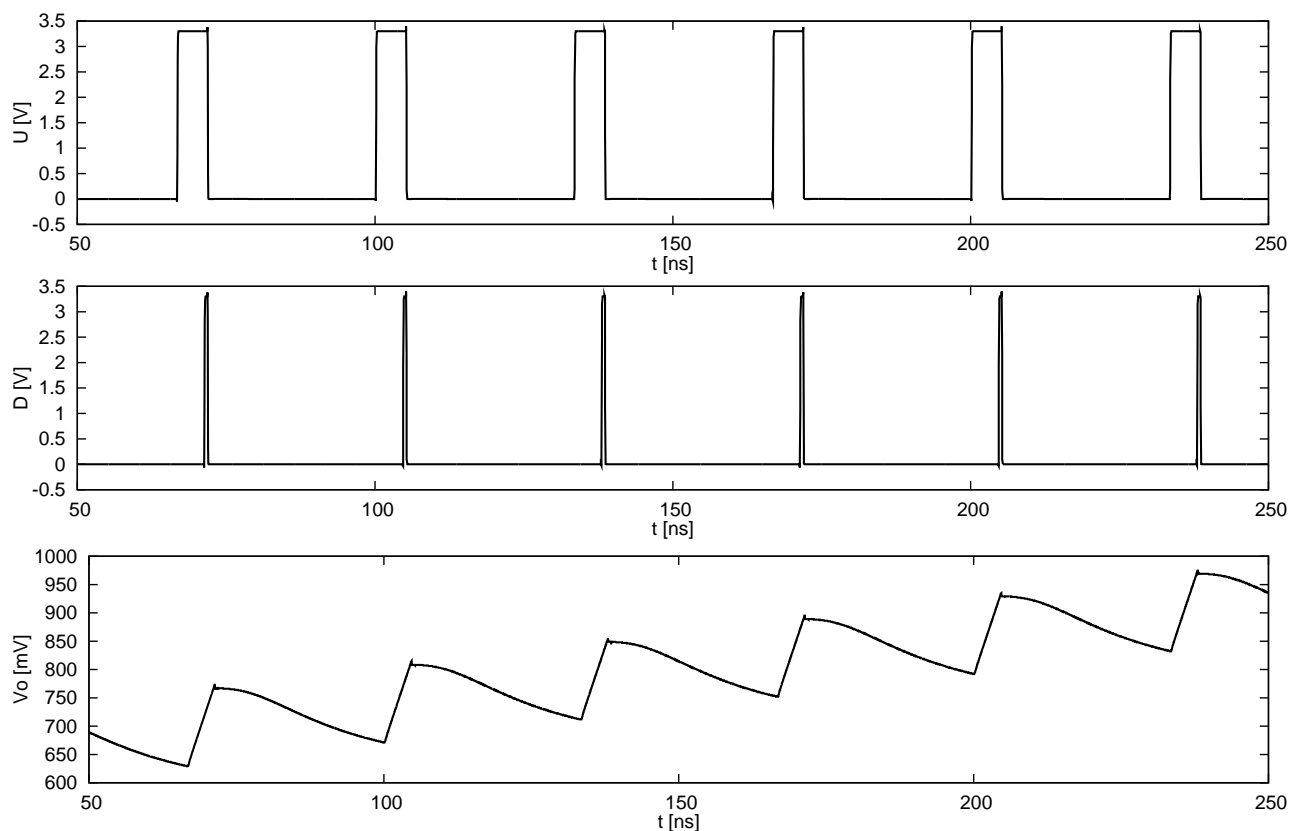


Rysunek 3.59: Podłączenie wzmacniacza operacyjnego w roli bufora napięciowego

Rysunek 3.60 przedstawia przebiegi napięć na filtrze pętli fazowej przy jednakowych impulsach U i D o szerokości 450 ps . Stan taki występuje gdy na wejściu PFD występują przebiegi zgodne w fazie i częstotliwości. Pompa ładunkowa powinna w takiej sytuacji utrzymywać stały poziom napięcia na filtrze, gdyż dwa klucze (M1 i M2, rysunek 3.57) przewodzące jednocześnie wymuszają przepływ prądu między linią zasilania a masą. W przypadku gdy nie ma bufora wyrównującego potencjały między gałęziami M1-M2 i M5-M6 w pompie ładunkowej, pojemności pasożytnicze powodują dryf poziomu stałego, gdyż ich przeładowanie nie jest nigdy jednakowe. Dodanie bufora znacznie poprawia sytuację i mimo, że przy przełączeniu występują niewielkie szpilki napięcia to poziom stały pozostaje niezmieniony. Rysunek 3.61 przedstawia przykładowy przebieg napięcia na filtrze (V_o), w odpowiedzi na sygnały U i D. Impulsy U mają szerokość

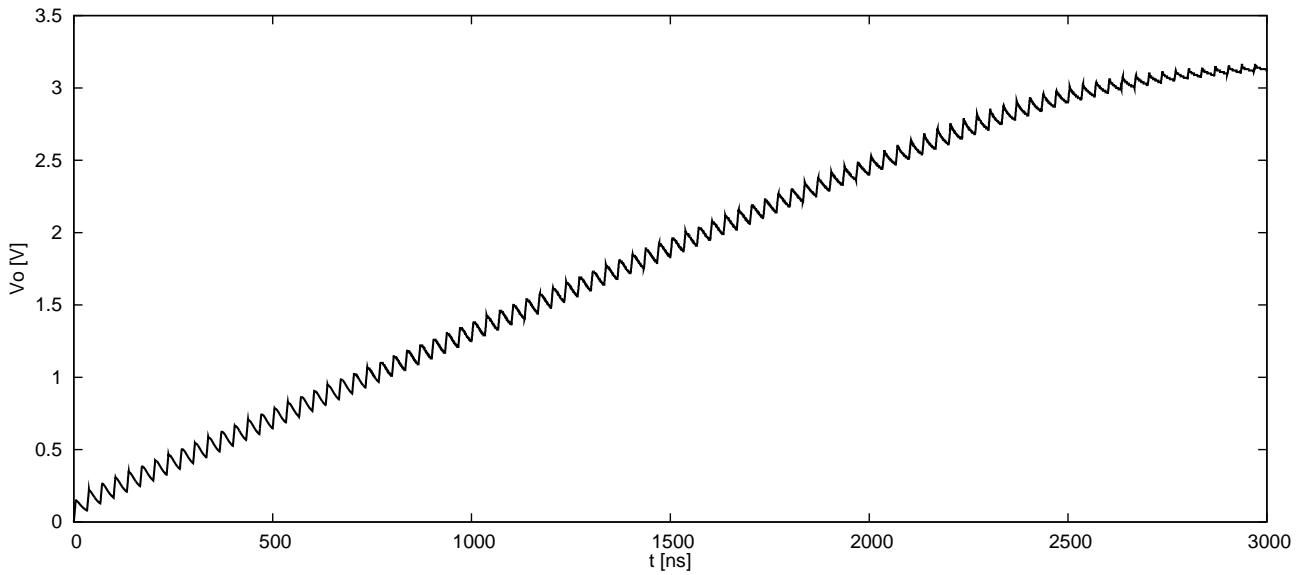


Rysunek 3.60: Wpływ stosowania bootstrappingu na działanie pompy ładunkowej

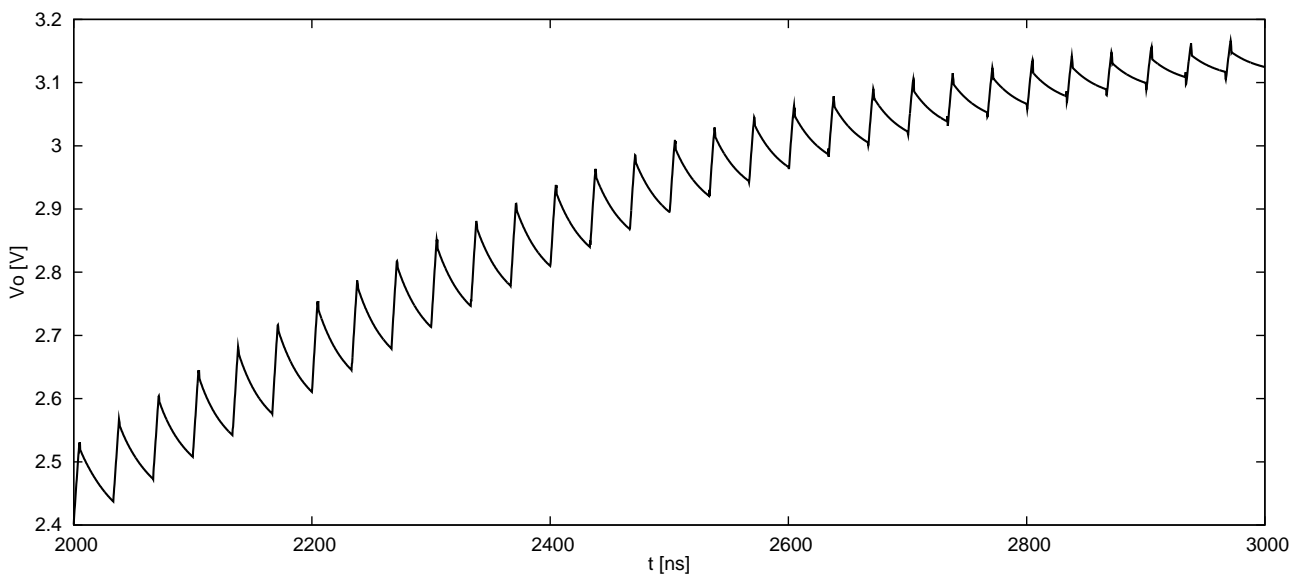


Rysunek 3.61: Odpowiedź pompy ładunkowej na różniące się sygnały U i D . U góry impulsy na wejściu U o szerokości 5 ns, w środku impulsy na wejściu D o szerokości 450 ps oraz na dole napięcie jakie pompa ładunkowa wytwarza na filtrze

5 ns, podczas gdy impulsy na wejściu D mają szerokość 450 ps. Średnia wartość napięcia na filtrze wzrasta w takt kolejnych impulsów, ponieważ większe wypełnienie występuje na sygnale U . Poziom stały napięcia został ustawiony początkowo na wartość 500 mV. Na wykresie 3.62 widać w większym obszarze liniowość przyrostu napięcia na filtrze pętli fazowej w odpowiedzi



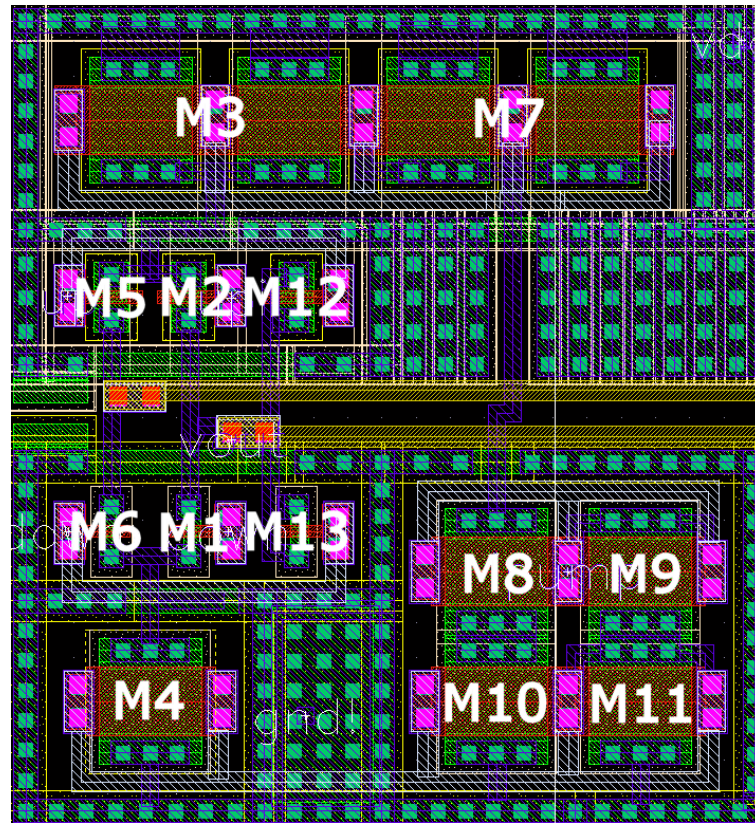
Rysunek 3.62: Przebieg napięcia na filtrze pętli fazowej. Filtr ładowany jest od potencjału masy do napięcia zasilania, impulsami prądowymi z pompy ładunkowej



Rysunek 3.63: Przebieg napięcia na filtrze pętli fazowej. Powiększony obszar dla napięcia bliskiego zasilania pokazuje odchyłkę od charakterystyki liniowej

na takie same impulsy na wejściach U i D. Napięcie narasta liniowo w zakresie od 0 do 2.5 V, a dla wyższych napięć stały prąd płynący przez źródła prądowe powoduje coraz to mniejszy wzrost tego napięcia. Efekt widoczny jest lepiej na powiększonym wykresie 3.63.

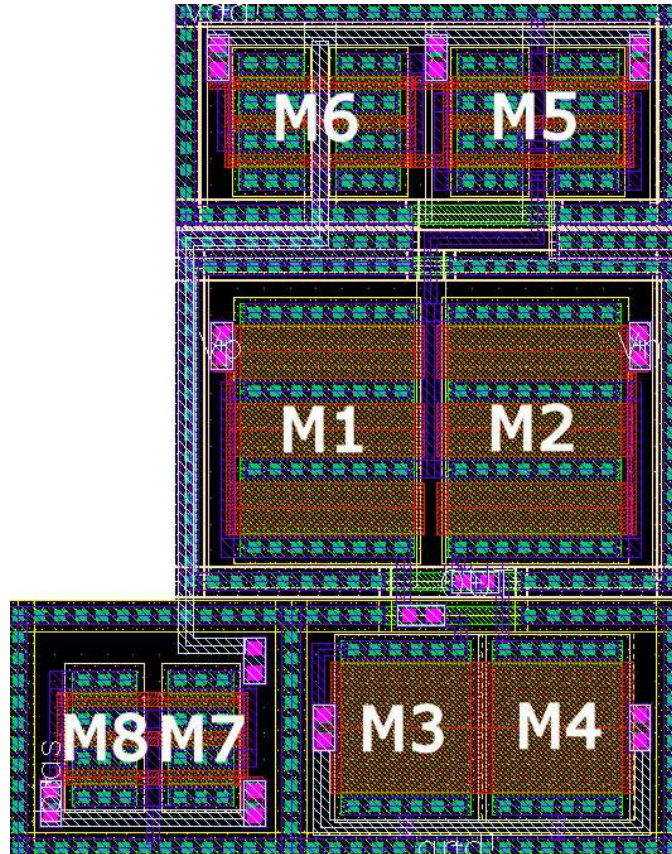
W przypadku pompy ładunkowej, jak i każdego układu analogowego, bardzo ważny jest projekt masek technologicznych. Brak symetrii między tranzystorami kluczującymi w pompie ładunkowej spowoduje różnicę w prądach jakie są wstrzykiwane do filtru pętli fazowej, co prowadzi do dryfu wolnozmiennego poziomu napięcia sterującego oscylator. Tak samo, złe rozmieszczenie tranzystorów luster prądowych pogorszy właściwości odbicia prądowego i nie



Rysunek 3.64: Maski technologiczne pompy ładunkowej ($22 \times 25 \mu\text{m}^2$)

będzie ono równe 1:1. Projekt masek technologicznych (layoutu) pompy ładunkowej, bez bufora wyrównującego potencjały, przedstawiony jest na rysunku 3.64. Tranzystory M1, M2, M5 i M6 są kluczami (obu gałęzi prądowych) sterowanymi sygnałami (U i D oraz ich negacjami) z detektora fazy i częstotliwości. Symetrycznie po obu stronach tych tranzystorów zostały umieszczone kontakty, umożliwiające podłączenie sygnałów wejściowych. Dodatkowe tranzystory M12 i M13, znajdujące się blisko kluczy M1 i M2, posiadają identyczne wymiary i ich zastosowanie ogranicza pasożytnicze wstrzykiwanie ładunku. Tranzystory te włączają się w chwili gdy gałąź pompy wstrzykująca prąd na filtr jest nieaktywna. Tranzystory oznaczone jako M3 i M7 stanowią lustro prądowe, odbijające "górny" prąd jaki wstrzykiwany jest z zasilania na filtr. Dwukrotnie większy rozmiar tranzystora PMOS w stosunku do NMOS (tranzystor M4), odbijającego "dolny" prąd, zrealizowane jest przez zastosowanie równoległego połączenia dwóch tranzystorów. Wspomniany wcześniej tranzystor M4 jest częścią lustra prądowego, które tworzy wraz z tranzystorami M8-M11. Tranzystory M9 i M11 podłączone są do źródła referencyjnego i związane w połączeniu diodowym. Te same tranzystory polaryzują jednocześnie lustro prądowe M3-M7. Tak samo jak w przypadku tranzystorów M1, M2, M5 i M6, wokół każdego tranzystora wchodzącego w skład źródeł prądowych umieszczone są, symetrycznie po obu stronach, kontakty do podłączenia tranzystorów między sobą wyższą warstwą metaliczną (metal 2). Takie działanie jest spowodowane koniecznością jak najdokładniejszego otoczenia poszczególnych bloków pompy ładunkowej, kontaktami polaryzującymi podłoże potencjałem masy. Umożliwia to

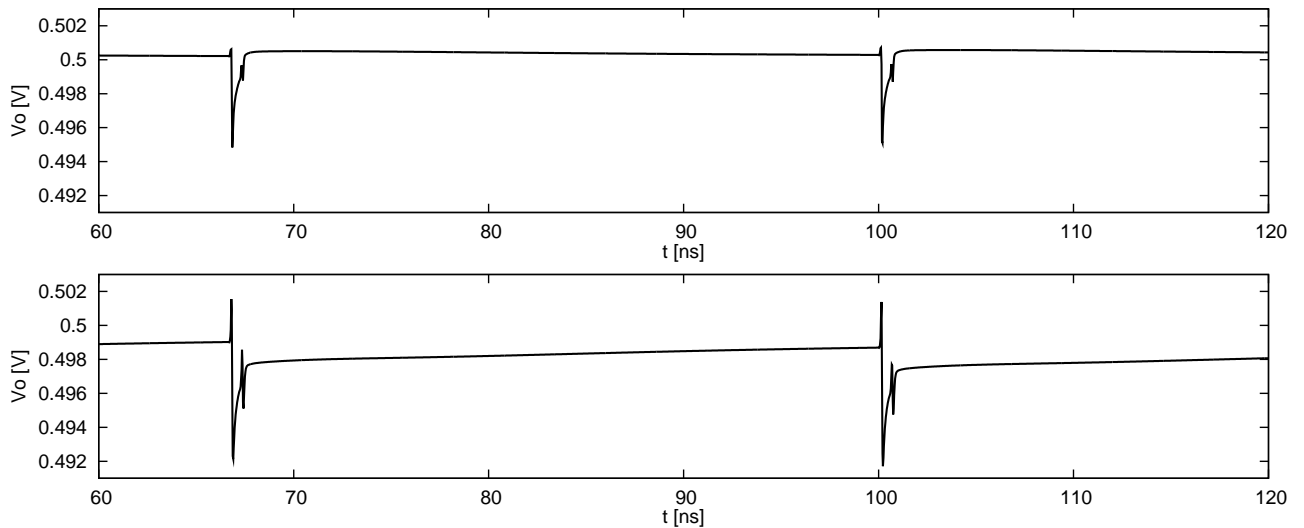
zminimalizowanie wpływu sąsiadujących tranzystorów na siebie, co jest szczególnie ważne gdy elementy analogowe, takie jak źródła prądowe pracują w bezpośrednim sąsiedztwie z elektroniką cyfrową (np. klucze lub bramki logiczne).



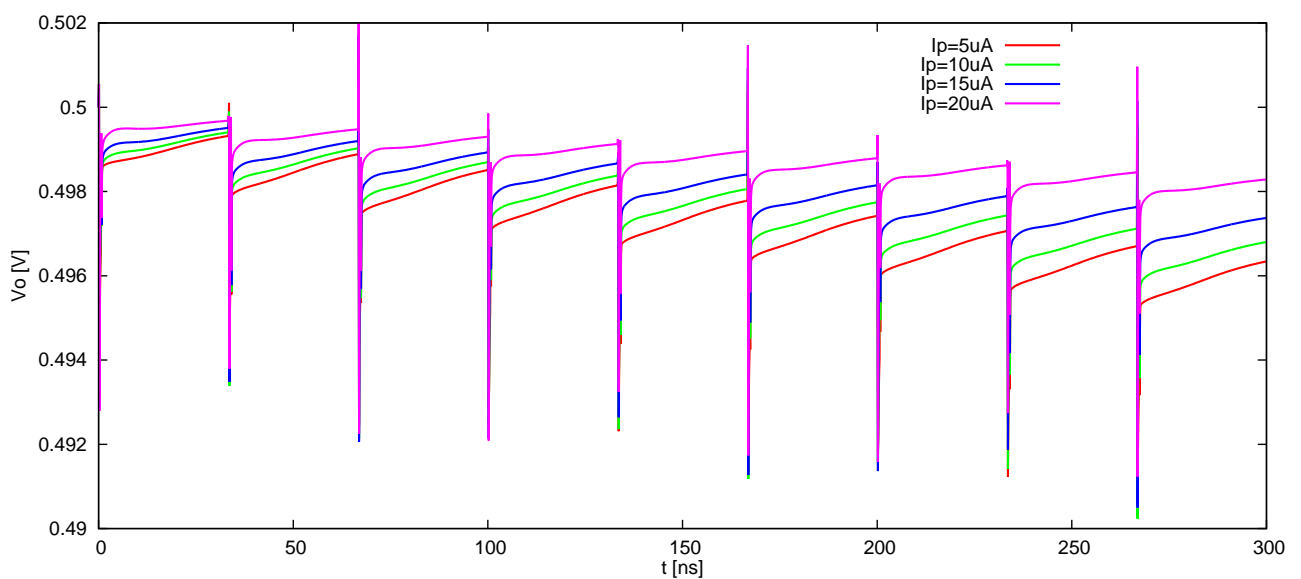
Rysunek 3.65: Maski technologiczne bufora napięciowego ($26 \times 33 \mu\text{m}^2$)

Bufor napięciowy jest niezbędny dla dobrego działania pompy ładunkowej, gdyż w przeciwnym wypadku jej właściwości ulegają znacznemu pogorszeniu. Parametry tego wzmacniacza nie muszą być wygórowane ale wzmocnienie musi być na tyle duże, żeby dobrze pracował on w konfiguracji wtórnika. Maski technologiczne bufora napięciowego widać na rysunku 3.65. Wzmacniacz jest układem czysto analogowym, a więc dla poprawy jego działania każde lustro prądowe (podobnie jak para wejściowa) otoczone zostało własnym pierścieniem kontaktów do podłoża, spolaryzowanych masą, analogicznie jak w projekcie pompy ładunkowej. Różnicową parę wejściową stanowią dwa tranzystory o dużym stosunku W/L, oznaczone na layoucie jako M1 i M2. Kontakty, stanowiące wejścia wzmacniacza, położone są symetrycznie po obu stronach tych tranzystorów. Podobnie w celu zachowania symetrii, ścieżka łącząca źródło prądowe M5-M6 z parą różnicową, poprowadzona jest środkiem, między tranzystorami pary. Wspomniane wcześniej tranzystory M5 i M6 stanowią lustro prądowe polaryzujące parę różnicową. Podobnie jak w przypadku źródeł prądowych w pompie ładunkowej, kontakty do drugiej warstwy metalu umożliwiają wykonanie połączeń między fragmentami układu. Tranzystory M7 i M8 stanowią źródło prądowe odbijające prąd referencyjny do polaryzacji wzmacniacza. Wartość tego prądu

nie jest krytyczna, więc symetria źródeł prądowych M7-M8 i M5-M6 nie jest na pierwszym miejscu. Ważnym fragmentem układu jest lustro prądowe na tranzystorach M3 i M4, stanowiące obciążenie pary różnicowej. W przypadku tych tranzystorów zachowanie jak najlepszej symetrii polepsza właściwości wzmacniacza. Kontakty do połączenia bramek tranzystorów umieszczone są symetrycznie po obu ich stronach. Podobnie w celu poprawy symetrii, kontakty wyjściowe zostały położone przy obu tranzystorach z pary różnicowej.



Rysunek 3.66: Odpowiedź pompy ładunkowej na jednakowe sygnały U i D w postaci impulsów o szerokości 450 ps. U góry symulacje nie uwzględniające elementów pasożytniczych, na dole po narysowaniu layoutu



Rysunek 3.67: Porównanie zmiany poziomu stałego na filtrze pętli fazowej w zależności od prądu pompy ładunkowej. Symulacje z uwzględnieniem elementów pasożytniczych

Po narysowaniu masek technologicznych, ze względu na elementy pasożytnicze, wprowadzające zaburzenie symetrii układu pompy ładunkowej, jej parametry uległy pogorszeniu. Rysunek 3.66 przedstawia odpowiedź pompy ładunkowej na jednakowe sygnały U i D. Po uwzględnieniu elementów pasożytniczych, efekt przełączania kluczy w obu gałęziach pompy jest o wiele większy, jednak średni poziom napięcia na filtrze nie ulega zmianom w krótkim czasie. Mimo uwzględnienia wszystkich możliwych czynników poprawiających działanie pompy ładunkowej, jej działanie nie jest idealne. Z biegiem czasu poziom napięcia na filtrze cały czas maleje, mimo idealnie zgodnych impulsów wejściowych. Zmiana napięcia średniego zależy od wartości prądu pompy i przedstawiona jest na wykresie 3.67. Takie działanie jest wynikiem symulacji samej pompy ładunkowej. Nie zostało tutaj uwzględnione ujemne sprzężenie zwrotne jakie występuje w całym układzie pętli fazowej, a które z biegiem czasu ustali stabilny potencjał na filtrze. Zmiana potencjału jaki daje pompa ładunkowa jest wynikiem różnic w położeniu i otoczeniu tranzystorów, ścieżek metalicznych i symetrii rozmieszczenia kontaktów podczas rysowania layoutu. Różnice te zostaną skompensowane w postaci różnych szerokości impulsów U i D, gdy pompa ładunkowa będzie współpracowała z detektorem fazy i oscylatorem sterowanym.

3.7 Układ synchronizacji

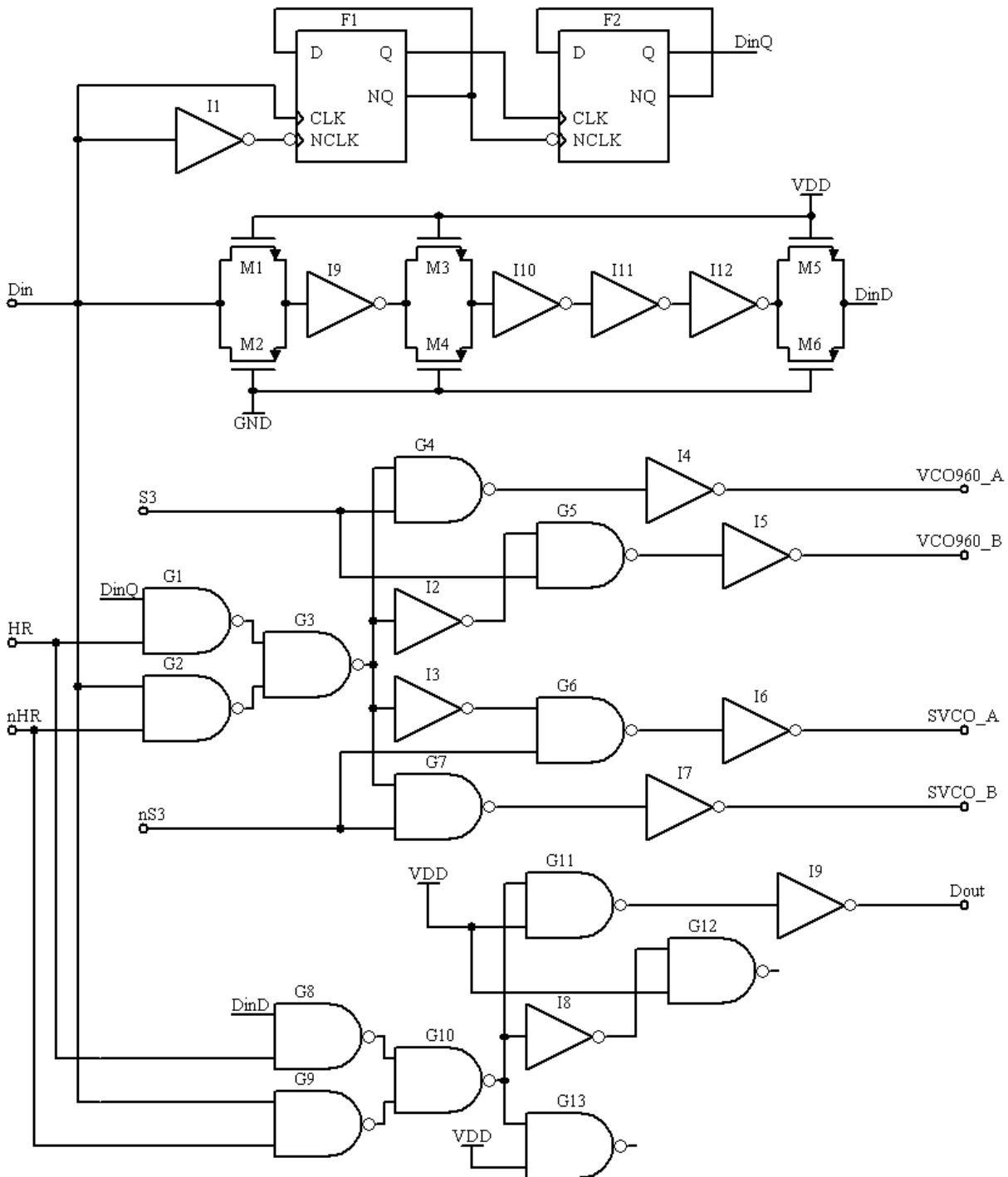
Blok synchronizacji opisywany tutaj jest częścią układu odzyskiwania zegara i danych, który stanowi odbiornik w projektowanym ASIC'u. Ponieważ układ CDR jaki został użyty w odbiorniku Transceiver'a to "burst-mode" CDR, wymagany jest układ mogący poprawnie przełączać oba jego oscylatory sterowane, uwzględniając przy tym wykorzystane sposoby próbkowania danych. Układ synchronizacji działa w dwóch trybach pracy, odpowiadających pracy układowi odzyskiwania zegara i danych, z odczytem danych na jednym zboczach zegara (tryb "single-rate") lub z odczytem na obu zboczach (tryb "half-rate")⁵. Schemat ideowy układu synchronizacji został przedstawiony na rysunku 3.68. Pierwszy tryb pracy realizowany jest gdy sygnał HR jest w stanie niskim. Oznacza to że CDR pracuje w trybie z próbkowaniem na jednym zboczach sygnału zegarowego. W takim przypadku przebieg danych nie zmienia się częściej niż co pełen okres przebiegu zegarowego, za pomocą którego dane te są wysyłane. Gdyby dla przykładu nadawane były naprzemiennie bity 010101..., to przebieg danych miałby wypełnienie 50% i częstotliwość dwukrotnie mniejszą niż odzyskany na jego podstawie przebieg zegarowy. Układ synchronizacji w takim trybie transmituje przebieg danych jako sygnały sterujące oscylatorami VCO. Bramki G1-G3 tworzą multiplexer, który dla HR=0 transmituje dane z wejścia Din na bramki G4-G7. Inwertery I2 oraz I3 tworzą negację sygnału, a dzięki temu, że ich wyjścia trafiają na "szybsze wejścia"⁶ bramek G5 i G6, opóźnienie między sygnałem prostym a zanegowanym ulega zmniejszeniu. W zależności od poziomu logicznego sygnału S3, wybrany jest jeden z dwóch torów sygnału synchronizacji, jeden (dla S3=1) steruje naprzemiennie dwoma oscylatorami VCO960, a drugi (dla S3=0) działa z oscylatorami SVCO. Inwertery I4-I7 stanowią bufory sygnałów synchronizacji. Oprócz sterowania pracą oscylatorów w układzie odzyskiwania zegara i danych, blok synchronizacji transmituje jeszcze dane wejściowe przez taki sam układ bramek logicznych, jaki mają na swojej drodze sygnały synchronizacji. Ma to na celu zachowanie jak najmniejszego przesunięcia fazowego danych względem sygnałów, które mają ustawić potem przebiegi zegarowe w odpowiedniej zależności fazowej w stosunku do danych. Bramki G12, G13 oraz inwerter I8, obciążają bramkę G10, aby zbliżyć jej warunki pracy do G3. Wyjścia bramek G12 i G13 nie są wykorzystywane.

Drugi tryb pracy układu synchronizacji aktywny jest gdy sygnał HR jest w stanie wysokim. Odpowiada to pracy CDR w trybie z próbkowaniem na obu zboczach zegara. Przebieg danych, który przychodzi na wejście układu może się zmieniać co pół okresu przebiegu zegarowego, a zatem nie ma możliwości sterowania oscylatorami w taki sposób jak w poprzednim trybie pracy (oscylator musi mieć zapewnione działanie przynajmniej przez jeden okres, aby generowany zegar był poprawny). Najprostszym ominięciem tego problemu jest zastosowanie podziału

⁵Działanie układu CDR i jego tryby pracy przedstawione są dokładniej w podrozdziale 3.2

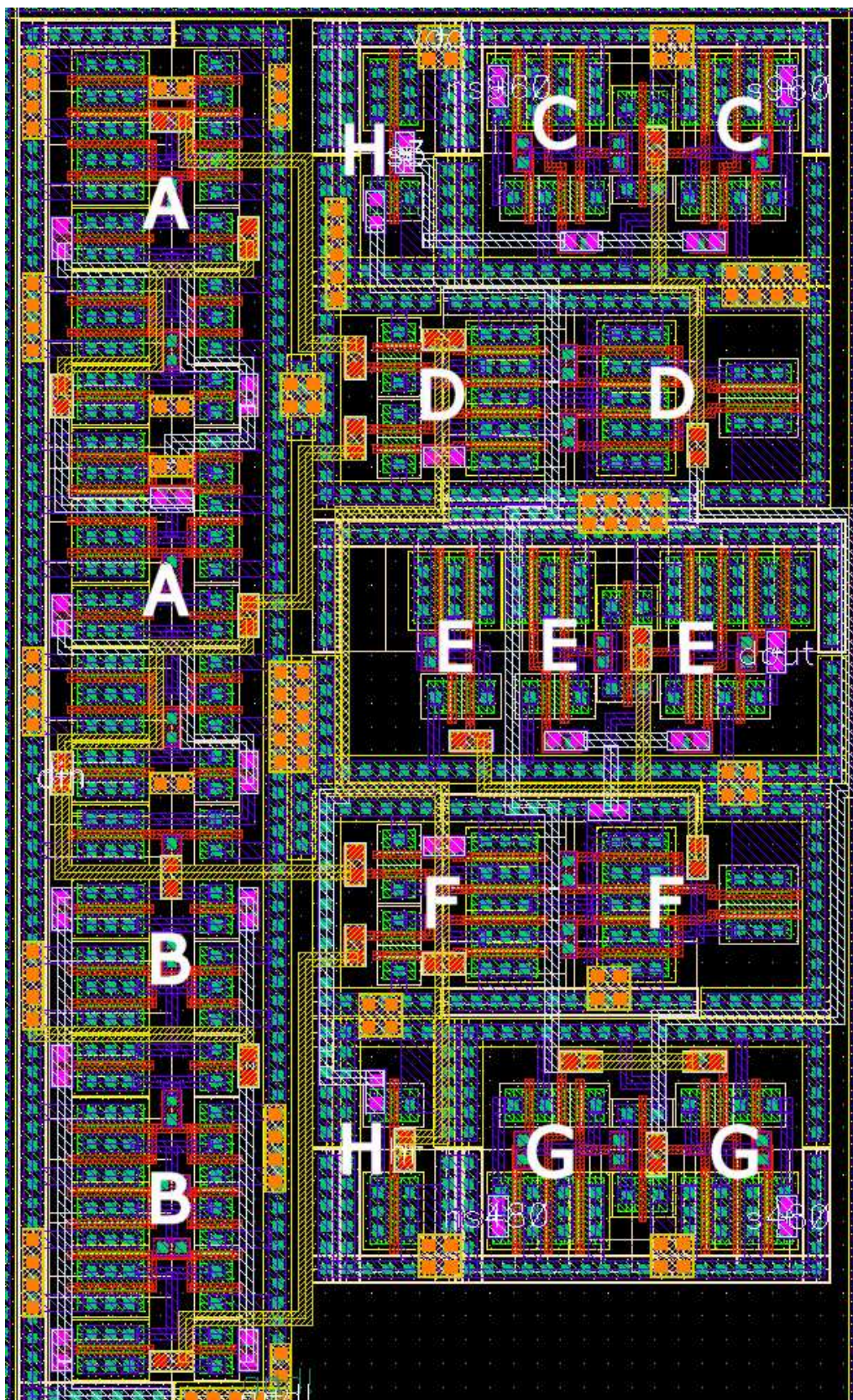
⁶problem braku symetrii pomiędzy wejściami bramki NAND został opisany w rozdziale 3.5, dotyczącym detektora fazy

przebiegu danych, aby zmniejszyć częstotliwość zmian. W opisywanym układzie synchronizacji działa dzielnik przez 4, zbudowany w oparciu o przerzutniki F1 oraz F2, generując pomocniczy sygnał DinQ. Przebieg ten z kolei podawany jest na bramkę G1 i dalej transmituje się przez wszystkie kolejne bramki logiczne, na takiej samej zasadzie jak w poprzednim trybie pracy układu. Przerzutniki dzielące wejściowy sygnał danych wprowadzają duże opóźnienie, przez co sygnał synchronizacji przesuwał by się w fazie w stosunku do nich. Dane w tym trybie pracy



Rysunek 3.68: Schemat ideowy układu synchronizacji. Wejścia nS3 i nHR to negacje sygnałów S3 i HR.

przechodzą dodatkowo przez łańcuch przewodzących stale bramek transmisyjnych (tranzystory M1-M6) i inwerterów I9-I12, po czym trafiają na bramkę G8.

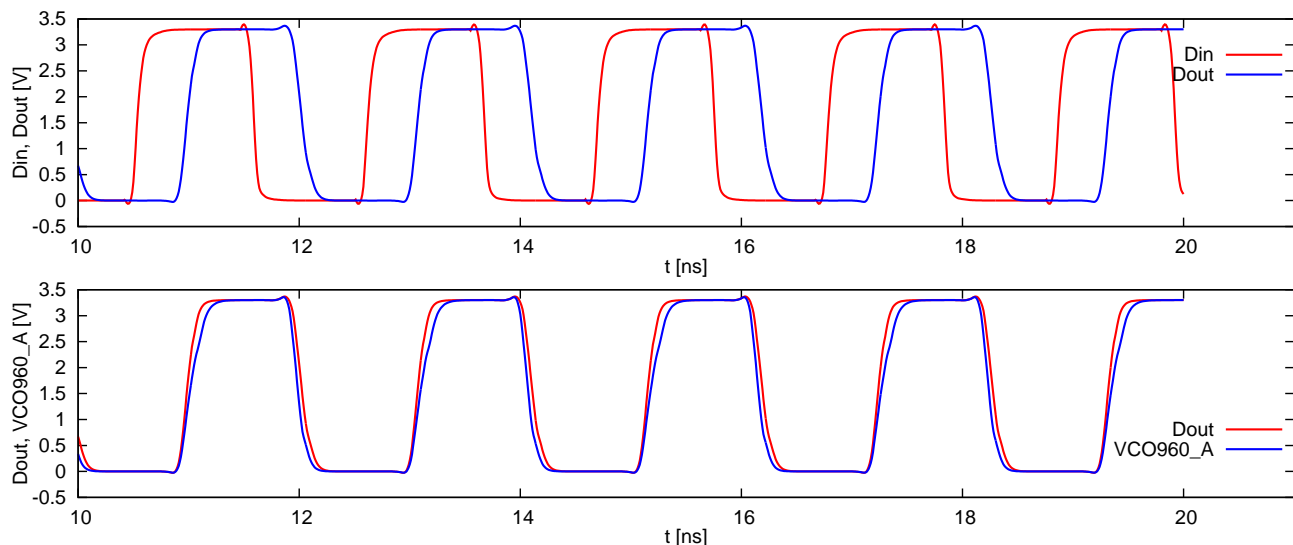


Rysunek 3.69: Maski technologiczne układu synchronizacji ($36 \times 60 \mu\text{m}^2$)

Maski technologiczne układu synchronizacji przedstawione są na rysunku 3.69. Symbolem A został oznaczony blok tranzystorów wchodzących w skład obu dzielników F1 oraz F2. Przerzutniki zostały tak narysowane aby wejście danych Din wypadało na środku tego fragmentu layoutu, co daje jednocześnie możliwość podłączenia elementów wyrównujących opóźnienia widocznych na rysunku w postaci elementów oznaczonych jako B. Blok D stanowi multiplekser widoczny na schemacie w postaci bramek logicznych G1-G3, transmitujący sygnały synchronizacji. Podobny fragment oznaczony symbolem F stanowi drugi multiplekser G8-G10, dla sygnału danych. Ze względu na budowę całego layoutu wyjście dla oscylatorów VCO960 zostało umieszczone u góry w postaci bloku C, a wyjście dla SVCO znajduje się po przeciwnej stronie i oznaczone jest literą G. Dodatkowo na layoucie zostały wstawione inwertery (oznaczone H) tworzące negacje sygnałów sterujących (nS3 oraz nHR), co zmniejsza ilość połączeń od logiki sterującej w całym ASIC'u.

3.7.1 Szczegółowe symulacje w trybie "single-rate"

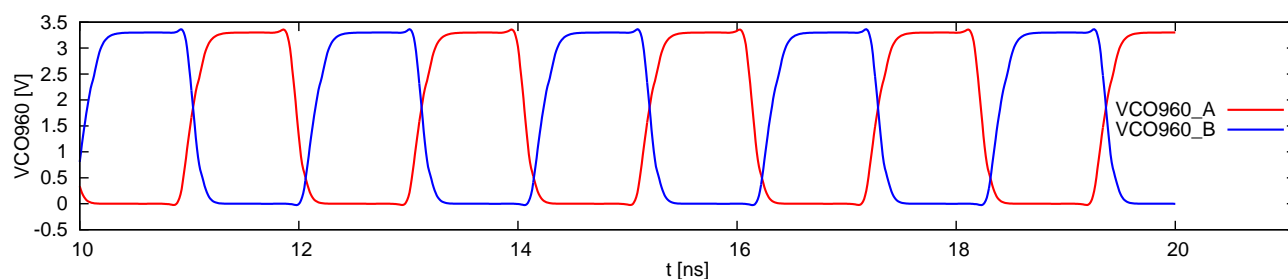
Układ odzyskiwania zegara i danych, pracujący w trybie "single-rate", wymaga do poprawnego działania odpowiednich sygnałów synchronizacji (dwa oscylatory VCO muszą się odpowiednio włączać). Dane wyjściowe powinny być zgodne w fazie z tymi sygnałami aby próbkowanie danych było prawidłowe. Na rysunku 3.70 przedstawione zostały przebiegi danych wejściowych, wyjściowych oraz jeden z sygnałów synchronizacji. Symulacje przedstawione na tym wykresie



Rysunek 3.70: *Opóźnienie danych wejściowych, oraz zgodność w fazie przebiegu danych wyjściowych z sygnałem synchronizacji. Symulacje bez uwzględnienia elementów pasożytniczych*

nie uwzględniają wpływu elementów pasożytniczych. Dane na wyjściu są opóźnione o wartość 454 ps, aby dostosować je w fazie do sygnałów synchronizacji. Zgodność obu przebiegów jest

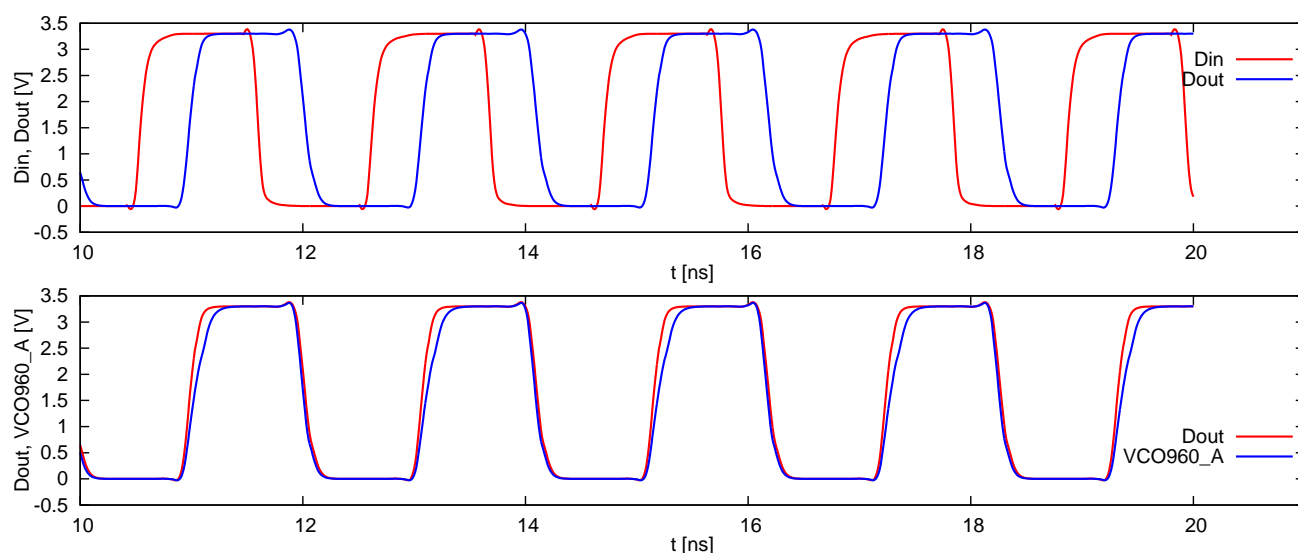
bardzo dobra, ponieważ sygnał synchronizacji VCO960_A ma około 30 ps opóźnienia względem danych wyjściowych, co stanowi mniej niż 3% okresu maksymalnej częstotliwości przebiegu zegarowego. Wynika to przede wszystkim z nierównych obciążeń obu wyjść. Bardzo ważne jest aby oba przebiegi synchronizacji (VCO960_A i VCO960_B) były odwrócone w fazie dokładnie o połowę okresu. W projektowanym układzie jest to trudne do osiągnięcia, gdyż realizowane jest to za pomocą inwertera. Odpowiednie przebiegi przedstawia rysunek 3.71. Przebieg VCO960_A



Rysunek 3.71: Zależność fazowa między dwoma sygnałami synchronizacji. Jeden sygnał stanowi negację drugiego

spóźnia się w fazie względem VCO960_B, jednak mała wartość opóźnienia nie wpływa znacząco na poprawną pracę układu odzyskiwania zegara i danych.

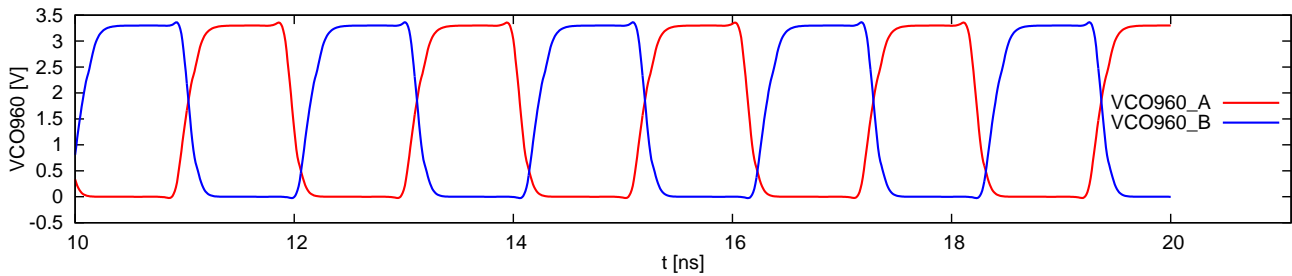
Po narysowaniu masek technologicznych i ekstrakcji elementów pasożytniczych działanie układu nie uległo zmianie w znaczącym stopniu. Przebiegi z symulacji po narysowaniu layoutu, analogiczne jak dla symulacji samego schematu, przedstawia rysunek 3.72. Czas opóźnienia



Rysunek 3.72: Opóźnienie danych wejściowych, oraz zgodność w fazie przebiegu danych wyjściowych z sygnałem synchronizacji. Symulacje po narysowaniu masek technologicznych

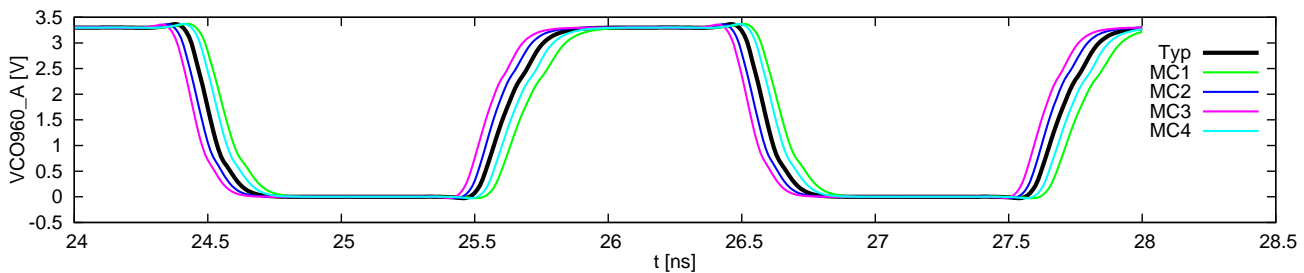
przebiegu danych nie uległ zmianie w sposób znaczący, tylko sygnał synchronizacji zwiększył swoje opóźnienie względem przebiegu danych wyjściowych do wartości 40 ps. Nie ma to jednak

większego znaczenia z punktu widzenia działania całego układu. Podobnie zależność między dwoma sygnałami synchronizacji nie ulega zmianie, co obrazuje wykres 3.73.



Rysunek 3.73: Zależność fazowa między dwoma sygnałami synchronizacji po narysowaniu layoutu

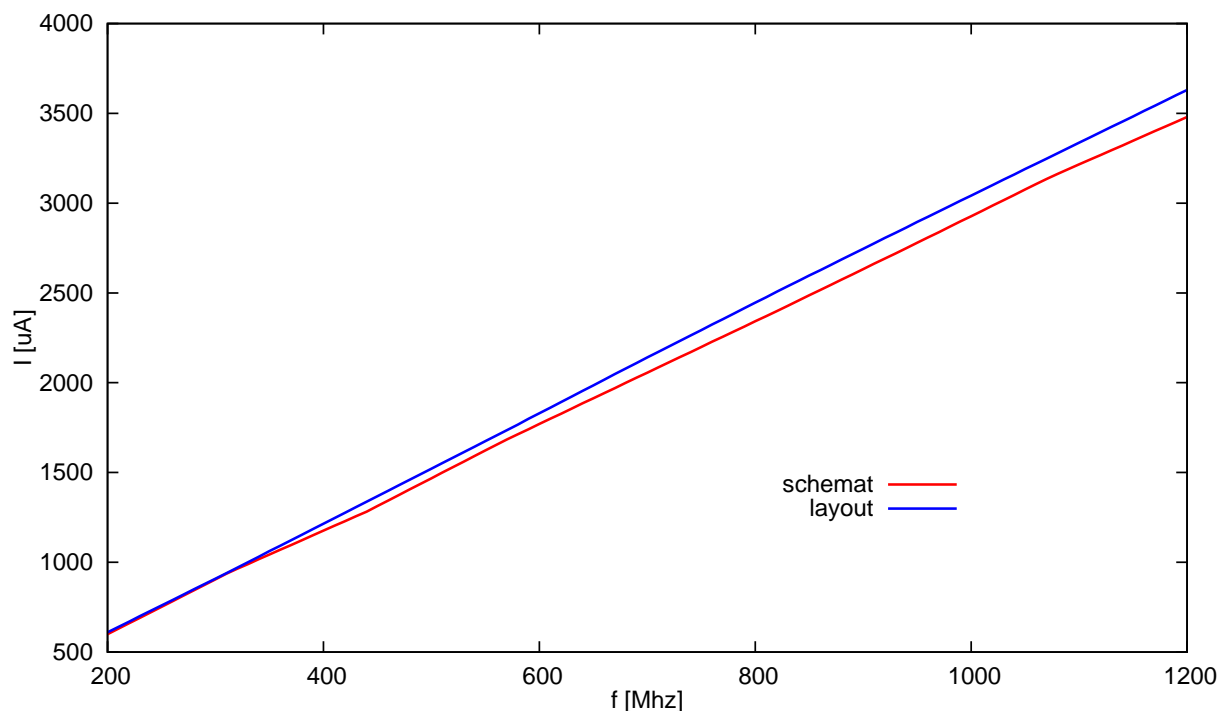
W przypadku układu synchronizacji bardzo ważny jest problem rozrzutów technologicznych, jakie wystąpią po fizycznym wykonaniu ASIC'a. Na rysunku 3.74 przedstawione są przykładowe symulacje takich rozrzutów (symulacje Monte Carlo) z uwzględnieniem wpływu elementów pasożytniczych. Czarna krzywa odpowiada symulacji przy typowych wartościach elementów, jakie



Rysunek 3.74: Wpływ rozrzutów technologicznych na opóźnienie sygnałów synchronizacji. Czarna krzywa odpowiada zachowaniu układu z typowymi wartościami elementów jakie użyte zostały w projektowanym chipie

zostały zastosowane w projekcie. W zależności od tego w którą stronę wymiary tranzystorów się zmieniają, odpowiedź układu będzie szybsza lub wolniejsza. Na wykresie przedstawione zostały tylko wyniki kilku symulacji, jednak w praktyce symulacje trzeba powtórzyć kilkadziesiąt razy aby dobrze ocenić statystykę rozrzutów i jej wpływ na działanie układu.

Jak w każdym układzie cyfrowym, pobór prądu przez układ synchronizacji uzależniony jest od częstotliwości jego pracy. Do wyznaczenia poboru prądu na wejście podawany był przebieg prostokątny o maksymalnej możliwej częstotliwości zmian. Dla trybu pracy "single-rate" dane mogą zmieniać się z częstotliwością 480 MHz (przy nadawaniu 1010101..), co odpowiada dwukrotnie wyższej częstotliwości przebiegu zegarowego (okres zegara przypada na każdy półokres danych). Zgodnie z opisem działania przedstawionym w tym rozdziale, przebieg danych nie jest dzielony i cała logika w układzie synchronizacji działa z częstotliwością wejściową. Pobór prądu dla danych 480 MHz wynosi 1.405 mA, a po uwzględnieniu elementów pasożytniczych rośnie



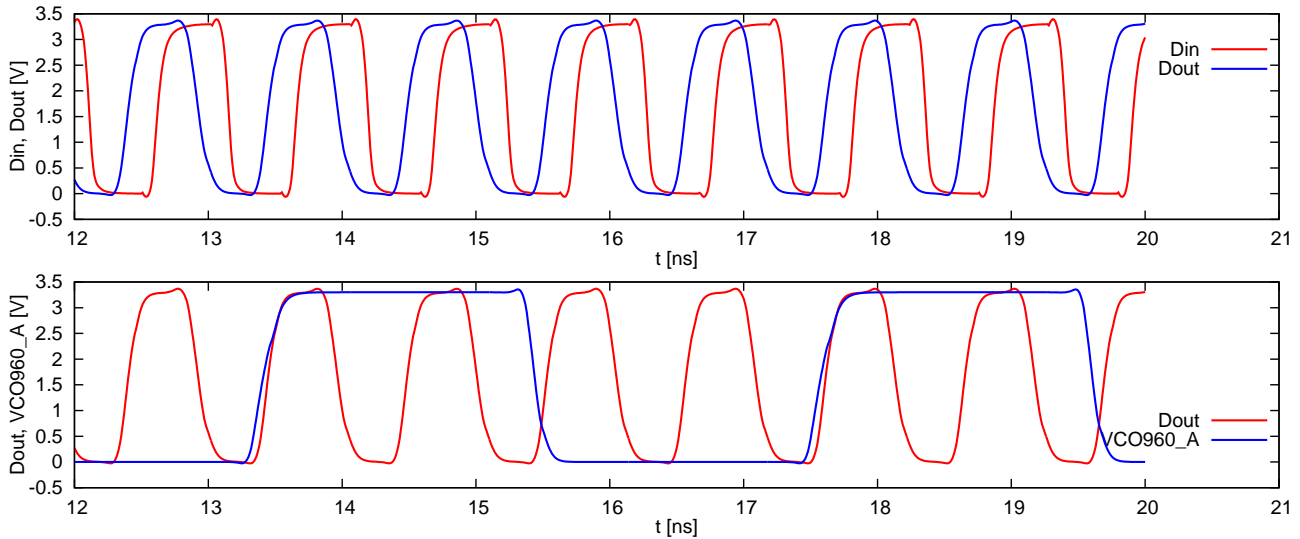
Rysunek 3.75: Zależność poboru prądu układu synchronizacji od częstotliwości zmian sygnału danych

do niewiele większej wartości 1.470 mA . Rysunek 3.75 przedstawia porównanie poboru prądu dla przypadku symulacji schematu i symulacji po narysowaniu layoutu, w zależności od częstotliwości danych wejściowych (przebieg prostokątny o wypełnieniu 50%). Podczas normalnej pracy przebieg danych ma średnio niższą częstotliwość zmian, więc pobór prądu przedstawiony na wykresie jest najgorszym możliwym przypadkiem.

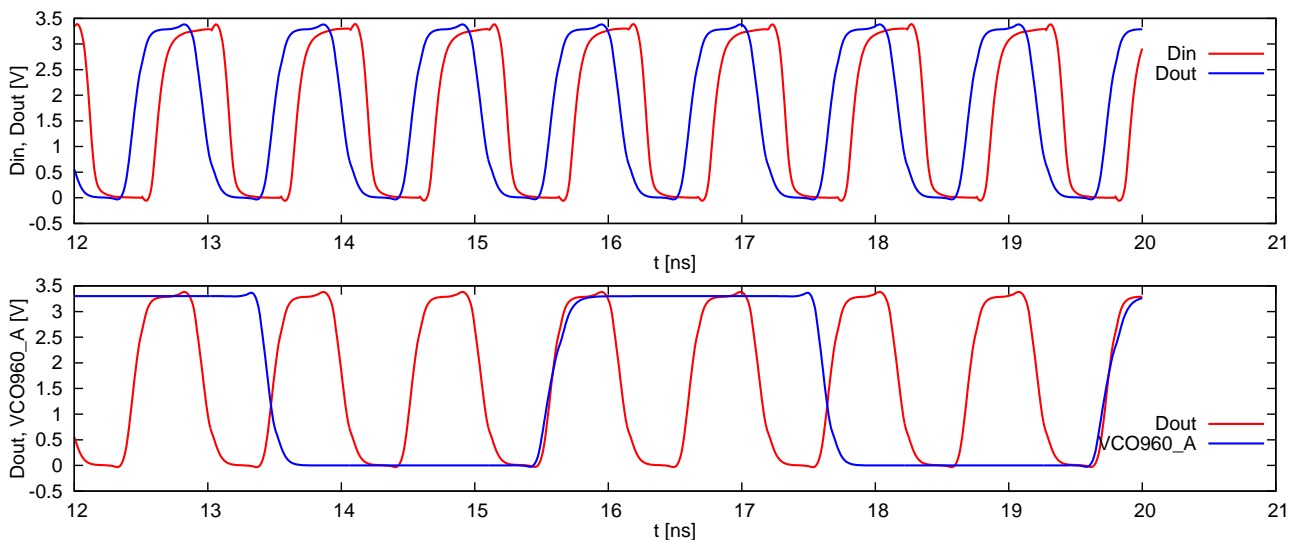
3.7.2 Szczegółowe symulacje w trybie "half-rate"

Gdy układ odzyskiwania zegara i danych pracuje w trybie Half-Rate, dane wejściowe mogą mieć częstotliwość zmian równą częstotliwości przebiegu zegarowego. Pociąga to za sobą konieczność stosowania trochę innej metody przełączania oscylatorów w zastosowanym układzie CDR. Dzięki użyciu dzielnika przez 4 nie każda zmiana danych powoduje zmianę przebiegów synchronizacyjnych na wyjściu układu. Rysunek 3.76 przedstawia zależności czasowe między przebiegiem danych wejściowych, wyjściowych oraz sygnałem synchronizacji. Opóźnienie między wejściem a wyjściem sygnału danych wynosi teraz około 822 ps i jest spowodowane działaniem dodatkowych bramek transmisyjnych przez które przebieg ten ulega propagacji. W przypadku tego trybu pracy sygnał synchronizacji jest szybszy od danych wyjściowych o wartość 35 ps .

Po narysowaniu masek technologicznych działanie układu uległo poprawie. Dzieje się tak dlatego ponieważ wymiary tranzystorów zostały tak dobrane, aby powstałe po narysowaniu



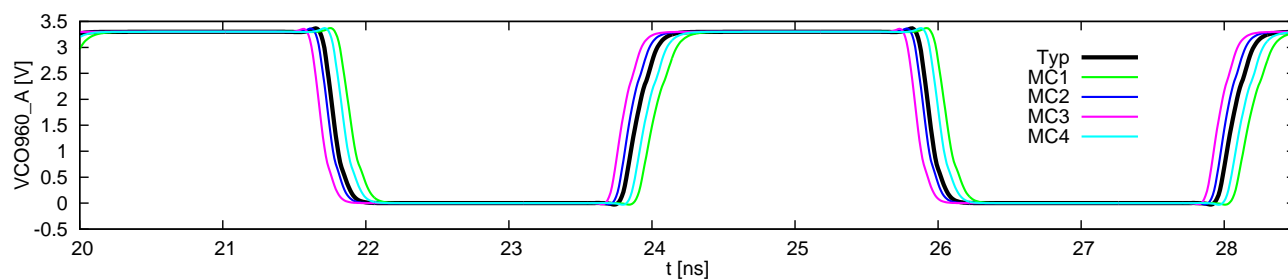
Rysunek 3.76: Opóźnienie danych wejściowych, oraz zgodność w fazie przebiegu danych wyjściowych z sygnałem synchronizacji. Symulacje bez uwzględnienia elementów pasożytniczych



Rysunek 3.77: Opóźnienie danych wejściowych, oraz zgodność w fazie przebiegu danych wyjściowych z sygnałem synchronizacji. Symulacje po narysowaniu masek technologicznych

layoutu, elementy pasożytnicze spowodowały wyrównanie opóźnień między przebiegiem danych i sygnałem synchronizacji. Odpowiednie przebiegi przedstawia wykres 3.77. Opóźnienie bezwzględne między wejściem a wyjściem danych w układzie synchronizacji uległo zwiększeniu do wartości 860 ps, jednak przebieg danych spóźnia się teraz względem sygnału synchronizacji jedynie o 6 ps, co wynika z różnych czasów narastania obu sygnałów.

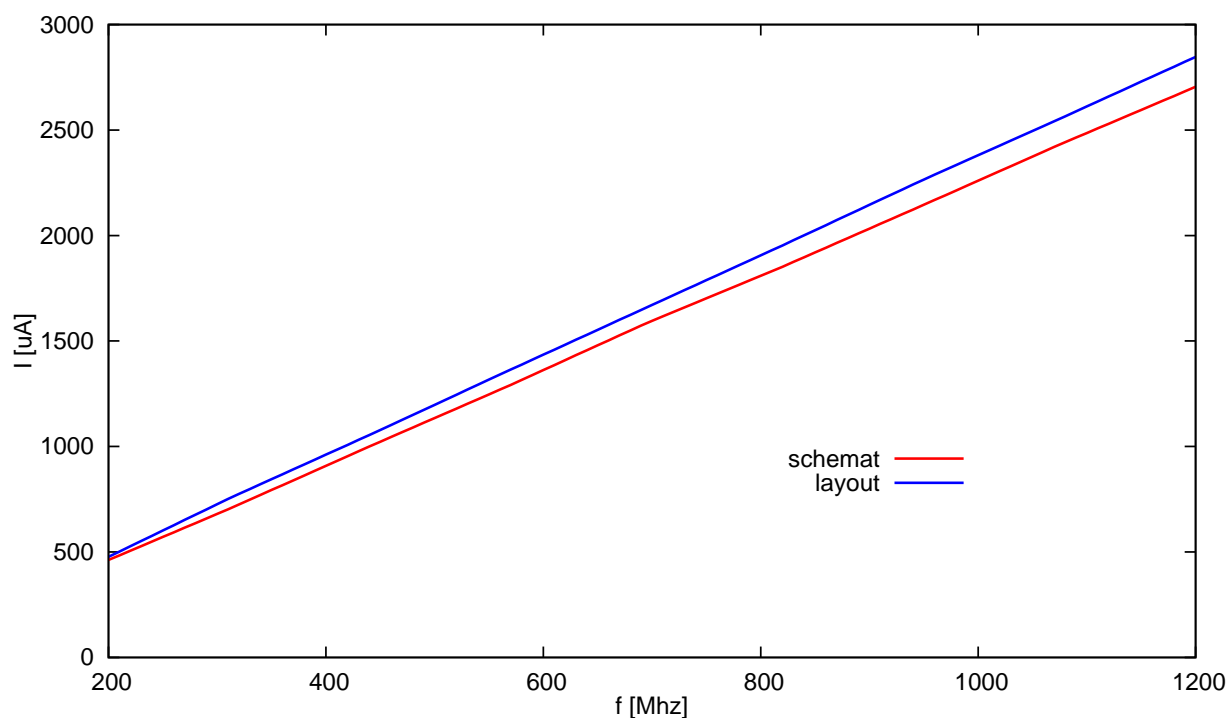
Wpływ rozrzutów technologicznych elementów na sygnał synchronizacji przedstawiony jest na rysunku 3.78. Podobnie jak w symulacjach poprzedniego trybu pracy, na wykresie widać tylko kilka przykładowych iteracji Monte Carlo. Rozrzuty opóźnień wynikające ze zmiany wymiarów



Rysunek 3.78: Wpływ rozrzutów technologicznych na opóźnienie sygnałów synchronizacji. Czarna krzywa odpowiada zachowaniu układu z typowymi wartościami elementów

tranzystorów są akceptowalne dla działania układu CDR.

Pobór prądu układu synchronizacji w tym trybie pracy, podobnie jak w poprzednim przypadku, wyznaczony jest na podstawie danych wejściowych w postaci przebiegu periodycznego. Maksymalna częstotliwość danych może wynieść 960 MHz i przy takim przebiegu wejściowym, w symulacjach samego schematu pobór prądu wyniósł 2.182 mA . Po narysowaniu masek technologicznych wartość ta uległa zmianie w niewielkim stopniu i wynosi 2.298 mA . Na rysunku



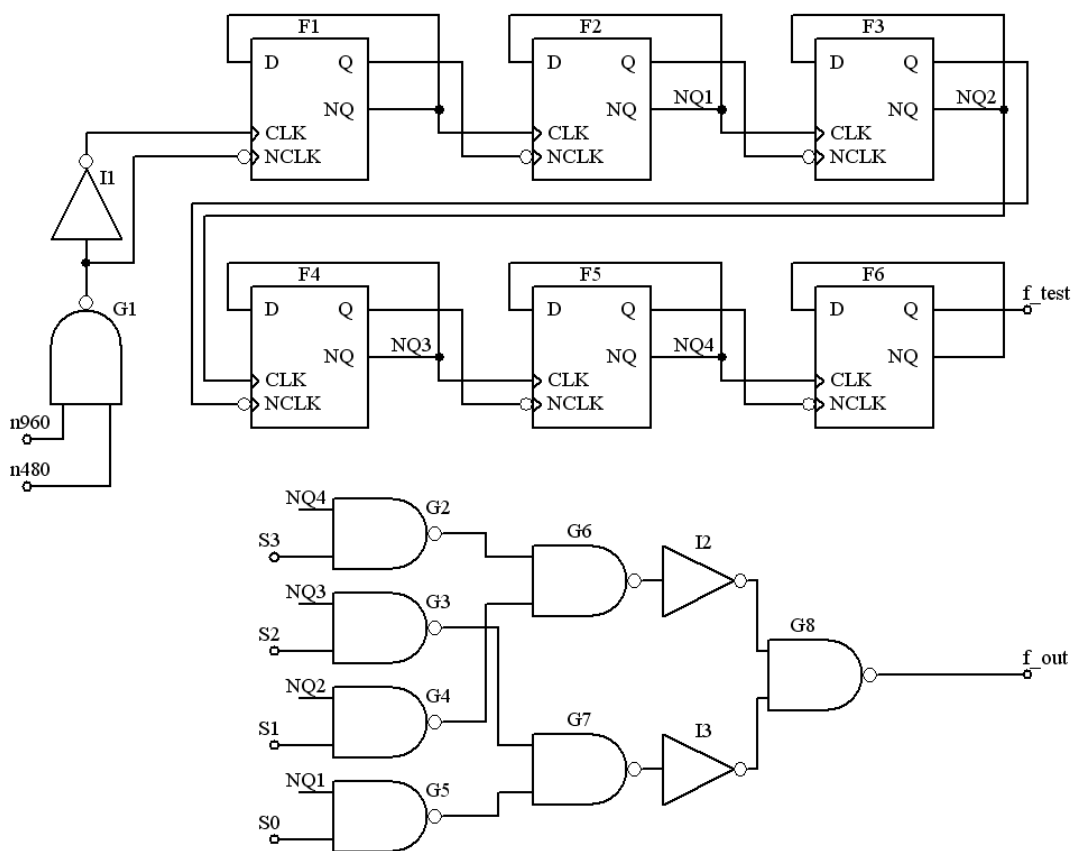
Rysunek 3.79: Zależność poboru prądu układu synchronizacji od częstotliwości zmian sygnału danych

3.79 została przedstawiona zależność pobieranego prądu od częstotliwości danych wejściowych. Jednostkowy pobór prądu w trybie "half-rate" jest mniejszy niż w "single-rate", gdyż część logiki działa na podzielonym przebiegu danych. Dla częstotliwości danych 480 MHz pobór prądu w "half-rate" wynosi 1.150 mA , a w "single-rate": 1.470 mA , ale szybkość transmisji w trybie

"half-rate" jest wtedy dwukrotnie większa. Dla tej samej szybkości transmisji równej 480 Mb/s stosunek poboru prądu dla samego układu synchronizacji jest równy 0.577 mA do 1.470 mA .

3.8 Dzielnik sterowany

Dzielnik częstotliwości jest układem potrzebnym do realizacji powielania częstotliwości przez pętlę fazową. Działa on w sprzężeniu zwrotnym pętli fazowej, umożliwiając stabilizację częstotliwości wyjściowej na wartości N razy większej od częstotliwości referencyjnej, gdzie N jest stopniem podziału dzielnika. W zaprojektowanym ASIC'u dzielnik częstotliwości posiada możliwość sterowania stopnia podziału, ponieważ pętla fazowa może pracować na kilku wybranych częstotliwościach. Schemat ideowy zastosowanego w praktyce dzielnika przedstawia rysunek 3.80. Układ nie różni się wiele od klasycznych konfiguracji dzielnika asynchronicznego,



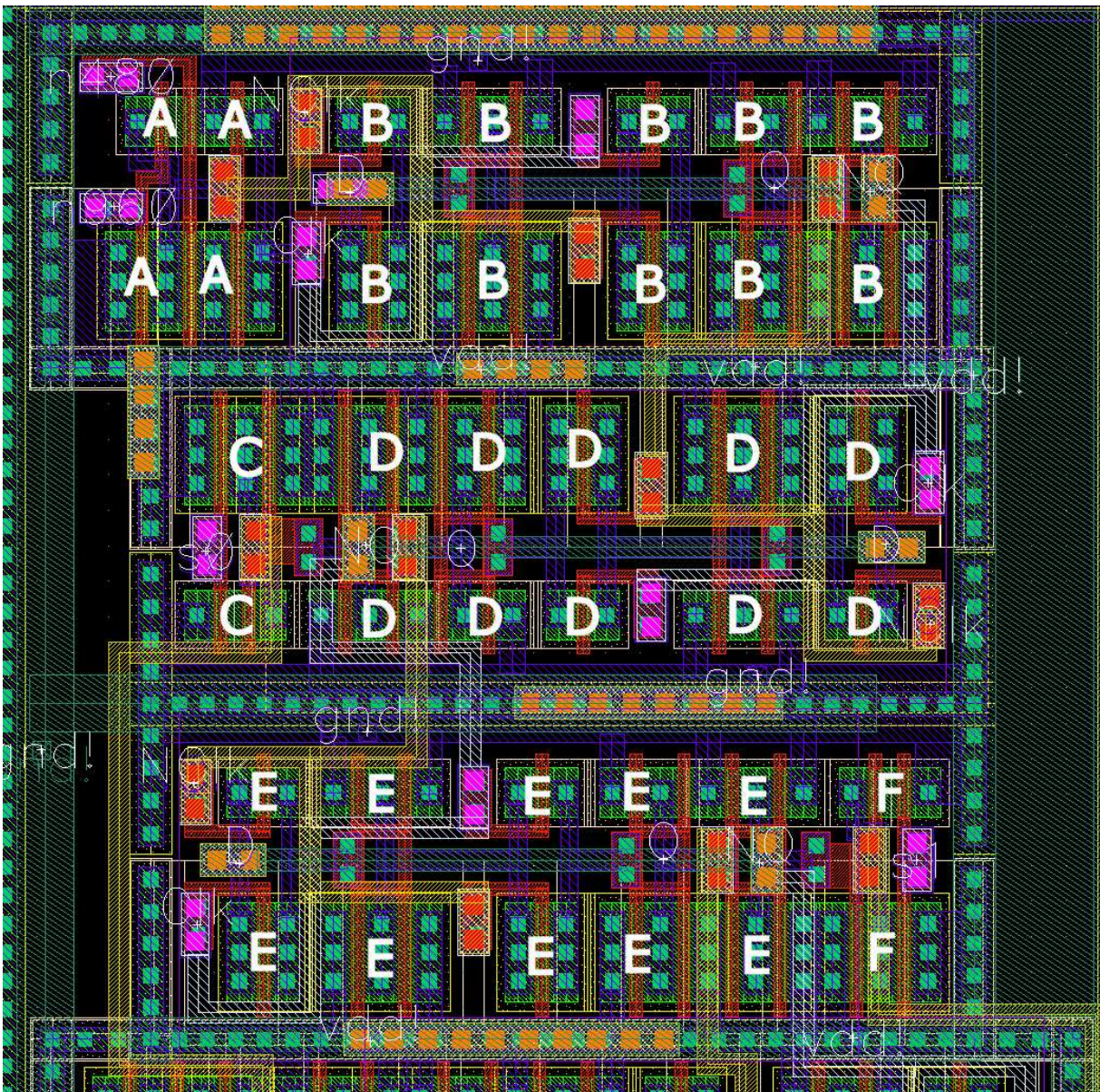
Rysunek 3.80: Schemat ideowy sterowanego dzielnika częstotliwości

spotykanych w literaturze [29]. Przerzutniki F1 - F6 pozwalają podzielić częstotliwość wejściową przez 64 i taki podział wykorzystywany jest jako wyjście przebiegu testowego (f_test) z ASIC'a. Pozwoli to zbadać czy pętla fazowa działa poprawnie, ponieważ ze względu na duże częstotliwości oscylacji, wyjście bezpośrednio z VCO nie może być obserwowane na zewnątrz ASIC'a. Wejściowa bramka G1, podłączona jest do obu oscylatorów w pętli fazowej, przy czym wejście n960 podłączone jest do zanegowanego wyjścia z oscylatora VCO960, a wejście n480 do zanegowanego wyjścia z SVCO. Ponieważ w jednej chwili pracuje jeden z oscylatorów, a wyjście drugiego jest w stanie wysokim, to nie ma konieczności stosowania tutaj multipleksera i bramka G1 wraz z inwerterem dostarczają sygnałów do poprawnej pracy przerzutnika F1.

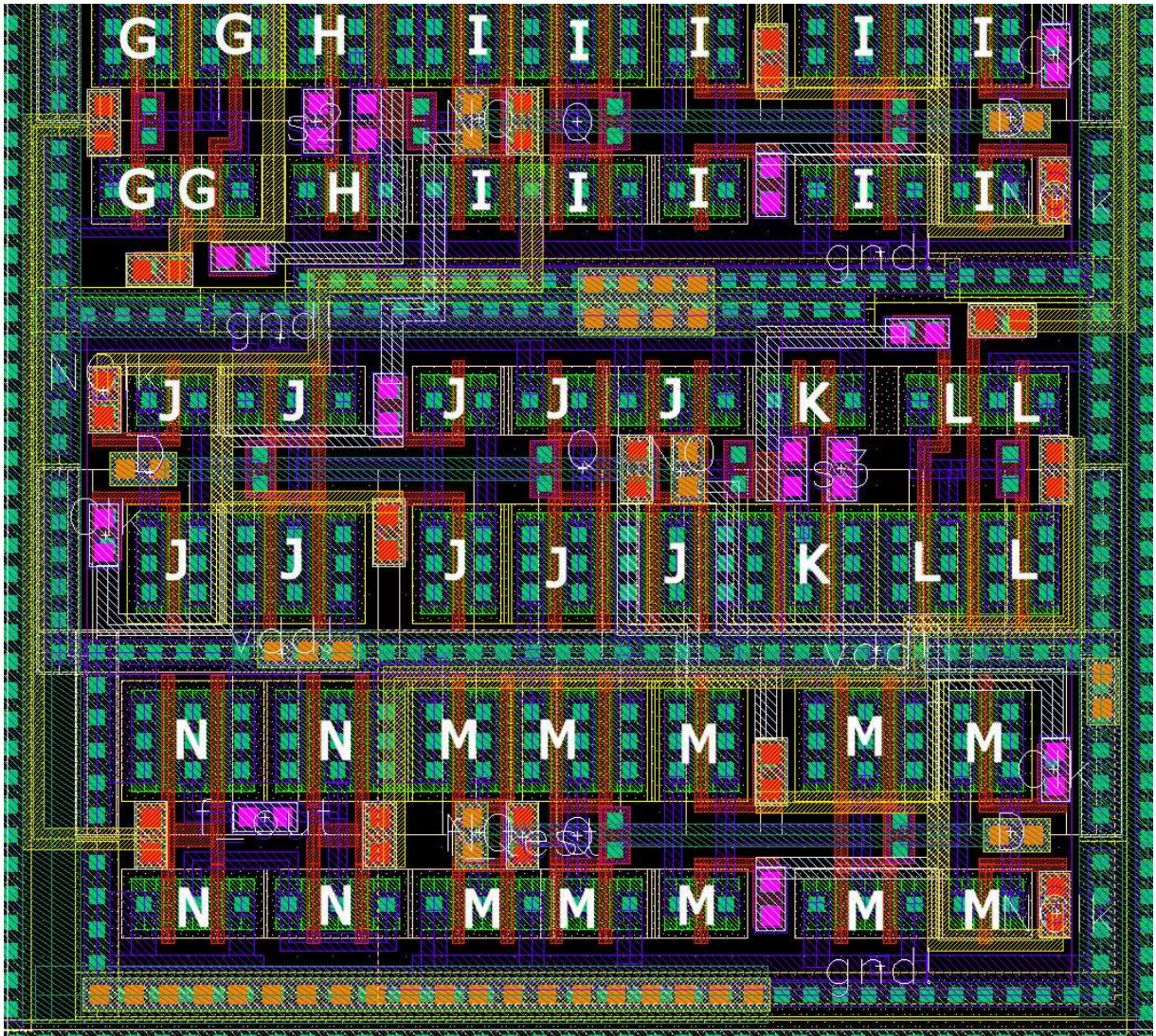
Przerzutniki F1-F6 pracują cały czas dzieląc przebieg podawany na wejście F1. Sterowanie

stopniem podziału odbywa się poprzez odpowiednie dołączenie wyjścia częstotliwości (f_{out}) do jednego z wyjść przerzutników (NQ4, NQ3, NQ2, NQ1) dzielnika. Zrealizowane jest to za pomocą multipleksera zbudowanego z bramek G2-G8 oraz inwerterów I2, I3. W jednej chwili tylko jeden z sygnałów S0-S3 jest w stanie wysokim, dzięki czemu przebieg z wyjścia jednego z przerzutników trafia na wyjście dzielnika (f_{out}). Dla przykładu, gdy S0 jest w stanie wysokim ($S1=S2=S3=0$), to na wyjściu f_{out} dostępny jest przebieg podzielony przez 4. Wyjście dzielnika dołączone jest wtedy do wyjścia przerzutnika F2 za pośrednictwem sieci bramek logicznych.

Maski technologiczne układu dzielnika sterowanego przedstawione są na rysunkach 3.81 oraz 3.82. Na pierwszym rysunku pokazane są przerzutniki F1-F3, wraz z częścią bramek logicznych, natomiast drugi rysunek przedstawia przerzutniki F4-F6 i pozostałą część logiki. Transzystory



Rysunek 3.81: Maski technologiczne dzielnika sterowanego, część 1 ($30 \times 30 \mu\text{m}^2$)

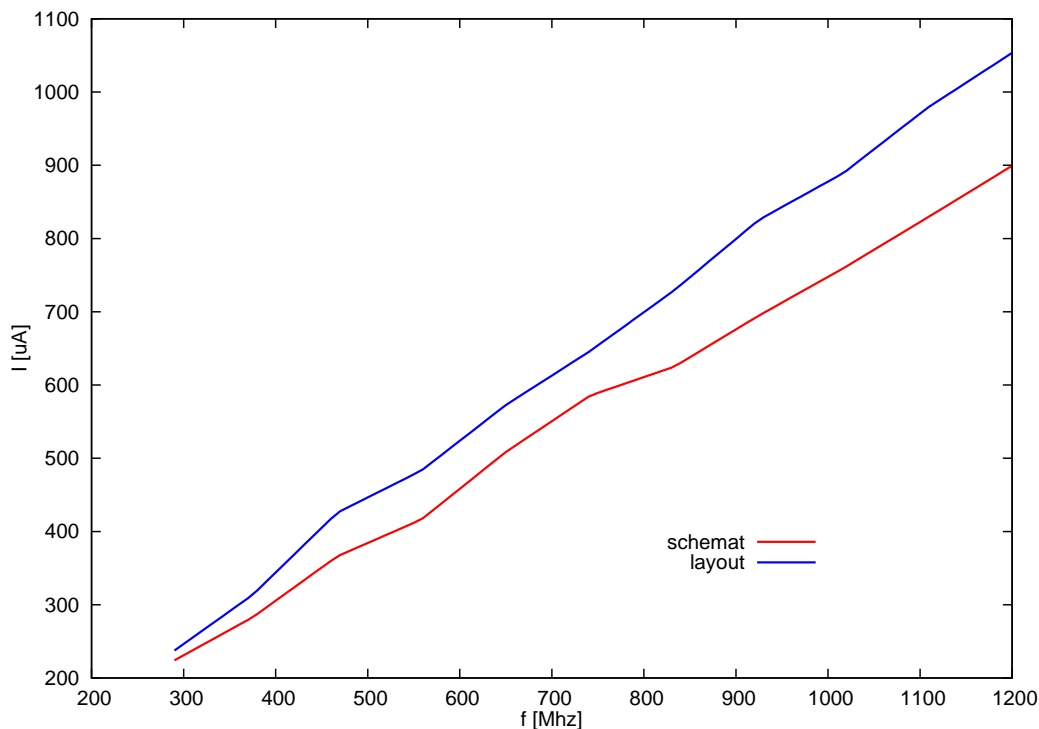


Rysunek 3.82: Maski technologiczne dzielnika sterowanego, część 2 ($30 \times 30 \mu\text{m}^2$)

wchodzące w skład bloku A, stanowią wejściową bramkę NAND G1, wraz z inwerterem I1. Elementy te umieszczone są jak najbliżej pierwszego przerzutnika F1, którego tranzystory oznaczone są na rysunku symbolem B. Bliskie ułożenie bramki i przerzutnika jest ważne ze względu na wysokie częstotliwości (maksymalnie 960 MHz), mogące pojawić się na wejściu układu. Aby skrócić połączenia sygnałowe, przerzutnik F2 (oznaczony literą D) narysowany jest w odbiciu lustrzanym (w osi pionowej i poziomej) względem przerzutnika F1. Dodatkowo jego tranzystory PMOS leżą teraz blisko tranzystorów PMOS przerzutnika F1, a co za tym idzie oba bloki mogą zostać umieszczone bliżej siebie. Bramka G5 narysowana jest na layoucie jako blok, którego elementy oznaczone są literą C. Znajduje się on bezpośrednio za przerzutnikiem F2, gdyż ma za zadanie transmitować (podzielony przez 4) przebieg z wejścia dzielnika, w przypadku gdy chip pracuje w trybie 120 MHz . Kolejny przerzutnik (F3), składający się z tranzystorów E jest ułożony w odbiciu lustrzanym względem F2, z tego samego powodu co przerzutnik F2 względem F1. Bramka składająca się z tranzystorów F, leżąca zaraz przy wyjściu przerzutnika F3, pracuje gdy chip działa w trybie 240 MHz i transmituje, przebieg podzielony przez 8. Bramka

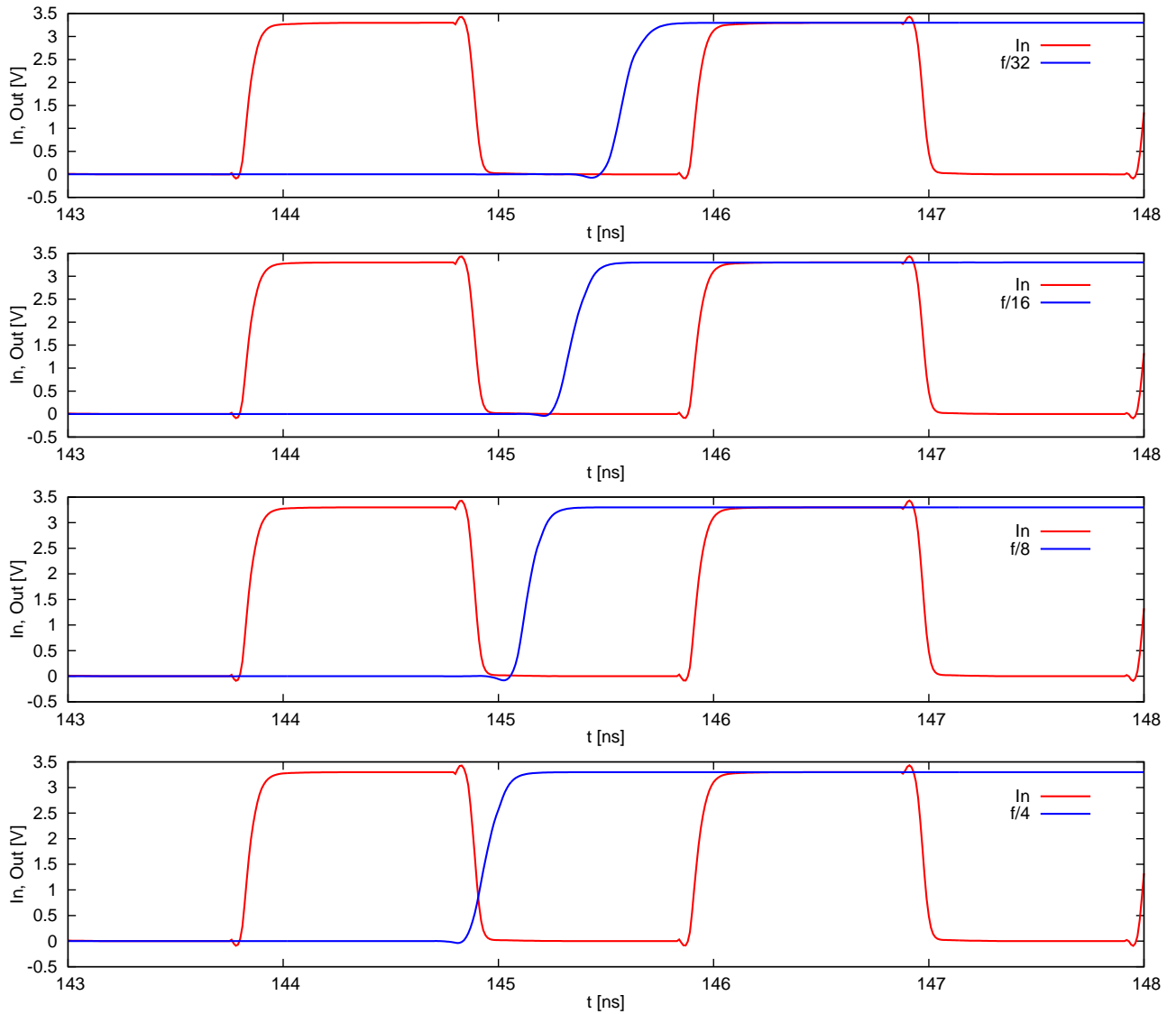
G6 wraz z inwerterem I3 przedstawiona jest w formie bloku tranzystorów G (na rysunku 3.82), natomiast literą H oznaczona jest bramka wejściowa transmitująca częstotliwość podzieloną przez 16 (dla trybu pracy 480 MHz). Przerzutnik F4 narysowany jest w formie tranzystorów I, a przerzutnik F5 jako J. Blok K umożliwia działanie dzielnika z podziałem przez 32, co jest wymagane dla najszybszego trybu pracy chipu (960 MHz). Tranzystory L stanowią bramkę NAND wraz z inwerterem będące częścią multiplexera w dzielniku. Ostatni przerzutnik, składający się z tranzystorów M, stanowi ostatni stopień podziału (przez 64), a jego wyjście daje jednocześnie przebieg częstotliwości testowej, dostępnej na zewnątrz projektowanego ASIC'a. Tranzystory N wchodzi w skład bramki G8, której wyjście dostarcza przebiegu o sterowanym stopniu podziału. Podczas normalnej pracy ASIC'a, na wyjściu dzielnika zawsze dostępny jest sygnał o częstotliwości 30 MHz, zgodnej z podawaną referencją.

Na rysunku 3.83 widać prąd jaki pobiera dzielnik w zależności od częstotliwości podawanej na jego wejście. Symulacje zostały przeprowadzone przy zastosowaniu największego stopnia podziału. Przy największej z częstotliwości na jakiej może pracować ASIC (960 MHz) pobór



Rysunek 3.83: Pobór prądu dzielnika w zależności od częstotliwości podawanej na wejście. Dwie krzywe odpowiadają symulacjom z uwzględnieniem i bez uwzględnienia elementów pasożytniczych

prądu dzielnika jest równy 720 μA , a po uwzględnieniu elementów pasożytniczych wzrasta on do 879 μA . Wykres 3.84 przedstawia przebiegi na wyjściu dzielnika, w odpowiedzi na wejściowy przebieg o częstotliwości 480 MHz. W zależności od sygnałów S0-S3 multiplexer przenosi sygnał z innego miejsca w łańcuchu przerzutników w dzielniku. Wpływa to na różnicę faz sygnału



Rysunek 3.84: Przebiegi na wyjściu dzielnika przy różnych stopniach podziału częstotliwości. Na wejście podawany jest przebieg o częstotliwości 480 MHz

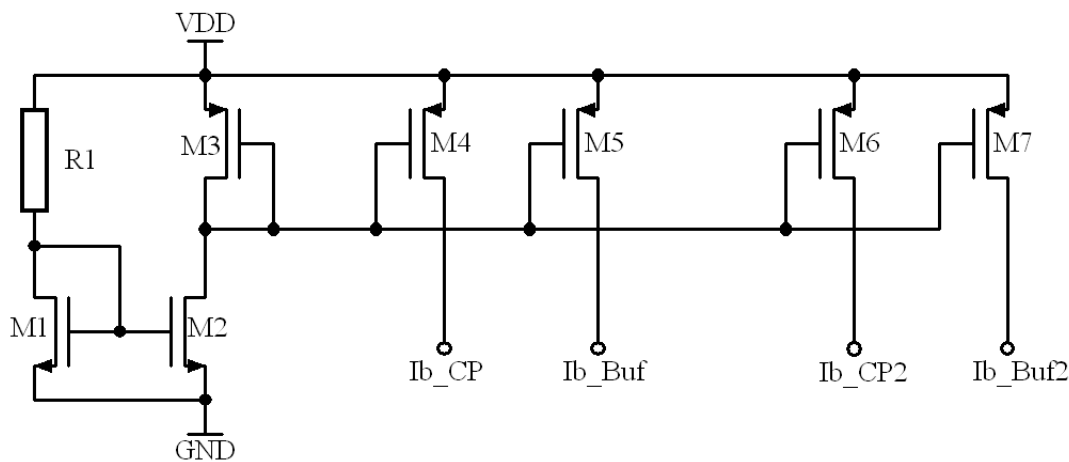
Tryb pracy	Δt [ns]
960 MHz	1.72
480 MHz	1.49
240 MHz	1.29
120 MHz	1.08

Tabela 3.2: Faza przebiegu wyjściowego dzielnika Δt w zależności od trybu pracy ASIC'a

między wejściem a wyjściem dzielnika. Różne opóźnienia między zboczami wynikają z różnej liczby przerzutników, przez które sygnał musi przejść oraz z odmiennej drogi sygnału dla każdego wejścia multiplexera. Opóźnienie jakie wprowadza dzielnik (między zboczem narastającym na wejściu, a zboczem narastającym na wyjściu) na każdym z trybów pracy zebrane jest w tabeli 3.2. Nie wpływa ono w znaczący sposób na działanie pętli fazowej.

3.9 Główny układ polaryzujący

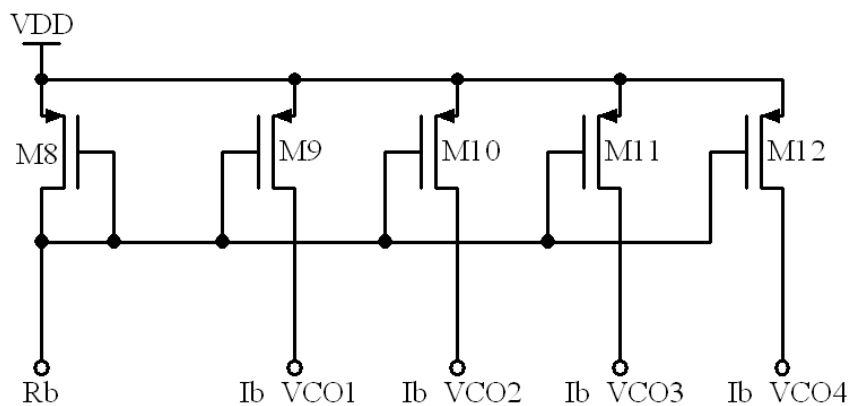
Główny układ polaryzujący jest zespołem lusterek prądowych, które polaryzują oscylatory sterowane, pompę ładunkową oraz jej bufor, stałymi prądami. Układ można podzielić na dwa fragmenty. Pierwszy współpracuje z pompą ładunkową i jej buforem napięciowym, dostarczając prądów referencyjnych o wartościach odpowiednio $12.5 \mu A$ oraz $25 \mu A$, natomiast drugi fragment polaryzuje oscylatory prądem $5 \mu A$. Schemat pierwszej części przedstawiony jest na rysunku 3.85. Ponieważ pompa ładunkowa i jej bufor nie wymagają bezwzględnej wartości



Rysunek 3.85: Schemat lusterek prądowych do polaryzacji pompy ładunkowej i jej bufora

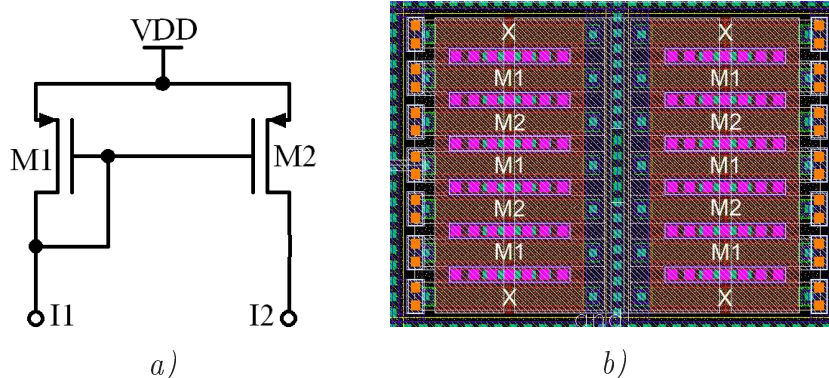
prądu o dokładnie określonej wartości, prąd ustalany jest w tym obwodzie przez rezystor R1 o wartości $45 k\Omega$, z którego trafia na zapięty w połączeniu diodowym tranzystor M1. Lustro M1-M2 stanowi (pomocnicze) pierwsze odbicie prądu, za pomocą którego polaryzowany jest właściwy fragment układu. Główne lustro prądowe zbudowane jest z tranzystorów M3-M7, przy czym tranzystor M3, zapięty w połączeniu diodowym, ustala potencjał sterujący pozostałych tranzystorów, stanowiących jednocześnie wyjścia z układu polaryzującego. Obecność dwóch wyjść dla pompy ładunkowej i dwóch dla buforów napięciowych uzasadniona jest budową zaprojektowanego ASIC'a, w którym jeden główny układ polaryzujący dostarcza prądów dla dwóch takich samych nadajników (lub odbiorników).

Na rysunku 3.86 widać drugi fragment układu polaryzującego, współpracujący z oscylatorami sterowanymi. Budowa tutaj jest o wiele prostsza, gdyż wykonane jest tylko jedno odbicie prądowe na tranzystorach M8-M12. Rezystor ustalający prąd w tym przypadku jest elementem zewnętrznym i w jego miejsce zostanie zastosowany potencjometr wieloobrotowy pozwalający zmieniać wartość tej rezystancji w granicach $15 - 200 k\Omega$. Tranzystor M8 jest zapięty w połączeniu diodowym i ustala potencjał bramki pozostałych tranzystorów w lustrze prądowym. Obecność czterech wyjść podyktowana jest tym samym powodem co w pierwszej części układu polaryzującego. Możliwa jest dzięki temu polaryzacja dwóch oscylatorów VCO960 i dwóch oscylatorów SVCO.



Rysunek 3.86: Schemat luster prądowych do polaryzacji oscylatorów sterowanych

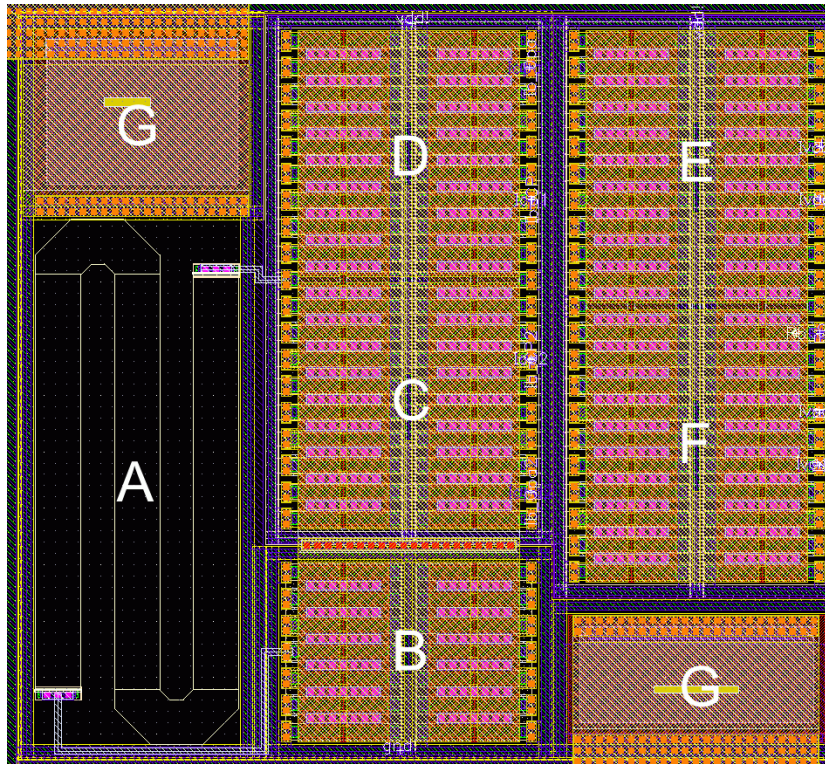
Schemat źródła prądowego nie pozostawia żadnych wątpliwości co do idei działania układu [2]. Ważne w tym przypadku jest prawidłowe narysowanie masek technologicznych takiego zespołu tranzystorów, zachowując jednakowe warunki pracy dla każdego z nich. Na rysunku



Rysunek 3.87: Rysowanie masek technologicznych źródeł prądowych. a) - schemat źródła prądowego oraz b) - przykład realizacji layoutu ($23 \times 17 \mu\text{m}^2$)

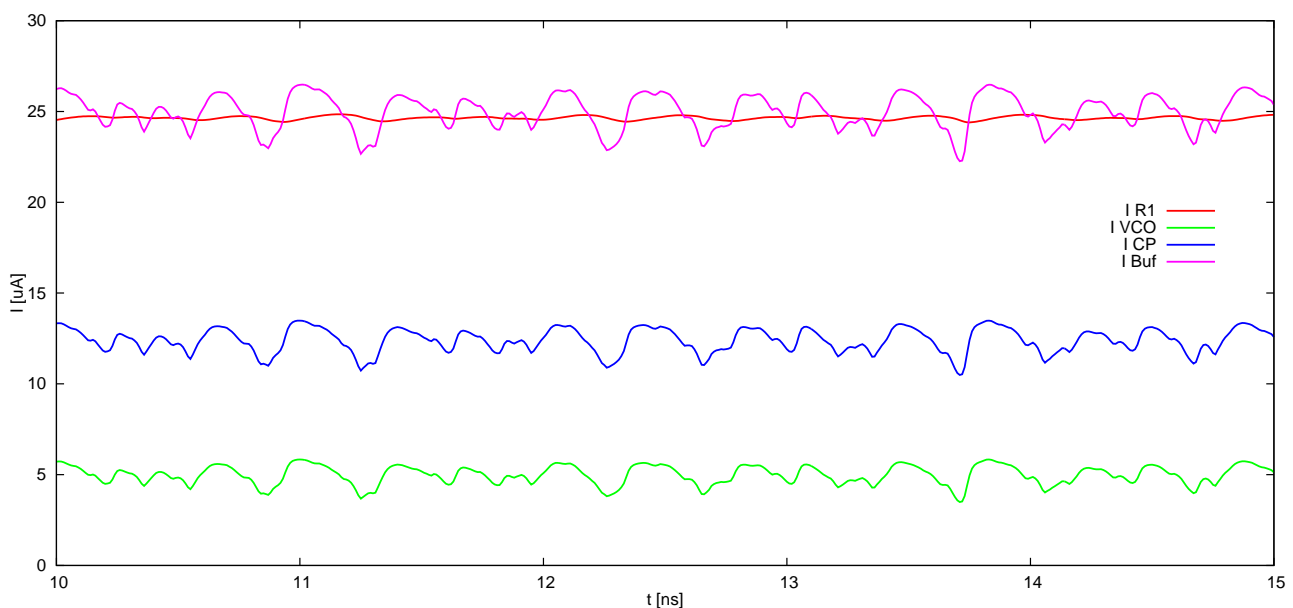
3.87 widać przykład realizacji prostego lustra prądowego z dwoma tranzystorami. W praktyce każdy z tranzystorów dzielony jest zwykle na matrycę mniejszych, połączonych równolegle, co pozwala je umieścić na layoutie w geometrii wspólnego środka. Rysunek 3.87b przedstawia maski technologiczne przykładowego źródła prądowego o odbiciu 3:2. Tranzystor M1 składa się z 6 mniejszych elementów, natomiast M2 z czterech. Tranzystory rozmieszczone są naprzemian, a dodatkowo na bokach zostały dodane tranzystory o tych samych wymiarach (oznaczone literą X), w celu wyrównania warunków pracy dla wszystkich elementów składowych źródła. Na layoutie 3.87b zostały pominięte wyższe (metal 3 i 4) warstwy metaliczne, w celu poprawienia czytelności rysunku.

Maski technologiczne całego układu polaryzującego przedstawione są na rysunku 3.88. Bloki oznaczone symbolami A-D stanowią pierwszy fragment układu, odpowiedzialny za polaryzację pompy ładunkowej. Pierwsze odbicie prądowe na tranzystorach M1-M2 widoczne jest na layoutie jako blok B, natomiast pozostałe elementy tego źródła wchodzi w skład bloków C i D.



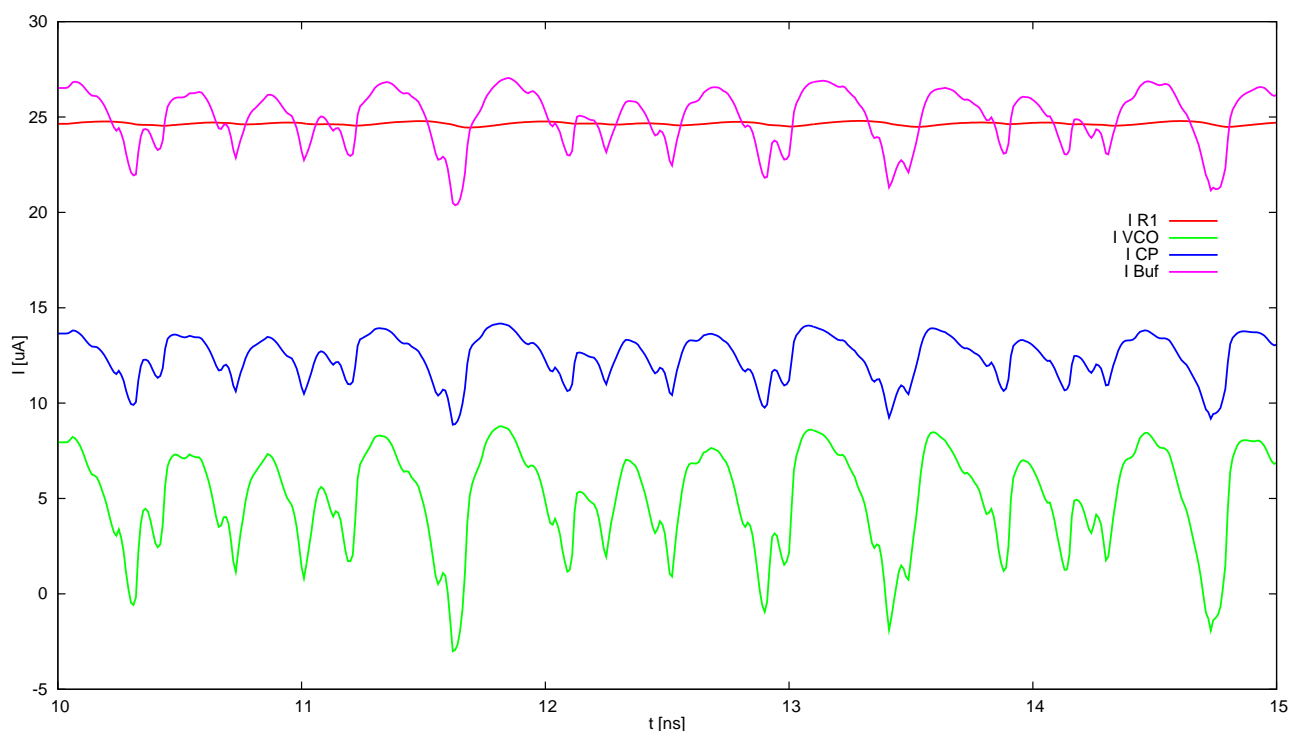
Rysunek 3.88: Maski technologiczne głównego układu polaryzującego ($70 \times 65 \mu\text{m}^2$)

Rezystor ustalający prąd oznaczony jest jako A. Drugi fragment układu polaryzującego, dający referencyjny prąd dla oscylatorów, jest prostszy i zawiera się w całości w obrębie bloków E oraz F. Tranzystory wszystkich luster prądowych w całym układzie polaryzującym, zostały narysowane zgodnie z ideą przedstawioną na rysunku 3.87b. Literą G oznaczone zostały dwa kondensatory filtrujące napięcie zasilania.



Rysunek 3.89: Oscylacje prądów polaryzujących wynikające ze zmian napięcia zasilania. Symulacje nie uwzględniają wpływu elementów pasozytniczych

Na rysunku 3.89 przedstawione zostało zachowanie prądów polaryzujących w czasie. Powodem widocznych tak oscylacji są zmiany napięcia zasilania jakie wystąpią w praktycznym układzie. Dla celów symulacji zasilanie do układu podłączone było przez rezystor $4\ \Omega$ i cewkę $5\ nH$, które mają odzwierciedlać połączenia między projektowanym układem ASIC, a jego płytką bazową. Po uwzględnieniu elementów pasożytniczych stabilność prądów ulega pogorszeniu, co widać na rysunku 3.90.



Rysunek 3.90: Oscylacje prądów polaryzujących wynikające ze zmian napięcia zasilania. Symulacje uwzględniają wpływ elementów pasożytniczych

Na działanie źródeł prądowych w głównym układzie polaryzującym mają też wpływ rozrzuty technologiczne tranzystorów. W tabeli 3.3 zostały pokazane przykładowe wartości prądów, jakie zostały uzyskane w symulacjach Monte Carlo.

Symulacja nr.	1	2	3	4	5	6	7	8	9	10
I RB1 [μA]	24,75	24,71	24,83	25,54	24,52	25,35	24,46	23,67	24,99	24,84
I VCO [μA]	5,01	4,98	5,00	5,09	4,96	5,11	4,92	4,75	5,08	4,97
I CP [μA]	14,48	12,30	14,32	14,00	13,59	13,04	11,61	13,84	12,12	12,65
I Buf [μA]	29,30	24,94	29,17	28,37	27,58	26,54	23,11	28,03	24,46	25,54

Tabela 3.3: Zmiany prądów polaryzujących wynikające z symulacji rozrzutów technologicznych elementów

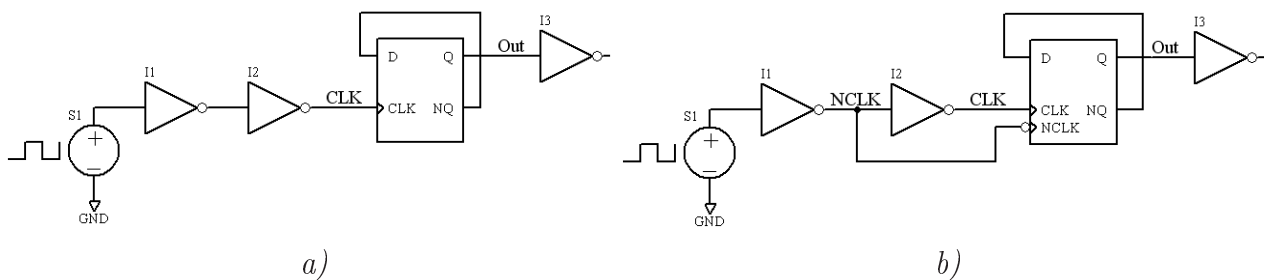
3.10 Przerzutnik

3.10.1 Symulacje wstępne - wybór konfiguracji przerzutnika

W celu oceny podstawowych parametrów pracy przedstawionych w rozdziale 2.6 rozwiązań układowych przerzutnika zostały wykonane ich wstępne symulacje w układzie typowego dzielnika częstotliwości przedstawionego na rysunku 3.91. Inwertery I1 i I2 służyły wytworzeniu rzeczywistego sygnału zegarowego z generowanego przez idealne źródło S1 przebiegu prostokątnego. Częstotliwość zegara wynosiła $f = 500 \text{ MHz}$. Inwerter I3 pełnił rolę obciążenia wyjścia przerzutnika. Inwertery I1-3 były zasilane z dodatkowego źródła napięcia tak, by był możliwy pomiar poboru mocy przez sam przerzutnik. Dodatkowo mierzone były prądy płynące przez wejścia CLK i D (oraz NCLK w konfiguracjach dynamicznych) przerzutnika.

Za podstawę wymiarowania tranzystorów we wszystkich czterech konfiguracjach przyjęto tranzystor NMOS o minimalnej dostępnej w technologii długości kanału $L = 0,35 \mu\text{m}$ i szerokości $L = 1 \mu\text{m}$. Szerokość tą wybrano aby zapewnić pewną wydajnością prądową i z tego względu nie użyto minimalnego możliwego wymiaru $L = 0,4 \mu\text{m}$. Tranzystorom PMOS nadano dwukrotnie większą szerokość kanału ($2 \mu\text{m}$), zaś przy wymiarowaniu bramek logicznych użyto konwencji wymiarowania CMOS (np. dwa tranzystory NMOS połączone szeregowo powinny mieć szerokości kanałów dwa razy większe niż normalnie, czyli w tym przypadku $2 \mu\text{m}$). Długości kanałów wszystkich tranzystorów ustalono na minimalny rozmiar $0,35 \mu\text{m}$.

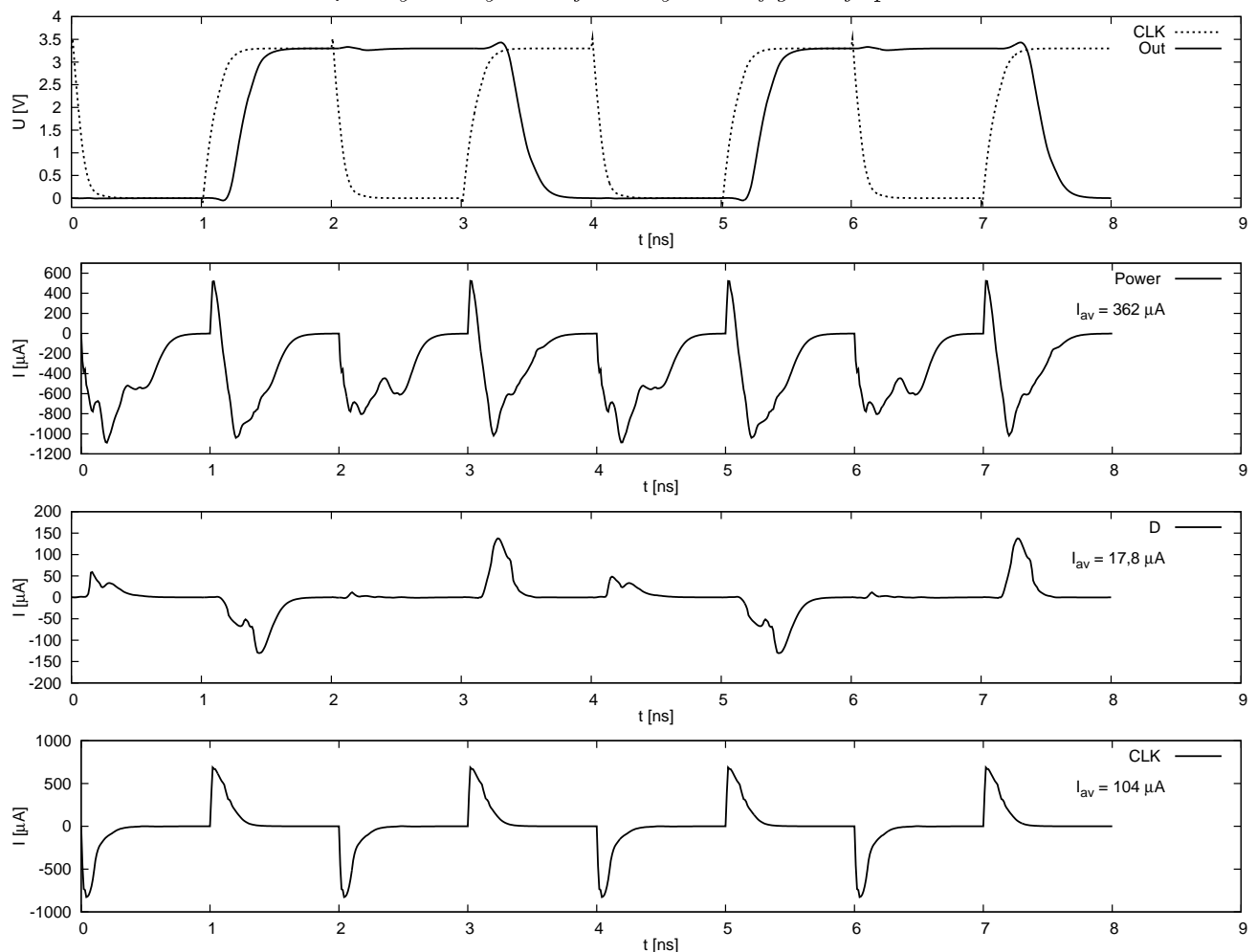
Wyniki symulacji pierwszego z rozwiązań, przerzutnika statycznego opartego o bramki NAND (schemat rys. 2.45a) przedstawiono na rysunku 3.92, zaś konfiguracji z komórką pamięci na dwóch inwerterach (rys. 2.46a) na rysunku 3.93. Rezultaty symulacji przerzutników dynamicznych przedstawiają rysunku 3.94 i 3.96. Znajdują się na nich, odpowiednio, wyniki dla przerzutnika ze sterowanymi inwerterami (rys. 2.48) i zbudowanego w oparciu o bramki transmisyjne (rys. 2.49a). Tabela 3.4 przedstawia zbiorczo zmierzone parametry poszczególnych konfiguracji przerzutników.



Rysunek 3.91: Schematy symulacyjne przerzutników: a) obu konfiguracji statycznych i b) obu dynamicznych.

parametr	jednostka	Przerzutniki statyczne		Przerzutniki dynamiczne	
		bramki NAND	komórka pamięci	sterowny inwerter	bramki transmisyjne
$\overline{i_{zasilania}}$	μA	361,5	138,5	101,7	106,8
$\overline{i_D}$	μA	17,8	8,2	17,3	39,7
$\overline{i_{CLK}}$	μA	103,6	9,3	28,6	16,3
$\overline{i_{NCLK}}$	μA	-	-	25,7	13,9
t_d	ps	230,1	466,7	203,5	171,8
t_{plh}	ps	213,3	243	192,8	171,2
t_{phl}	ps	246,7	220,2	159,6	143,6

Tabela 3.4: Wyniki symulacji różnych konfiguracji przerzutników.

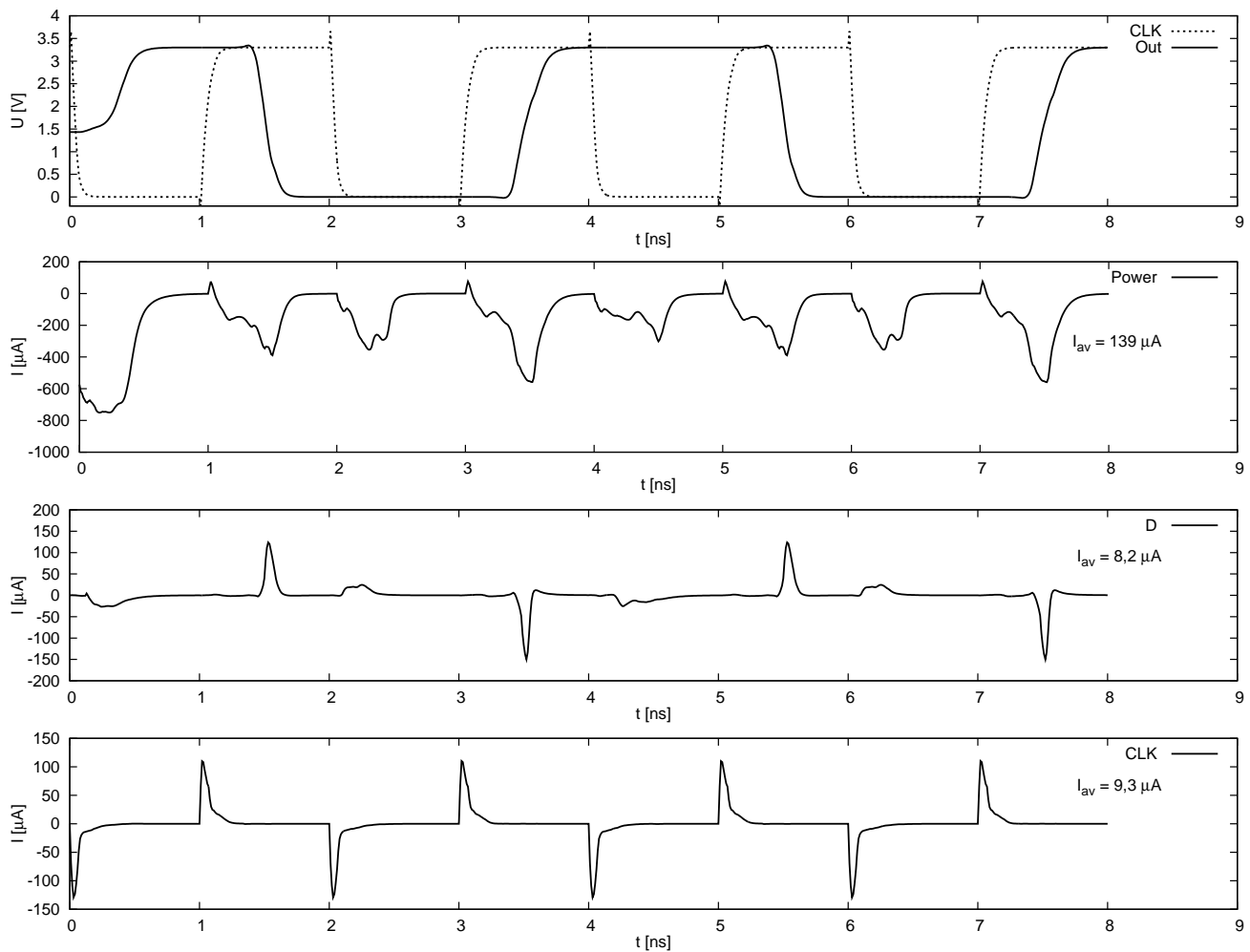


Rysunek 3.92: Parametry czasowe przerzutnika statycznego zbudowanego z bramek NAND.

W przypadku przerzutników dynamicznych, posiadających wejście NCLK dodatkowy sygnał zegarowy był dostarczany z wyjścia inwertera I1. Parametry $\overline{i_{zasilania}}$, $\overline{i_D}$, itd. w tabeli 3.4 oznaczają średnie prądy pobierane przez przerzutnik ze źródła zasilającego oraz płynące przez jego wejścia. W tabeli 3.5 przedstawiono obliczony średni pobór mocy wszystkich czterech konfiguracji, zarówno z linii zasilania ($\overline{P_{zasilania}}$) jak i sumaryczny poprzez wejścia przerzutnika.

parametr	jednostka	Przerzutniki statyczne		Przerzutniki dynamiczne	
		bramki NAND	komórka pamięci	sterowny inwerter	bramki transmisyjne
$\overline{P}_{zasilania}$	μW	1193	457	336	352
\overline{P}_{wej}	μW	401	58	236	231
$\overline{P}_{cakowita}$	μW	1594	515	572	583

Tabela 3.5: Pobór mocy różnych konfiguracji przerzutników.

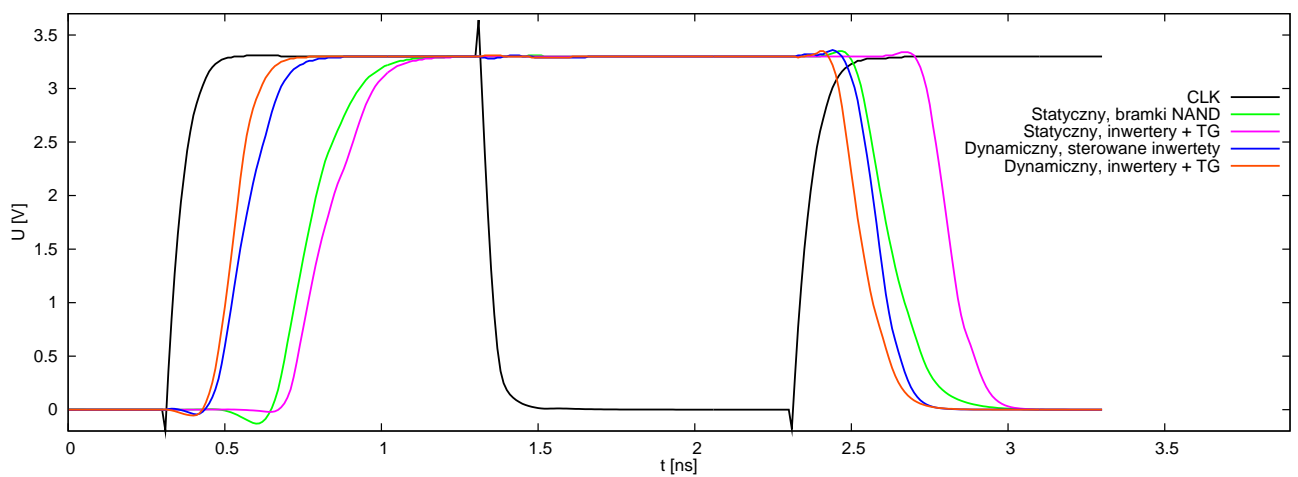


Rysunek 3.93: Parametry czasowe przerzutnika statycznego z komórką pamięci zbudowaną z inwerterów.

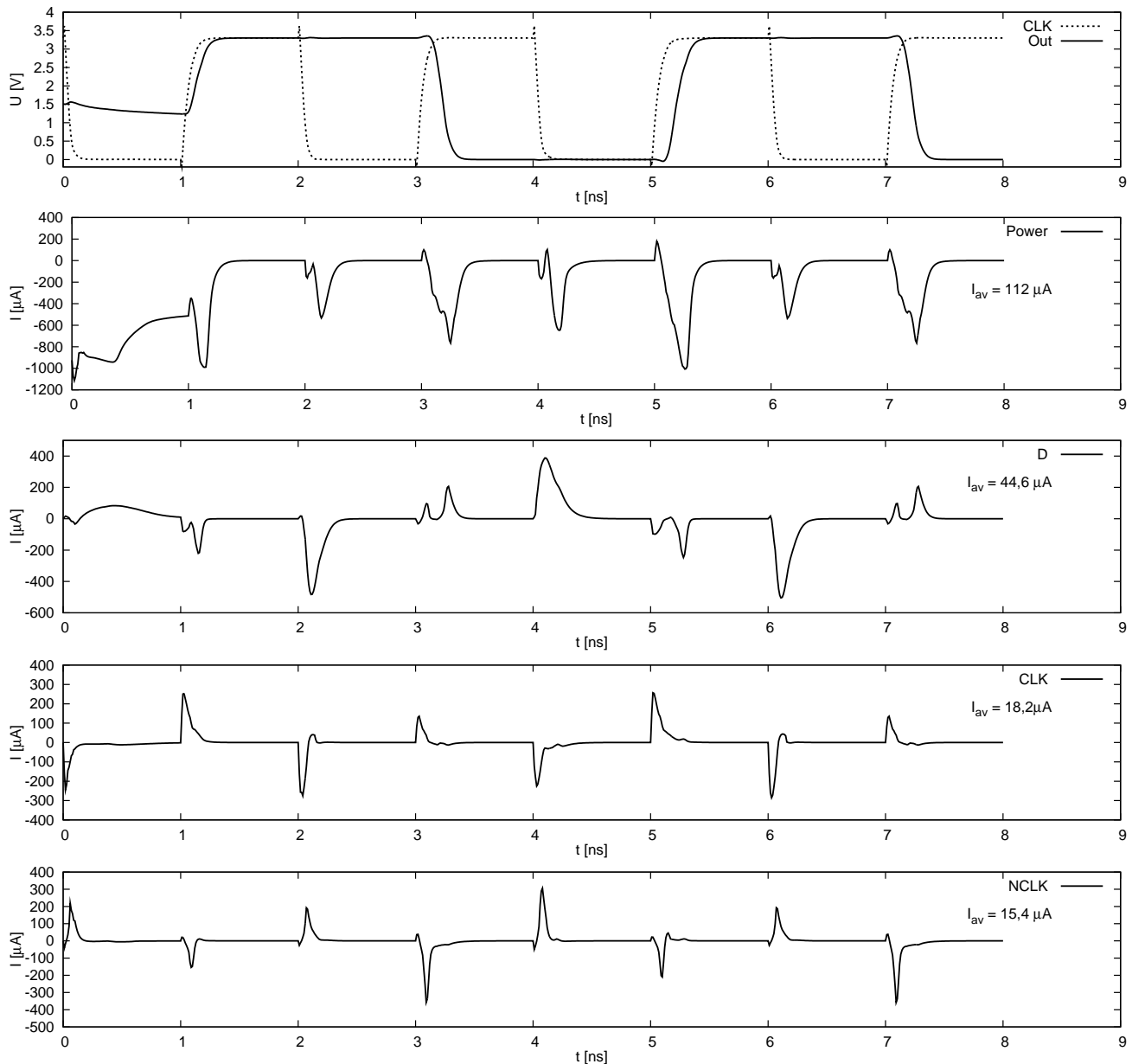
Spośród przedstawionych konfiguracji za najlepszą uznano wersję przerzutnika dynamicznego z bramkami transmisyjnymi (rys. 2.49a). Generalnie oba przerzutniki dynamiczne wykazały się lepszymi parametrami od wersji statycznych. Przerzutnik z komórką pamięci zbudowaną z inwerterów okazał się być za wolny na potrzeby niniejszej pracy. Akceptowalne parametry czasowe osiągnęła konfiguracja z bramkami NAND, jednakże pobór mocy rzędu $1,6 \text{ mW}$, a także duża liczba (34) tranzystorów wymaganych przez to rozwiązanie zdyskwalifikowały je całkowicie.



Rysunek 3.94: Parametry czasowe przerzutnika dynamicznego ze sterowanymi inwerterami.



Rysunek 3.95: Porównanie szybkości odpowiedzi przerzutników.

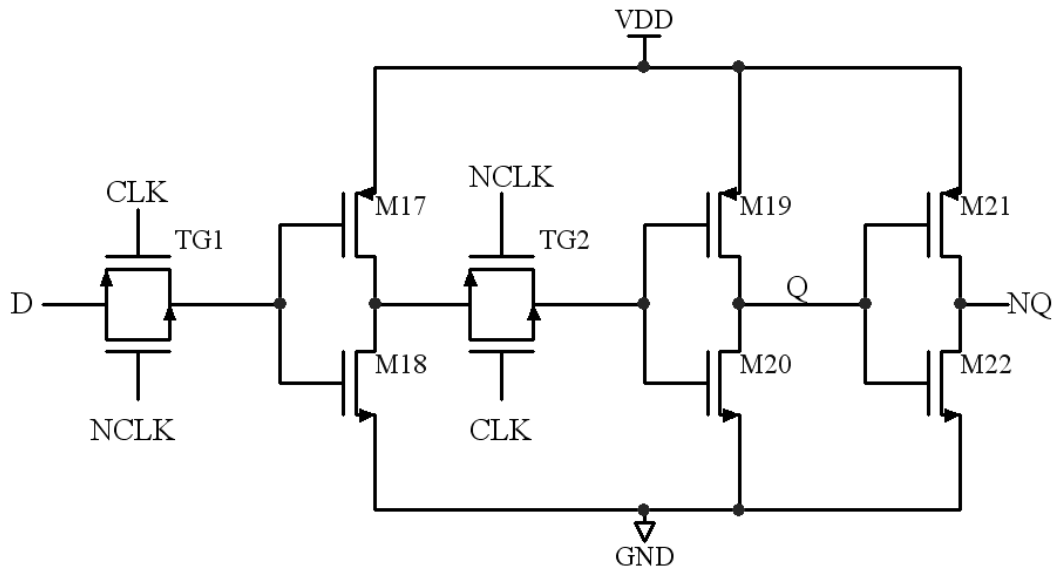


Rysunek 3.96: Parametry czasowe przerzutnika dynamicznego z bramkami transmisyjnymi.

Spośród dwóch pozostałych przerzutników dynamicznych wersję ze sterowanymi inwerterami cechował nieznacznie mniejszy pobór mocy (o około $10 \mu\text{W}$ w stosunku do wersji z bramkami transmisyjnymi), jednak była ona w zauważalny sposób wolniejsza (porównanie szybkości odpowiedzi przerzutników przedstawia rysunek 3.95). Dodatkową cechą która wpłynęła na wybór konfiguracji z bramkami transmisyjnymi była najmniejsza ilość tranzystorów, a także ich układ umożliwiający narysowanie masek technologicznych przerzutnika w postaci wąskiego paska, co było istotne przy budowaniu rejestrów wejścia-wyjścia. Mała ilość tranzystorów, a więc i mała powierzchnia układu oznaczała również krótsze połączenia sygnałowe wewnątrz przerzutnika, a więc i mniejsze pojemności pasożytnicze, których wpływ okazał się być później dość istotny. Wybraną konfigurację poddano dalszym symulacjom w celu optymalizacji parametrów pod zastosowania w konkretnych blokach ASIC'u.

3.10.2 Symulacje szczegółowe

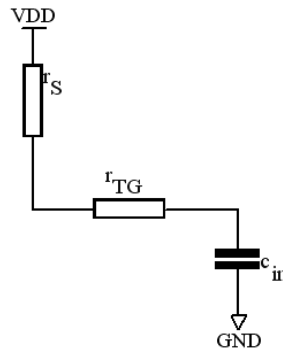
Rysunek 3.97 przedstawia przyjęty do dalszych symulacji schemat ideowy przerzutnika. Inwerter wyjściowy (tranzystory M21 i M22) został dodany w celu uzyskania wyjścia NQ. Wyjście to nie zawsze było potrzebne, więc w niektórych wersjach inwerter M21-22 usunięto. Symulacje, których wyniki przedstawia niniejszy rozdział, były prowadzone w wersji z dodatkowym wyjściem NQ.



Rysunek 3.97: Schemat ideowy przerzutnika.

Analiza teoretyczna działania przerzutnika (podrozdział 2.6.2, rys. 2.49) wskazuje, że szybkość działania pojedynczego zatrzasku przerzutnika zależy od czasu potrzebnego na przeładowanie pojemności wejściowych tranzystorów inwertera (np. M17, M18). Pojemności te są ładowane prądem pochodzącym z elementu sterującego wejściem D (w przypadku schematu symulacyjnego z rys. 3.91 jest to inwerter wyjściowy zbudowany z tranzystorów M21, M22), płynącym poprzez rezystancję kanału bramki transmisyjnej TG1. Czas potrzebny na otwarcie bramki przy zmianie poziomu sygnału zegarowego zależy, podobnie jak w przypadku inwertera, od czasu przeładowania pojemności wejściowych tranzystorów bramki. Źródła prądów stanowią w przypadku schematu symulacyjnego inwertery I1 i I2. Układ inwertera sterującego (M21, M22) o rezystancji kanału r_S , bramki TG1 (o rezystancji r_{TG}) i inwertera M17-18 o pojemności wejściowej c_{in} można teoretycznie rozpatrywać jako typowy obwód RC (przedstawiony schematycznie na rys. 3.98), którego odpowiedź w dziedzinie czasu przedstawia poniższa zależność.

$$V_{out}(t) = V_{in} \exp\left(-\frac{t}{\tau}\right) \quad (3.12)$$



Rysunek 3.98: Obwód RC na wejściu przerzutnika.

Z równania 3.12 teoretycznej odpowiedzi takiego obwodu wiadomo, że czas potrzebny na osiągnięcie poziomu 95% napięcia zasilania jest równy $3\tau = 3(r_S + r_{TG})c_{in}$. Żądanie krótkich czasów przełączania przerzutnika jest więc równoznaczne z uzyskaniem jak najkrótszej stałej czasowej układu. Taki sam warunek należało postawić dla analogicznego obwodu rezystancji źródła zegara i pojemności wejściowej bramki transmisyjnej. Pojemności wejściowe tranzystora (przede wszystkim dominująca C_{gs}) są wprost proporcjonalne do powierzchni kanału tranzystora (równanie 3.13), czyli iloczynu jego wymiarów liniowych. Z drugiej strony rezystancja kanału r_{ds} zależy od tych wymiarów w sposób przedstawiony równaniem 3.14[2].

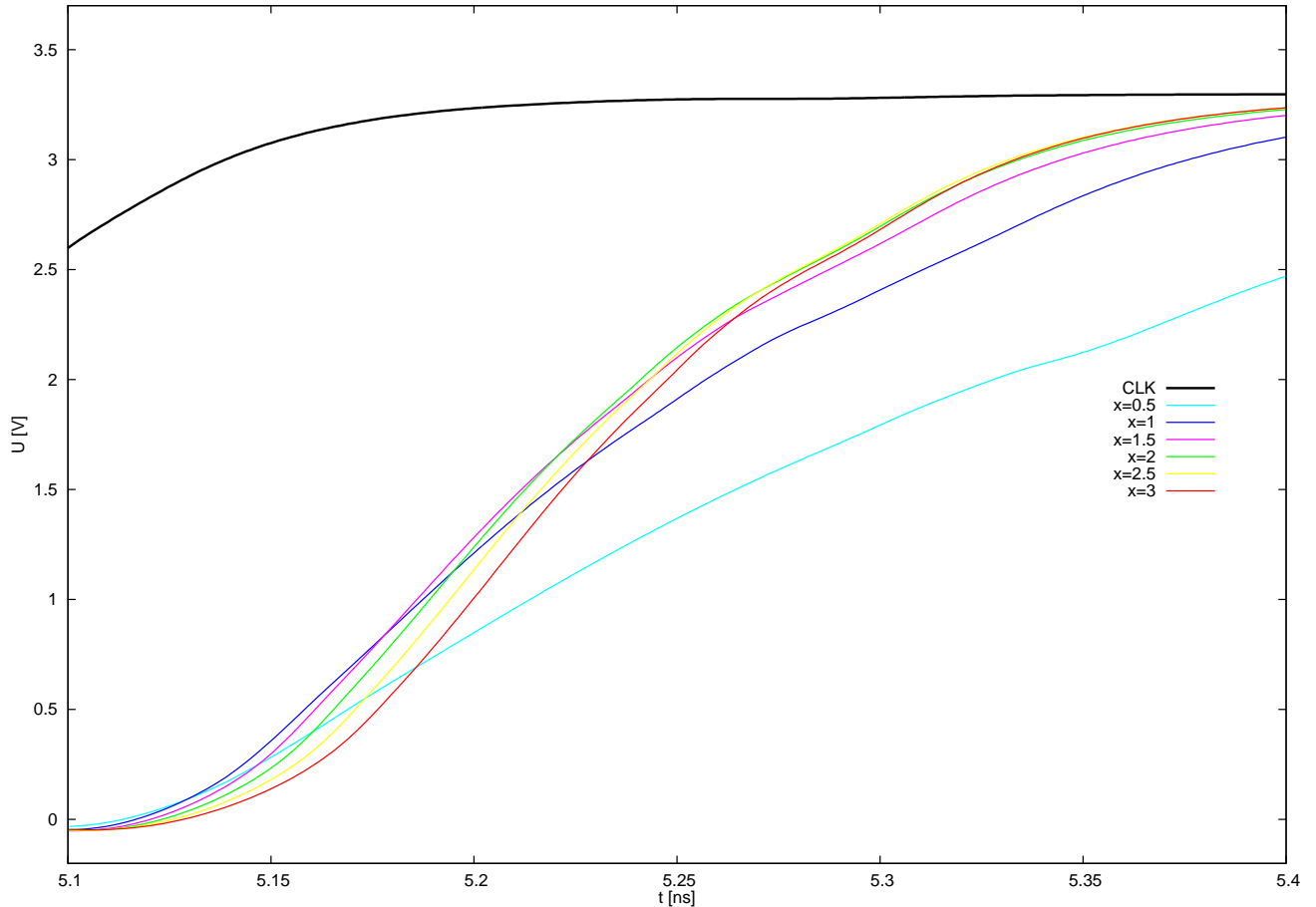
$$C_{gs} = \frac{2}{3}(W \cdot L)C_{ox} \quad (3.13)$$

$$r_{ds} = \frac{1}{g_{ds}} = \frac{\partial V_{DS}}{\partial I_D} \cong f(V_{GS}) \cdot \frac{L}{I_D} \sim \frac{L^2}{W} \quad (3.14)$$

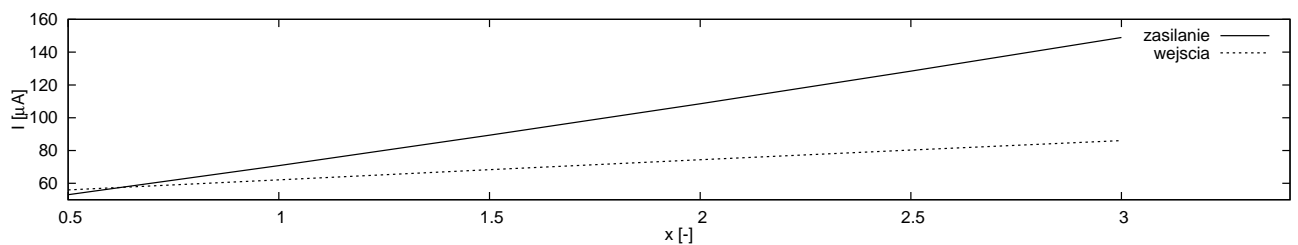
$$I_D \cong \frac{\mu_n C_{OX}}{2} \left(\frac{W}{L} \right) (V_{GS} - V_{th})^2$$

Obniżanie pojemności wejściowej jest równoznaczne ze zmniejszaniem rozmiarów tranzystorów, jednakże spadek szerokości kanału W powoduje wzrost rezystancji kanału r_{ds} (lub równoważne w tym rozważaniu zmniejszenie prądu drenu I_D tranzystorów sterujących). Niska rezystancja bramki transmisyjnej wymaga odpowiednio szerokiego kanału, co pociąga za sobą wzrost pojemności wejściowej i prądu pobieranego przez wejścia zegarowe CLK, NCLK. Obniżanie pojemności tranzystorów inwertera przez zmniejszanie ich wymiarów skutkuje za to obniżeniem wydajności prądowej i wydłużeniem czasu ładowania pojemności kolejnego stopnia. Oczywiście obie wartości (a więc i stałą czasową $r_{ds}C_{gs}$ układu) można równocześnie zmniejszać skracając długość L kanałów tranzystorów, jednak można to robić tylko do granicy określonej przez zastosowaną technologię (dla projektu wynosiła ona $L_{min} = 0,35 \mu m$). Stąd długości kanałów wszystkich tranzystorów ustalono na minimalną wartość $0,35 \mu m$, zaś podstawą optymalizacji czasowej przerzutnika było przede wszystkim dobranie odpowiedniego stosunku wy-

miarów bramek transmisyjnych do inwerterów. Wykonano więc symulację parametryczną w funkcji stosunku x szerokości kanału inwertera do szerokości kanału bramki. Prąd pobierany przez wejścia oraz ze źródła zasilającego przedstawia rysunek 3.100, zaś powiększony fragment odpowiedzi czasowej rysunek 3.99.



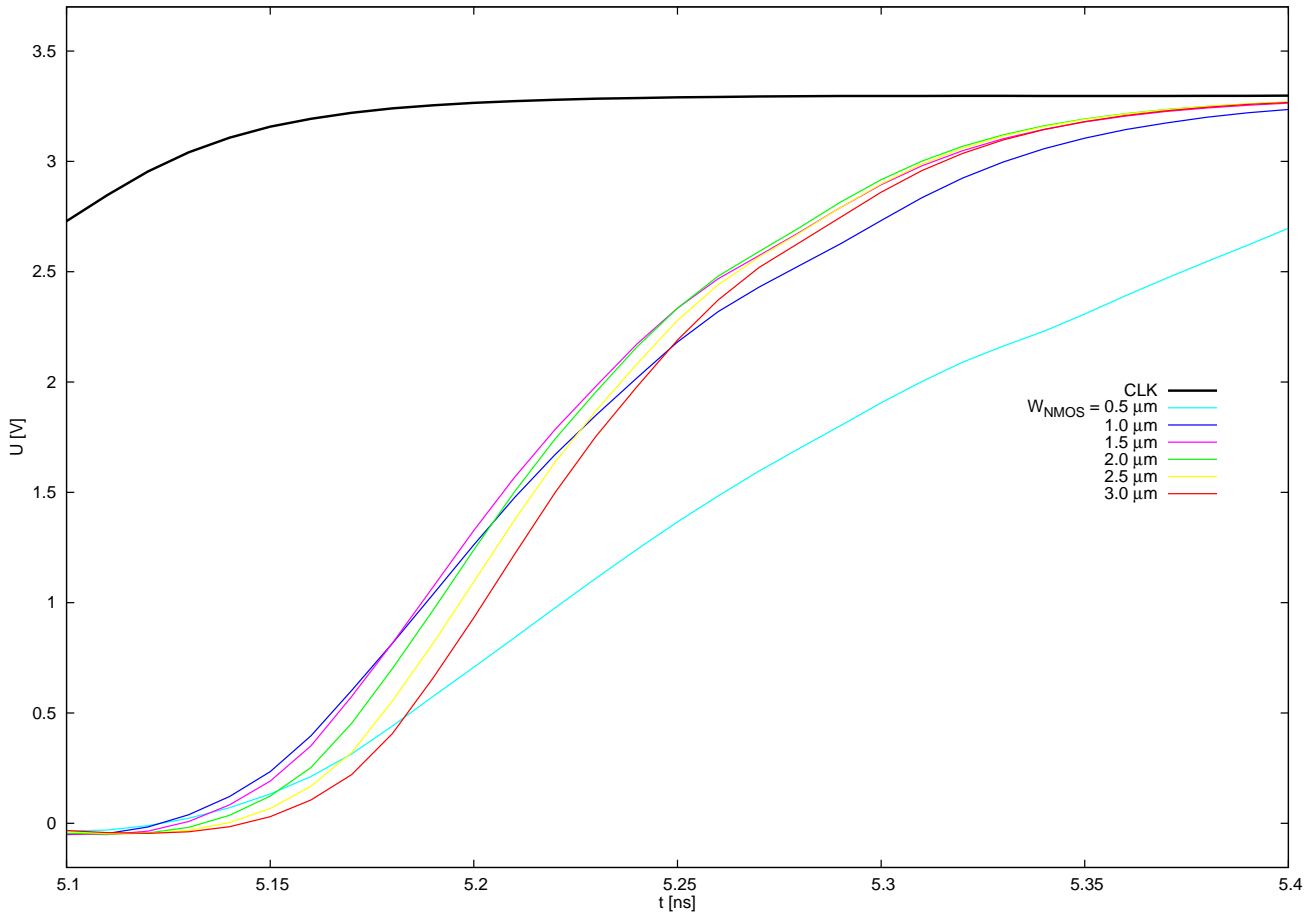
Rysunek 3.99: Symulacja stosunku wymiarów inwertera i bramki transmisyjnej.



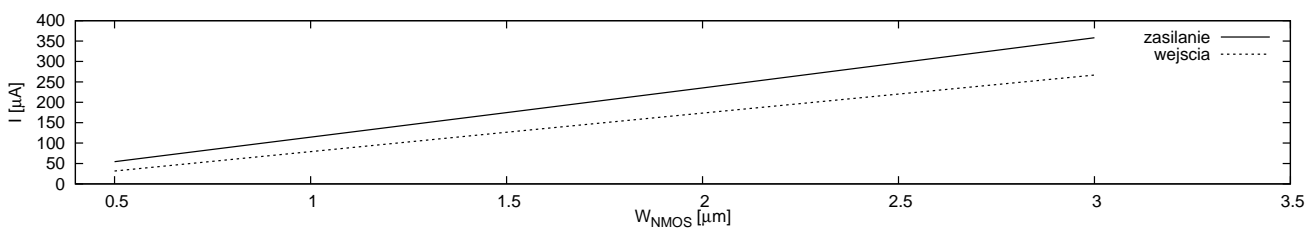
Rysunek 3.100: Pobór prądu w funkcji stosunku wymiarów inwertera i bramki transmisyjnej.

Na podstawie symulacji za najlepszy uznano przebieg odpowiadający stosunkowi wymiarów $x = 2$. Nieco bardziej strome zbocza, choć zaczynające się później uzyskano dla wyższych stosunków, jednak pobór mocy przerzutnika jest wówczas znacznie większy (rys. 3.100). Ustalono więc, że tranzystory inwerterów muszą mieć szerokość kanału dwukrotnie większą niż tranzystory bramek transmisyjnych. Dobór szerokości umożliwiły symulacje, których wyniki przedsta-

wiono na rysunku 3.101. Przedstawiono na nim powiększony fragment przebiegów czasowych w funkcji rosnącej szerokości kanału tranzystora NMOS bramki transmisyjnej (od $0,5 \mu\text{m}$ do $3 \mu\text{m}$ z krokiem $0,5 \mu\text{m}$). Szerokość kanału tranzystora PMOS była dwa razy większa.



Rysunek 3.101: Przebiegi czasowe w funkcji rosnącej szerokości kanału bramki transmisyjnej.



Rysunek 3.102: Pobór prądu w funkcji rosnącej szerokości kanału bramki transmisyjnej.

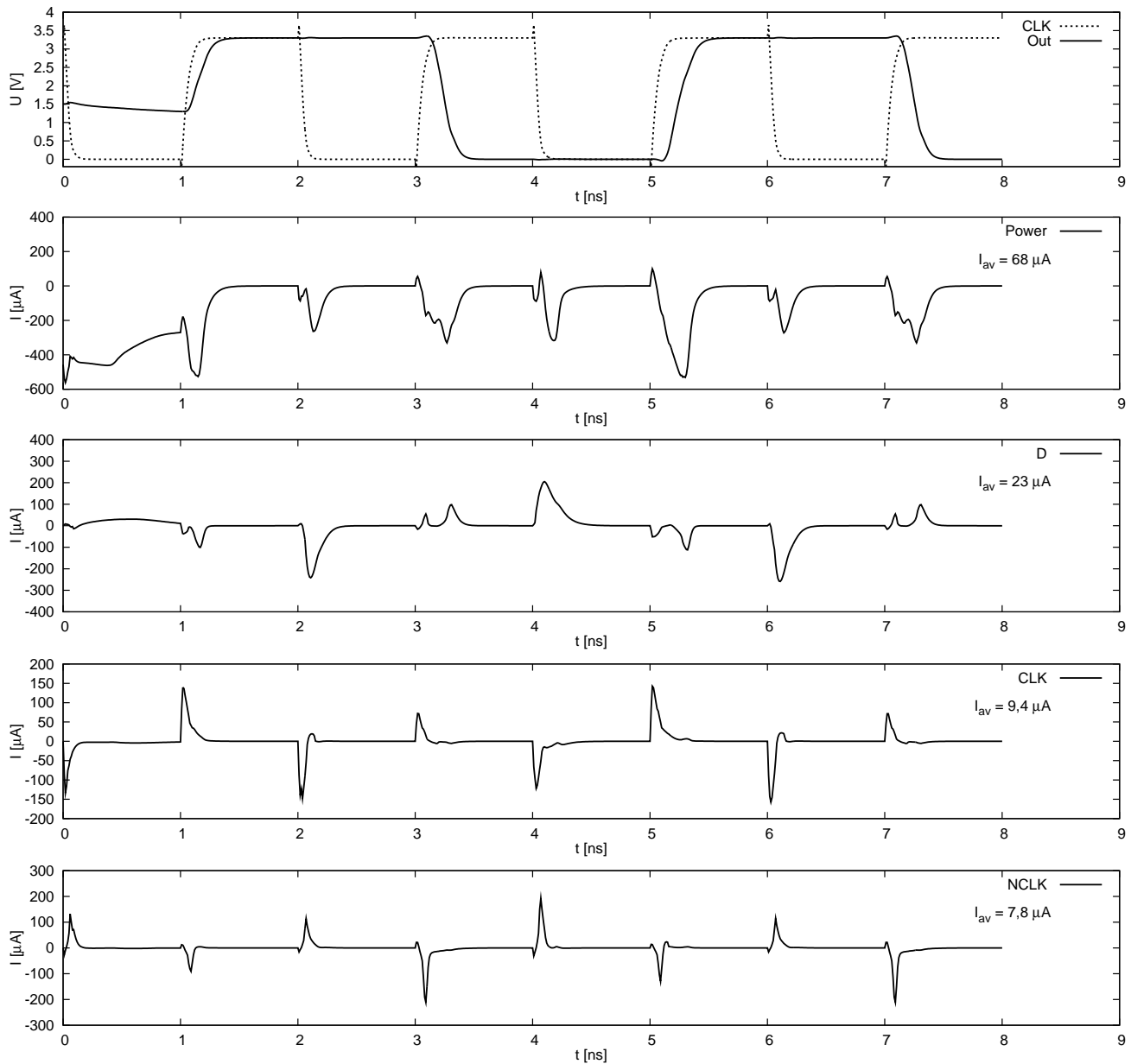
Powyższe wyniki wskazują, że powyżej szerokości kanału tranzystora NMOS bramki transmisyjnej, wynoszącej około $1,5 \mu\text{m}$ odpowiedzi czasowe przerzutnika stają się do siebie zbliżone i dalszy wzrost wymiarów tranzystorów nie przynosi zbyt dużej poprawy szybkości działania. Należy przy tym uwzględnić zwiększającą się degradację zbocza sygnału zegarowego przy wzroście wymiarów (pominiętą na rys. 3.101), wynikającą ze zwiększonego poboru mocy przez wejścia CLK i NCLK przerzutnika (rys. 3.102). Tak więc względny czas opóźnienia odpowiedzi t_d

mierzony na poziomie $50\%V_{DD}$ względem zbocza zegarowego spada w sposób ciągły wraz ze wzrostem wymiarów. Jednak aby takie zjawisko przyniosło bezwzględną poprawę przebiegów wyjściowych przerzutnika konieczne byłoby utrzymanie takiej samej stromości zbocza wejściowego przebiegu zegarowego. Ponieważ wraz ze wzrostem wymiarów zwiększa się pojemność wejściowa tranzystorów bramek transmisyjnych, więc utrzymanie takiego samego przebiegu zerowego wymaga zwiększenia prądu ładującego tą pojemność, czyli zwiększenia wymiarów inwerterów I1 i I2 (schemat na rys. 3.91). Takie działanie w sposób oczywisty zwiększy pobór mocy całego układu, dlatego zdecydowano się pozostawić stałe (i rozsądne) wymiary źródeł sygnału zegarowego i na tej podstawie ustalić pewne minimalne wymiary elementów przerzutnika. Warto przy tym zwrócić uwagę, że średni pobór prądu przerzutnika (zarówno przez wejścia D, CLK i NCLK jak i bezpośredni z linii zasilania) rośnie liniowo wraz ze wzrostem szerokości kanału tranzystorów (rys. 3.102).

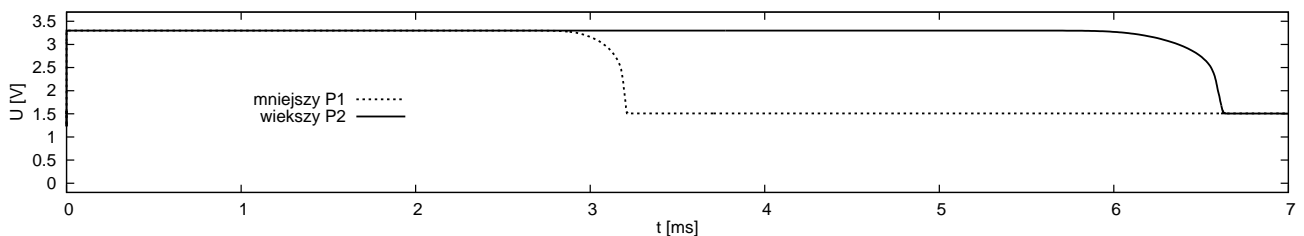
W praktyce zastosowano dwa typy przerzutników różniące się między sobą szerokością kanałów tranzystorów. Mniejszy z nich *P1* znalazł zastosowanie w rejestrach przesuwnych "serializer'a" i "deserializer'a", gdzie ważny był pobór prądu przez wejścia zegarowe, zaś trochę dłuższe czasy przełączania nie grały tak istotnej roli. Drugi, większy przerzutnik *P2* zaprojektowano przede wszystkim ze względu na większą wydajność prądową wyjść. Znalazł on zastosowanie we wszystkich dzielnikach częstotliwości oraz w układzie synchronizacji. Tabela 3.6 zawiera porównanie parametrów czasowych i średnich poborów prądu obu przerzutników, zaś przebiegi czasowe odpowiedzi i prądy pobierane przez przerzutniki przedstawiono na rysunkach 3.103 (mniejszy przerzutnik *P1*) i 3.105 (większy *P2*).

parametr	jednostka	<i>P1</i> (mniejszy)	<i>P2</i> (większy)
$\overline{i_{zasilania}}$	μA	67,7	112,2
$\overline{i_D}$	μA	22,7	44,6
$\overline{i_{CLK}}$	μA	9,4	18,3
$\overline{i_{NCLK}}$	μA	7,8	15,4
t_d	ps	191,9	168,8
t_{pth}	ps	219,9	166,2
t_{phl}	ps	182,7	139,6
$\overline{P_{zasilania}}$	μW	223	370
$\overline{P_{wej}}$	μW	132	258
$\overline{P_{calkowita}}$	μW	355	629

Tabela 3.6: Porównanie dwóch przerzutników o różnej szerokości kanałów tranzystorów.

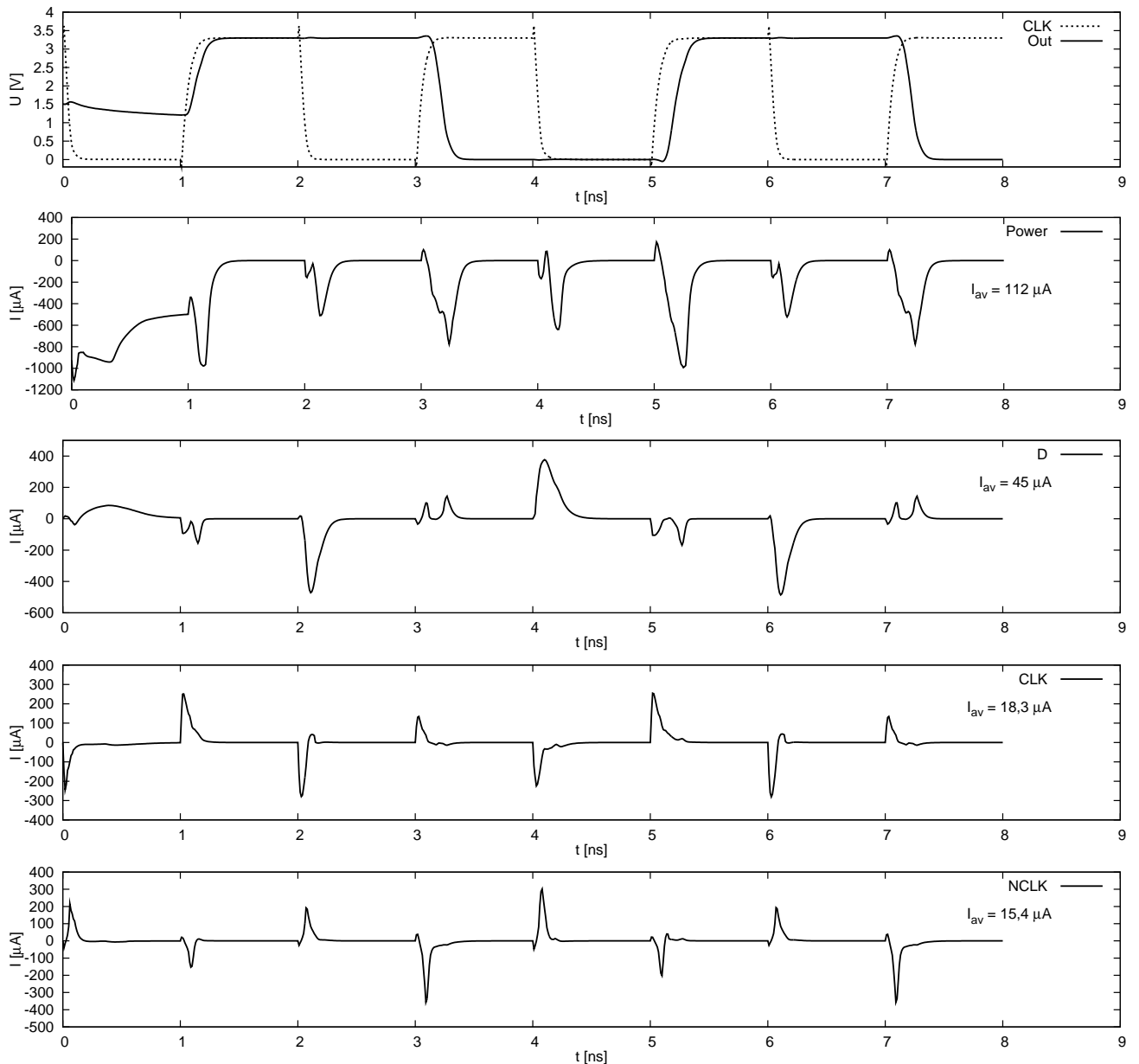


Rysunek 3.103: Parametry czasowe mniejszego przerzutnika P1.



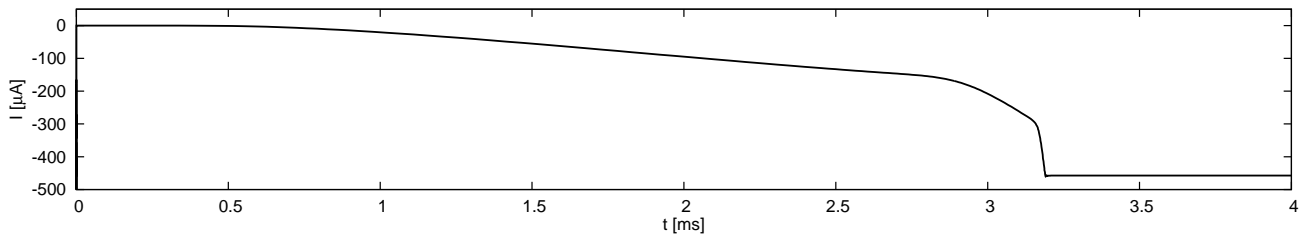
Rysunek 3.104: Zanik informacji na wyjściu przerzutnika bez przebiegu zegarowego.

Jak wspomniano w opisie teoretycznym, przerzutniki dynamiczne tracą po pewnym czasie zapisaną w nich informację. Wynika stąd pewna minimalna częstotliwość przebiegu zegarowego wymagana do odświeżania przerzutnika. W celu jej oceny wykonano symulację w której



Rysunek 3.105: Parametry czasowe większego przerzutnika P2.

na wejście zegarowe podano w chwili $t = 0$ pojedyncze zbocze zegarowe ustawiające wyjście przerzutnika w stan wysoki, a następnie badano po jakim okresie stan ten ulegnie degradacji. Wyniki symulacji obu przerzutników przedstawia rysunek 3.104. Oba przerzutniki utrzymują poziom wysoki przez relatywnie długi w porównaniu z częstotliwościami wewnątrz ASIC'u czas (minimalne f rzędu MHz , czasy przechowywania informacji rzędu ms , co odpowiada częstotliwości kHz), nie ma więc możliwości wystąpienia błędu utraty danych podczas normalnej pracy. Niepokojąca natomiast jest tendencja do ustawiania się inwerterów w pozycji "półotwartej" tzn. takiej, gdzie oba tranzystory są w zakresie przewodzenia, zaś prąd przepływający bezpośrednio pomiędzy liniami zasilania (z ang. "direct path") powoduje ustawienie się napięcia wyjściowego w okolicy $50\% V_{DD}$. Statyczny (bez przebiegu zegarowego) pobór prądu z linii zasilania przez mniejszy z przerzutników przedstawia rysunek 3.106. Prąd wynoszący początkowo około

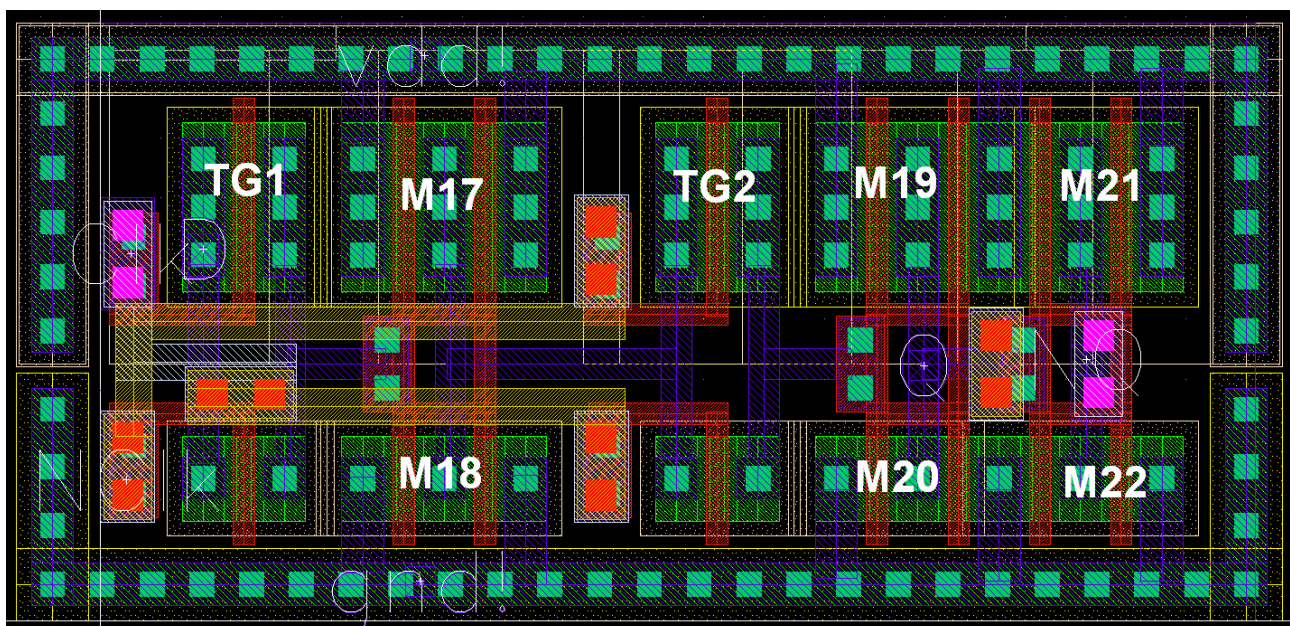


Rysunek 3.106: Statyczny pobór prądu przez przerzutnik bez przebiegu zegarowego.

2 nA zaczął wzrastać po około 500 μs , co wskazuje na powolne przechodzenie w stan przewodzenia odciętego początkowo tranzystora NMOS. Końcowo prąd osiągnął wartość 458 μA , ograniczoną jedynie rezystancjami r_{ds} obu tranzystorów. Początkowo planowano odłączanie nieaktywnych (nieuczestniczących w przesyłaniu danych) bloków układu od źródeł częstotliwości w celu minimalizacji pobieranej przez ASIC mocy, jednak zajście takiej sytuacji przy większej ilości nietaktowanych przerzutników doprowadziłoby do wydzielenia znacznej mocy w strukturze układu i trwałego jego uszkodzenia. Wymusiło to konieczność ciągłej pracy wszystkich nieaktywnych bloków z minimalną dostępną z VCO częstotliwością wynoszącą około 70 MHz.

3.10.3 Maski technologiczne

Jak wspomniano wcześniej jedną z przyczyn wyboru takiego rozwiązania układowego była prostota wykonania masek technologicznych w formie przedstawionej na rysunku 3.107 (oznaczenia zgodne ze schematem 3.97). Taki układ umożliwił łatwą budowę rejestrów w blokach wejścia-wyjścia danych. Dodatkowo taką konstrukcję masek przerzutnika ułatwił wybór współczynnika skali $x = 2$ pomiędzy szerokościami kanałów bramki transmisyjnej i inwertera.

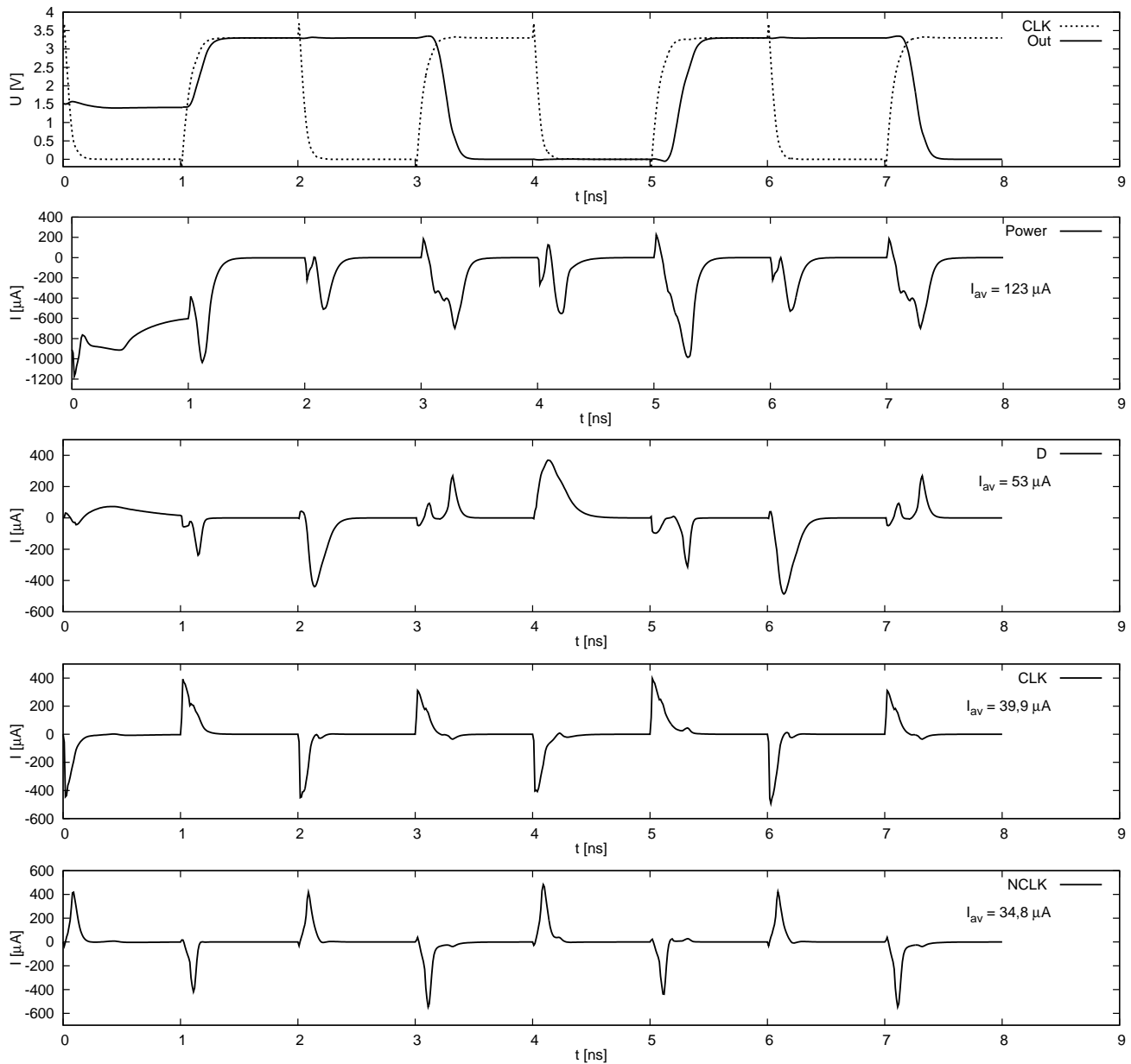


Rysunek 3.107: Widok masek technologicznych przerzutnika ($21 \times 10 \mu\text{m}^2$).

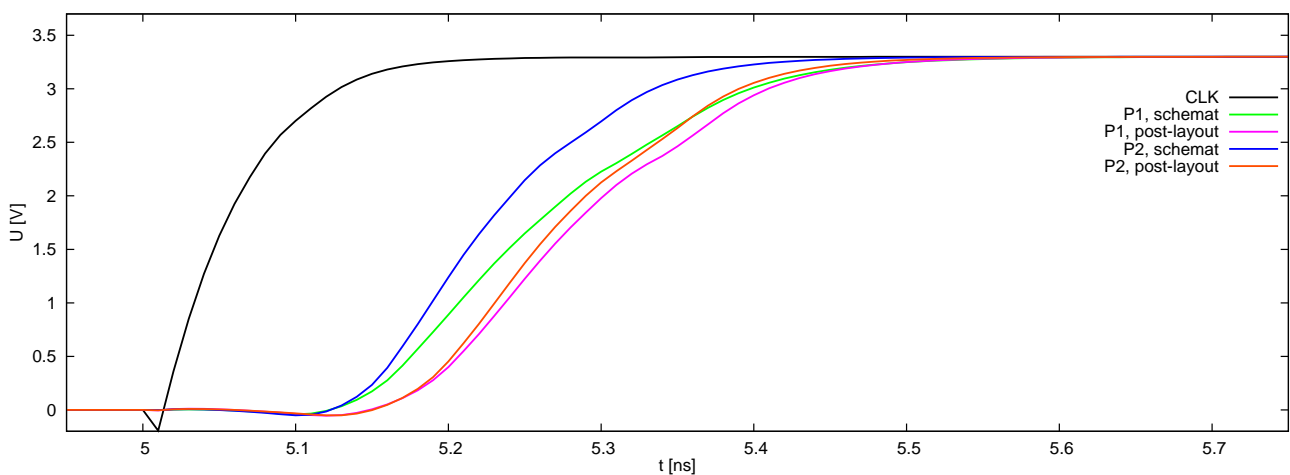
parametr	jednostka	P1 (mniejszy)		P2 (większy)	
		schemat	"layout"	schemat	"layout"
$\overline{i_{zasilania}}$	μA	67,7	74,8	112,2	122,7
$\overline{i_D}$	μA	22,7	28,4	44,6	52,9
$\overline{i_{CLK}}$	μA	9,4	28,9	18,3	39,9
$\overline{i_{NCLK}}$	μA	7,8	25,6	15,4	34,8
t_d	ps	191,9	214,3	168,8	199,5
t_{plh}	ps	219,9	208,8	166,2	186,2
t_{phl}	ps	182,7	174,9	139,6	161,6
$\overline{P_{zasilania}}$	μW	223	247	370	405
$\overline{P_{wej}}$	μW	132	247	258	388
$\overline{P_{cakowita}}$	μW	355	520	629	793

Tabela 3.7: Porównanie parametrów obu przerzutników w symulacjach schematowych i "post-layout".

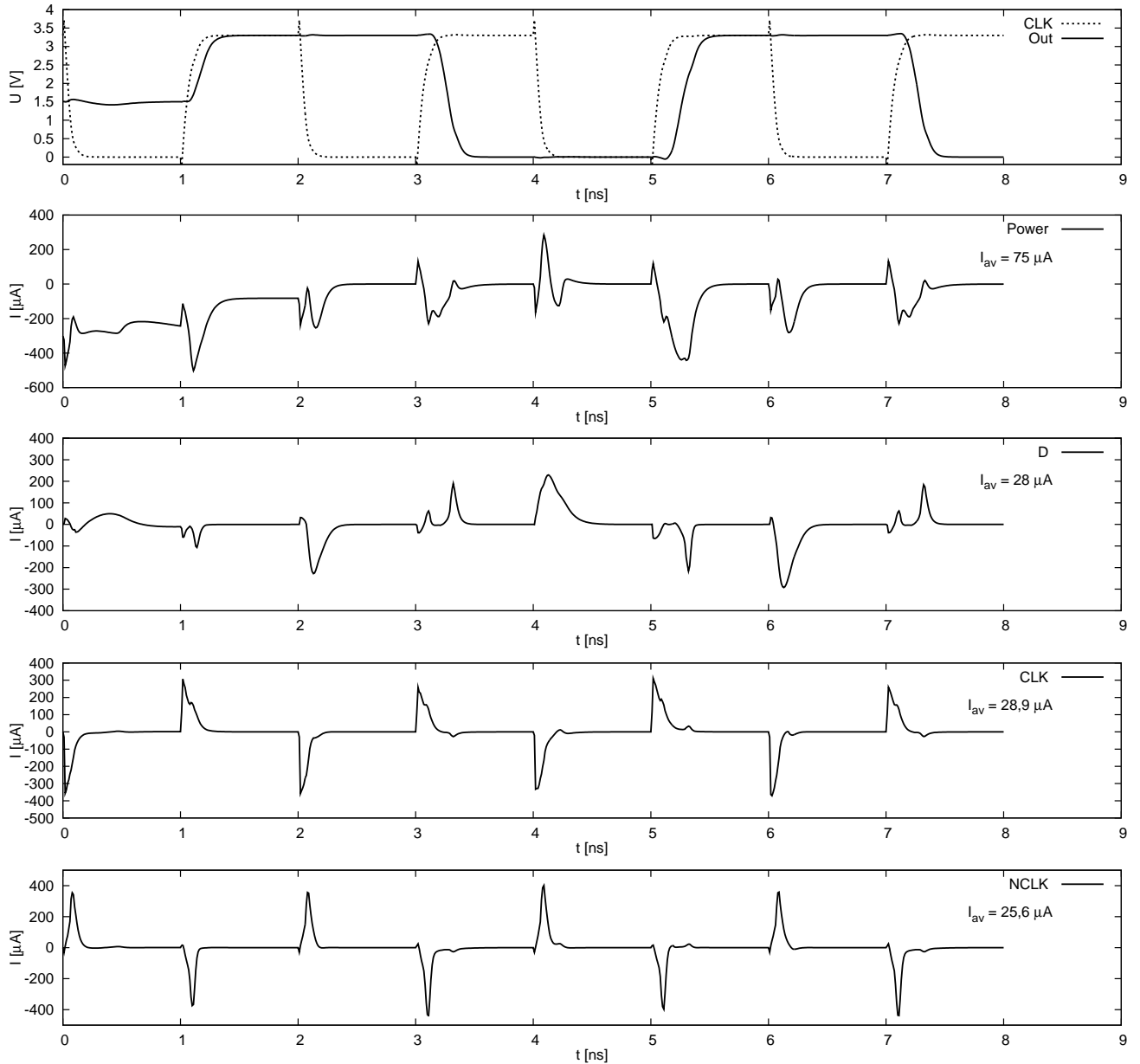
W tabeli 3.7 zawarto porównanie parametrów obu przerzutników przed i po narysowaniu masek technologicznych ("layout"). Wyniki symulacji przedstawiono na rysunkach 3.110 (mniejszy przerzutnik P1) i 3.108 (większy P2). Sygnały zegarowe CLK i NCLK poprowadzono tak, by zminimalizować pojemności pasożytnicze zarówno do podłoża jak i do linii danych D. Pojemności te dokładając się do pojemności wejściowych bramek transmisyjnych zwiększały czas opóźnienia t_d przerzutnika oraz powodowały zwiększenie prądów pobieranych przez te wejścia. Wymóg kompaktowej konstrukcji masek uniemożliwił dalszą redukcję pojemności pasożytniczych, przez co zanotowano niemal trzykrotny wzrost prądów płynących przez wejścia zegarowe. Zwiększył się również prąd pobierany przez wejście danych D. Stwierdzono też wydłużenie czasów opóźnienia o 12% w przypadku mniejszego i 18% w przypadku większego przerzutnika. W obu przypadkach czasy te pozostały w bezpiecznych granicach względem maksymalnej docelowej częstotliwości 1GHz. Ciekawy jest fakt wyostrzenia zboczy (skrócenia czasów t_{plh} i t_{phl}) w przypadku mniejszego przerzutnika, jednak nie analizowano dokładnie przyczyn tego zjawiska. Wystąpił niestety dość znaczny wzrost całkowitej mocy pobieranej przez układy (o 47% i 26%), widoczny szczególnie w mniejszym przerzutniku. Ponieważ (pomijając rozmiary tranzystorów) maski technologiczne obu przerzutników nie różnią się między sobą, podobne są też wartości pojemności pasożytniczych. Stąd też ich wpływ jest bardziej widoczny w przerzutniku, którego tranzystory mają mniejsze pojemności wejściowe. Pomimo to zdecydowano się pozostać przy koncepcji dwóch rodzajów przerzutników stosując ten o mniejszym poborze mocy wszędzie tam, gdzie było to możliwe. Zbiorcze porównanie zboczy narastających obu przerzutników, zarówno z symulacji schematu jak i "post-layout" przedstawia rysunek 3.109, zaś zboczy opadających rysunek 3.111.



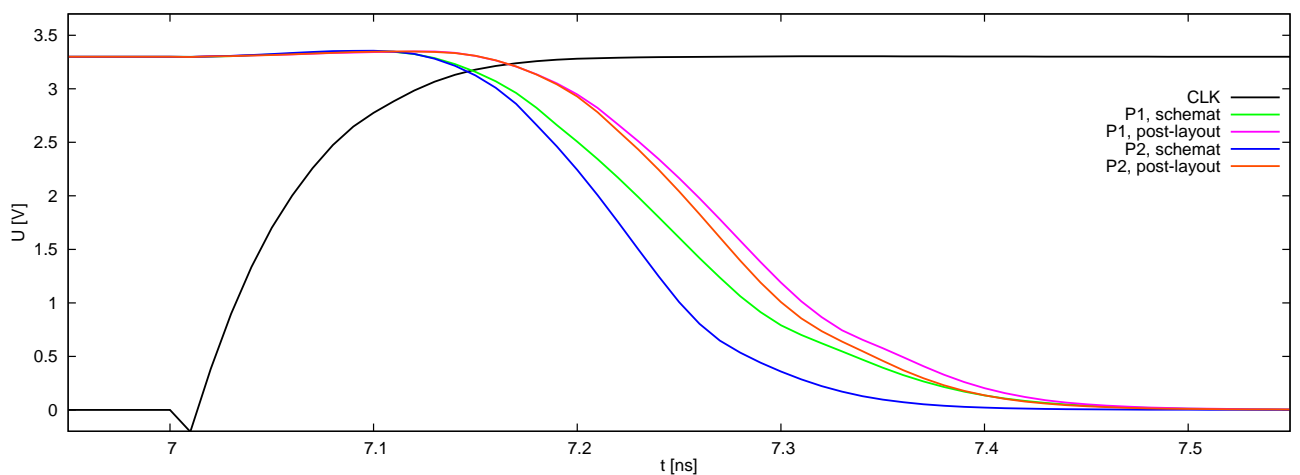
Rysunek 3.108: Parametry czasowe "post-layout" większego przerzutnika P2.



Rysunek 3.109: Porównanie zboczy narastających odpowiedzi obu przerzutników z symulacji schematu i post-layout.



Rysunek 3.110: Parametry czasowe "post-layout" mniejszego przerzutnika P1.

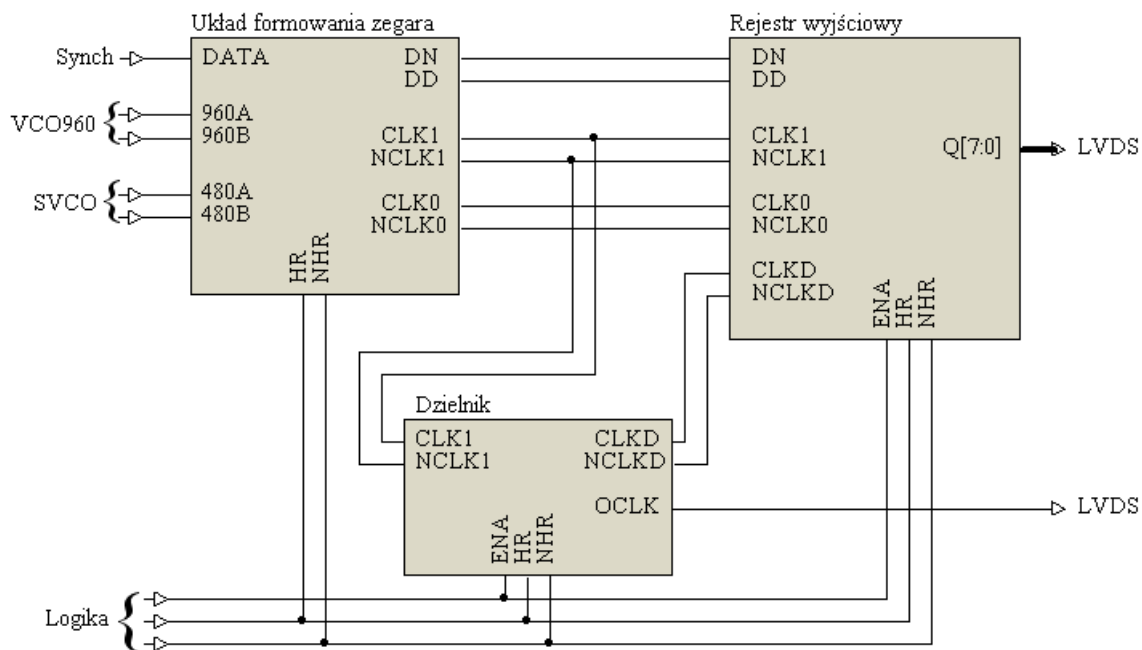


Rysunek 3.111: Porównanie zboczy opadających odpowiedzi obu przerzutników z symulacji schematu i post-layout.

3.11 Rejestr wyjściowy "deserializer"

Niniejszy oraz następny rozdział przedstawiają praktyczną realizację bloków "serializer'a" i "deserializer'a" danych. Idea działania obu układów została przedstawiona w rozdziale 2.8, jednak z pominięciem wielu szczegółowych problemów związanych z ich rzeczywistą realizacją.

3.11.1 Schemat blokowy zrealizowanego układu



Rysunek 3.112: Schemat blokowy "deserializer'a".

Rysunek 3.112 przedstawia schemat blokowy zrealizowanego układu, w którym można wyróżnić trzy główne bloki. W bloku rejestru wyjściowego zawiera się opisywany teoretycznie układ rejestru szeregowo-równoległego z buforem magistrali. Sygnały CLK0 i CLK1 odpowiadają teoretycznym sygnałom CLK i $\overline{\text{CLK}}$ (schemat rys. 2.68). Ponieważ przerzutnik potrzebuje taktowania sygnałami komplementarnymi, stąd dodane zostały negacje zegarów NCLK0 i NCLK1. Należy zwrócić przy tym uwagę, że wszystkie sygnały zegarowe są ze sobą powiązane, mianowicie w trybie "single-rate" CLK0 jest zgodny w fazie z CLK1 (tak samo ich negacje), natomiast w trybie "half-rate" CLK0 zgada się z NCLK1 (i CLK1 z NCLK0). Sygnały CLKD i NCLKD taktują bufor magistrali, którego wyjście Q[7:0] przekazywane jest na zewnątrz układu poprzez bufor LVDS.

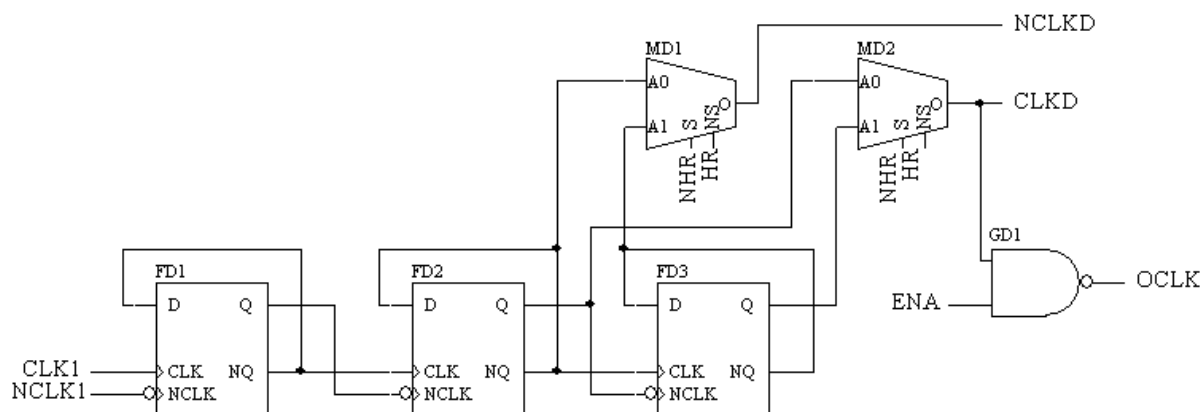
Przebiegi zegarowe są tworzone poprzez układ formowania zegara i dzielnik. Wejściem układu formowania są sygnały generowane przez oscylatory VCO. Ze względu na zastosowanie "burst mode" CDR, wyjścia zarówno SVCO jak i VCO960 są zdublowane. Dodatkowo układ formowania transmituje dane w taki sposób, by zachować ich zgodność w fazie z przebiegiem

zegarowym. Dzielnik ma za zadanie wytworzyć, w zależności od trybu pracy, cztero- lub ośmio-krotnie podzielony przebieg zegarowy dla rejestru równoległego (sygnały CLK/8 lub $\overline{\text{CLK}}/4$ z opisu teoretycznego, rys. 2.65).

3.11.2 Dzielnik

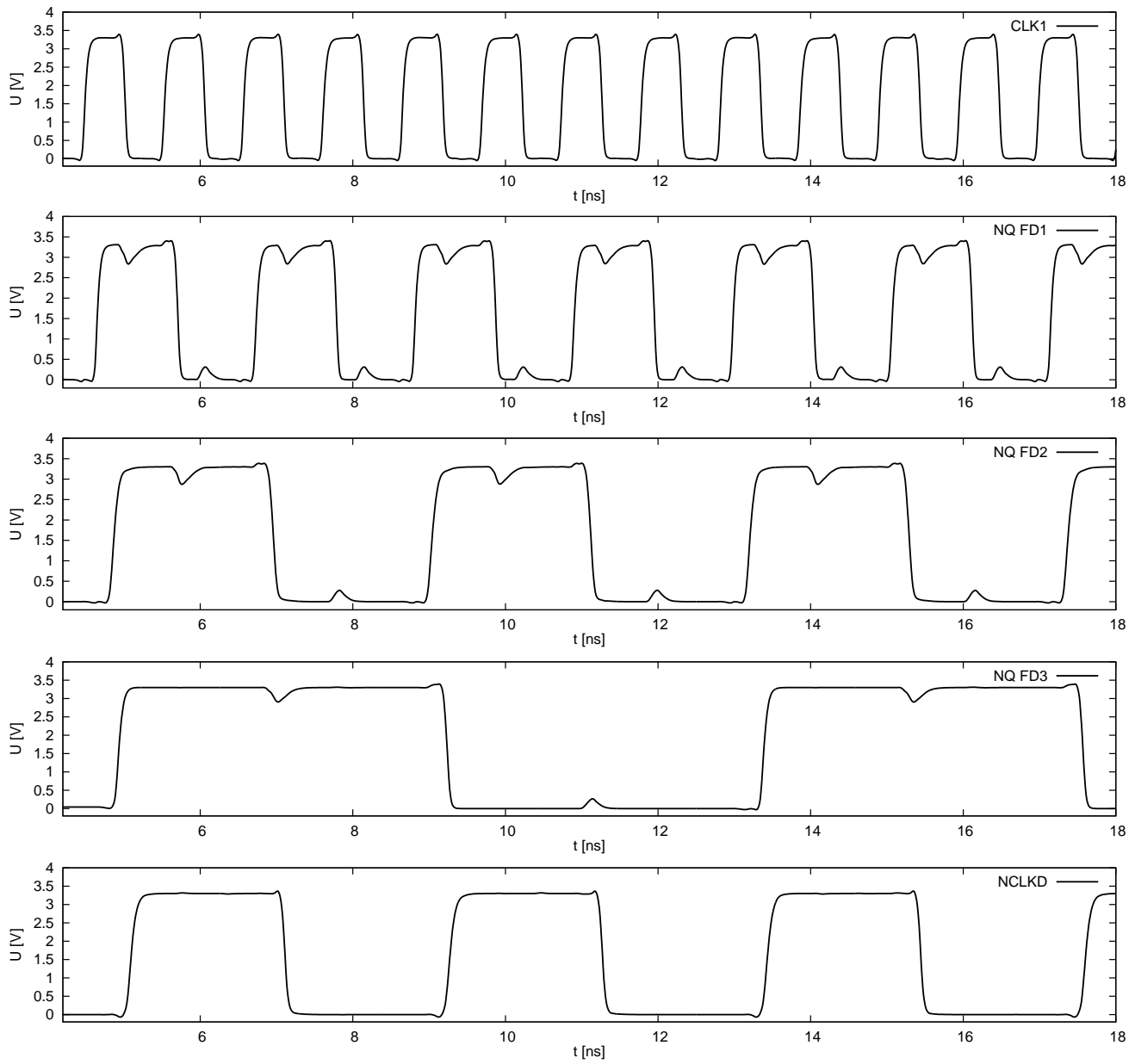
3.11.2 a) Schemat i wyniki jego symulacji

Schemat ideowy zrealizowanej konfiguracji dzielnika przedstawia rysunek 3.113. Opisane poniżej multipleksery MD1 i MD2 mają za zadanie wybrać stopień podziału przebiegu zegarowego. Bramka GD1 została zastosowana ze względu na użycie w ASIC'u dwóch odbiorników, których wyboru dokonuje sygnał ENA. Gdy sygnał ten jest w stanie wysokim (układ włączony), bramka GD1 dostarcza na wyjście układu zanegowany sygnał CLKD. W przeciwnym przypadku wyjście bramki jest zawsze w stanie wysokim.

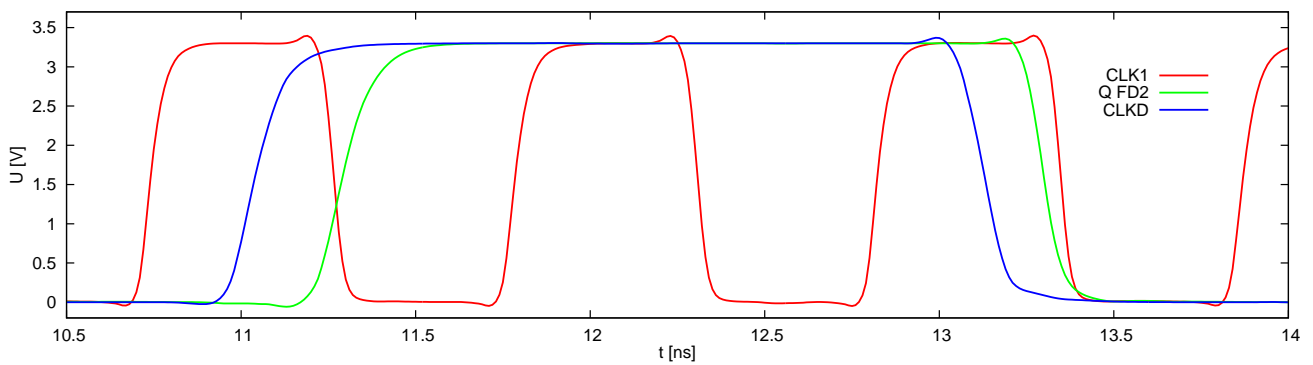


Rysunek 3.113: Schemat ideowy dzielnika częstotliwości.

Rysunek 3.114 prezentuje wyniki symulacji działania dzielnika przy częstotliwości 960 MHz w trybie "half-rate". Przedstawione zostały wejściowy przebieg zegarowy CLK1, wyjścia NQ poszczególnych przerzutników oraz linia NCLKD (odpowiadająca w tym przypadku wyjściu NQ przerzutnika FD2). Opóźnienia wzajemne przebiegów zegarowych przedstawia rysunek 3.115. Zbocze wyjściowego przebiegu CLKD jest opóźnione względem zbocza zegara o około pół okresu (522 ps). Jest to wartość o tyle niebezpieczna, że zbocze opadające przebiegu CLK1 odpowiada w trybie "half-rate" zboczu narastającemu CLK0, rozpoczynającemu kolejny cykl wpisywania bitów do rejestru szeregowo-równoległego. Należy jednak pamiętać o tym, że wystawienie danej na wyjściu przerzutnika rejestru jest również opóźnione w stosunku do zbocza narastającego CLK1, więc czas opóźnienia nie jest relatywnie aż tak duży.

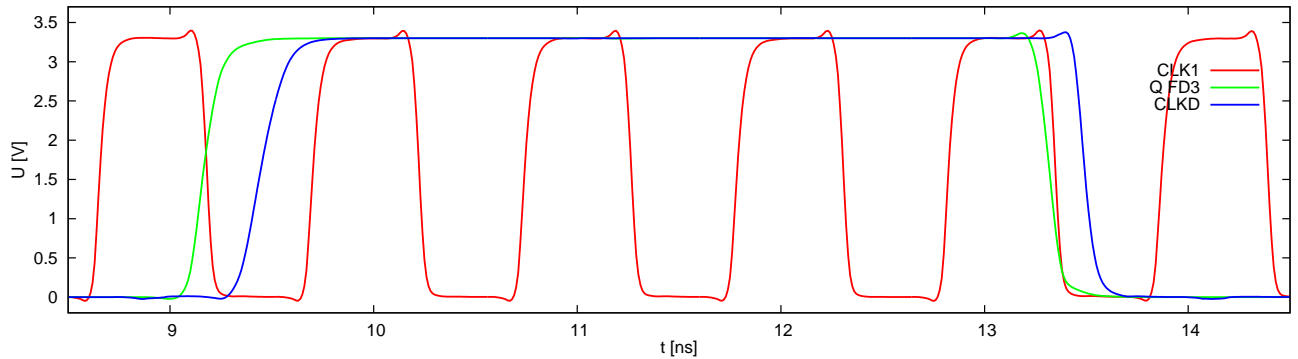


Rysunek 3.114: Przebiegi czasowe dzielnika.

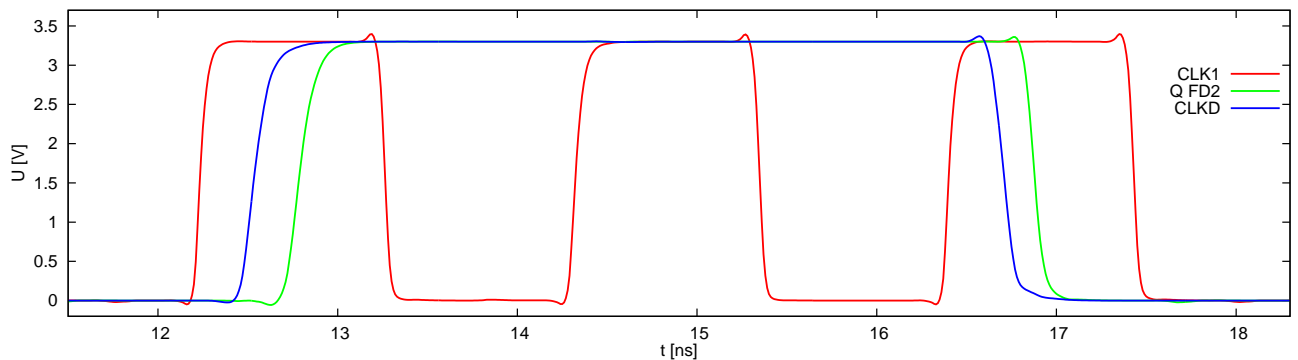


Rysunek 3.115: Opóźnienia przebiegów przerzutnika przy częstotliwości 960 MHz w trybie "half-rate".

Opóźnienie to zwiększa się przy przejściu do trybu "single-rate" (do wartości 789 ps , przebiegi na rys. 3.116), gdyż sygnał CLKD pobierany jest wtedy z wyjścia trzeciego przerzutnika FD3. Dołożenie trzeciego stopnia podziału niebezpiecznie zbliża zbocze narastające do zbocza następnego okresu zegara CLK1, jednak nie na tyle (wliczając opóźnienia przerzutników rejestru), by stanowić niebezpieczeństwo przekłamania danych.



Rysunek 3.116: Opóźnienia przebiegów przerzutnika przy częstotliwości 960 MHz w trybie "single-rate".

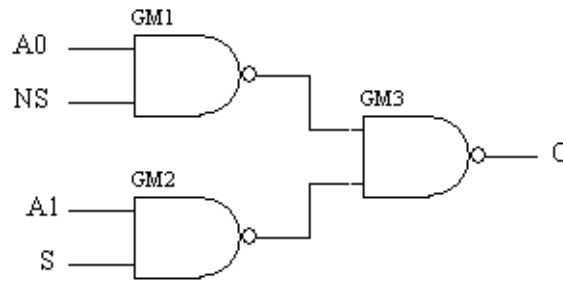


Rysunek 3.117: Opóźnienia przebiegów przerzutnika przy częstotliwości 480 MHz w trybie "half-rate".

Rysunek 3.117 przedstawia przebiegi zegarowe w trybie "half-rate" przy częstotliwości 480 MHz . Opóźnienie zboczy CLKD do CLK1 zwiększa się nieznacznie (554 ps) w stosunku do częstotliwości 960 MHz . Analogiczne, nieznaczne zwiększenie opóźnienia zachodzi w pozostałych trybach i częstotliwościach pracy. Wraz z obniżaniem częstotliwości stosunek czasu opóźnienia do okresu zegara maleje i przesunięcie pomiędzy przebiegami CLK1 i CLKD staje się nieistotne.

3.11.2 b) Multiplexer

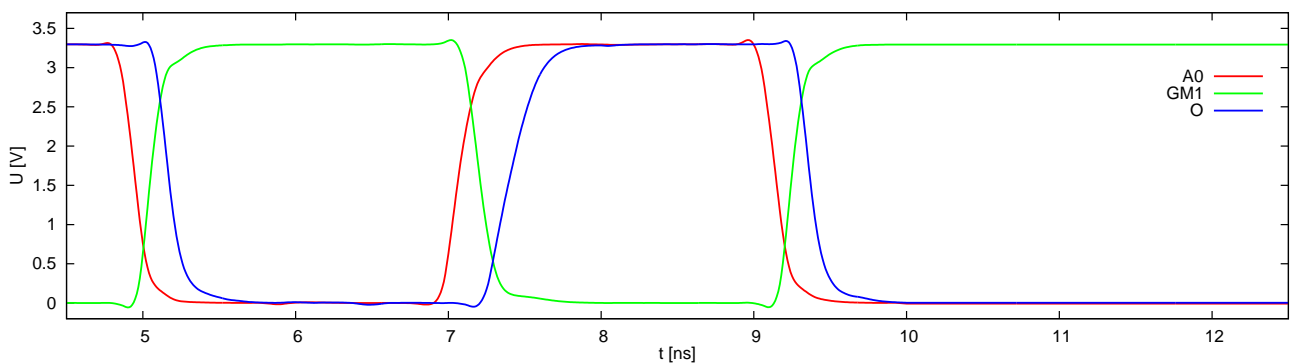
Rysunek 3.118 przedstawia schemat zastosowanego w układzie multiplexera. W jego skład wchodzi dwie bramki NAND GM1 i GM2 blokujące wejścia A0, A1 w zależności od stanu



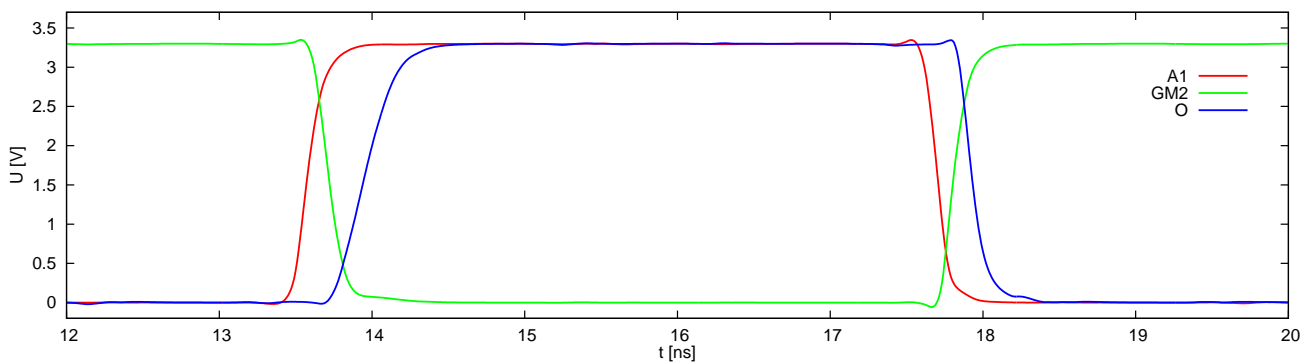
Rysunek 3.118: Schemat ideowy multipleksera.

sygnałów sterujących i sumująca wyjścia bramki GM3. W przypadku stanu wysokiego linii S (niskiego NS) bramka GM2 wystawia na wyjściu zanegowany sygnał A1, zaś wyjście bramki GM1 jest zawsze w stanie wysokim. Bramka GM3 wystawia więc na wyjście O zanegowane wyjście bramki GM2, czyli (po podwójnej negacji) stan z wejścia A1.

Rysunek 3.119 przedstawia wyniki symulacji działania multipleksera w bardziej interesującym przypadku "post-layout" (tzn. po narysowaniu masek technologicznych, które przedstawia rysunek 3.120). Górne przebiegi 3.119a obrazują transmisję przebiegu 240 MHz podanego na wejście A0, zaś dolne 3.119b - 120 MHz na wejście A1.



a)

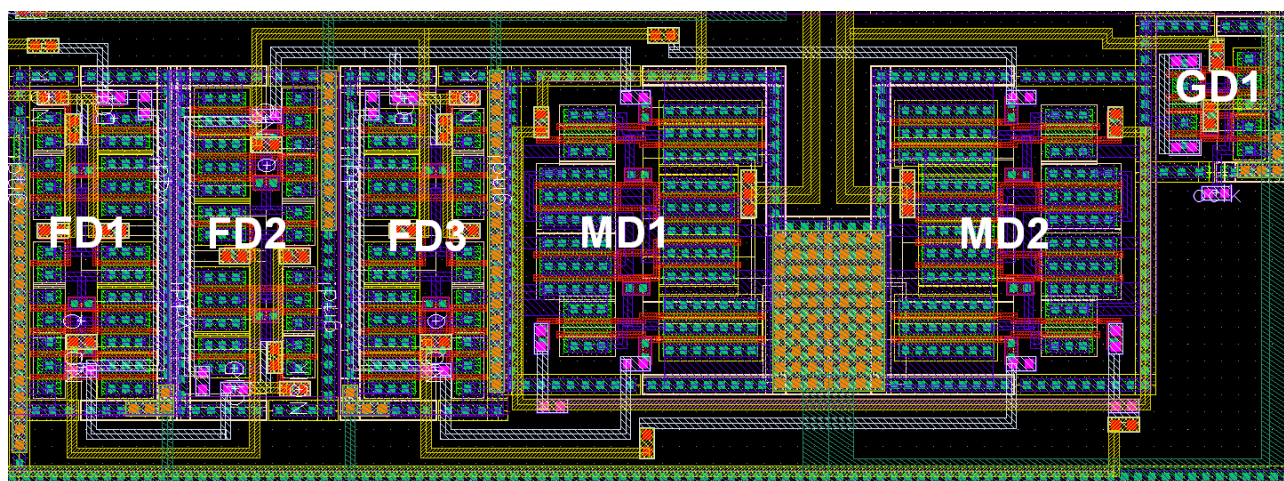


b)

Rysunek 3.119: Symulacje "post-layout" multipleksera: a) dla wejścia A0, b) dla wejścia A1.

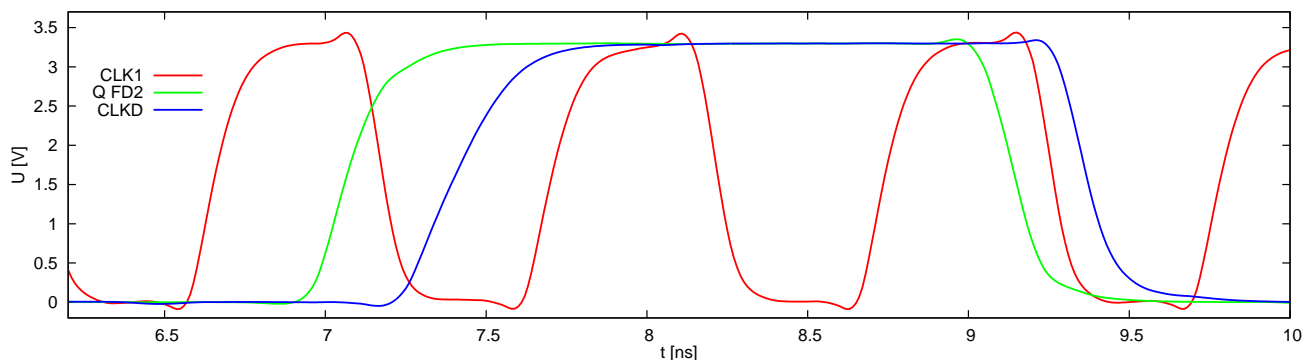
Opóźnienia zbocz pomiędzy wejściami a wyjściem O wynoszą 340 ps dla wejścia A0 oraz 379 ps dla wejścia A1. Potwierdza to opisaną wcześniej różnicę szybkości transmisji bramki NAND w zależności od wejścia (sygnał A0 jest podawany na "górne", szybsze wejście GM3). Z tego też względu przebieg zegarowy dla trybu "half-rate" podawany jest na wejścia A0 multiplexerów (schemat na rys. 3.113).

3.11.2 c) Maski technologiczne



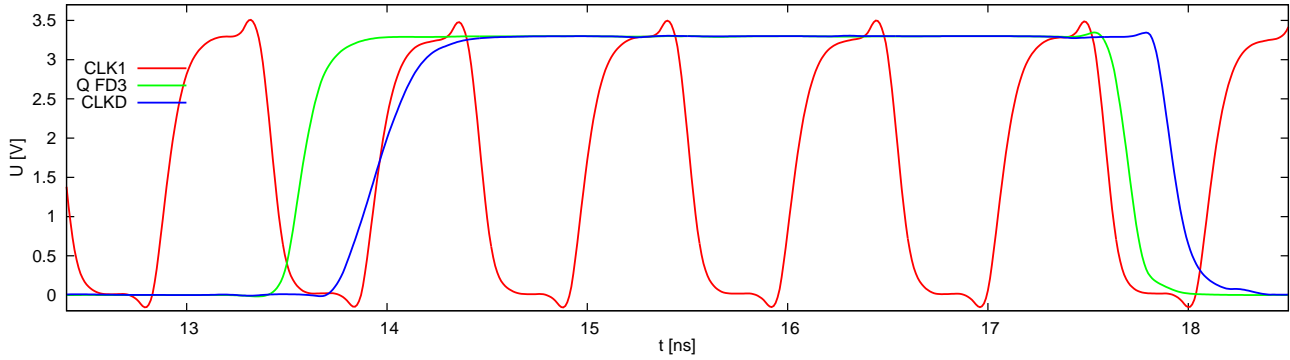
Rysunek 3.120: Maski technologiczne dzielnika ($76 \times 28 \mu\text{m}^2$).

Rysunek 3.120 przedstawia maski technologiczne dzielnika. Całość została zaprojektowana w taki sposób, by zminimalizować długości połączeń pomiędzy przerzutnikami i multiplexerami, co miało na celu uzyskanie jak najmniejszych pojemności pasożytniczych. Pomimo to opóźnienia wprowadzane przez dzielnik wzrosły w dość znaczącym stopniu. Wyniki symulacji "post-layout" dzielnika działającego w trybie "half-rate" przy częstotliwości 960 MHz przedstawia rysunek 3.121. Opóźnienie pomiędzy przebiegami CLK1 i CLKD wzrosło z początkowych 522 ps do 747 ps. Podobny wzrost zanotowano w trybie "single-rate" (przebiegi na rys. 3.122),



Rysunek 3.121: Opóźnienia przebiegów przerzutnika przy częstotliwości 960 MHz w trybie "half-rate" po narysowaniu masek technologicznych.

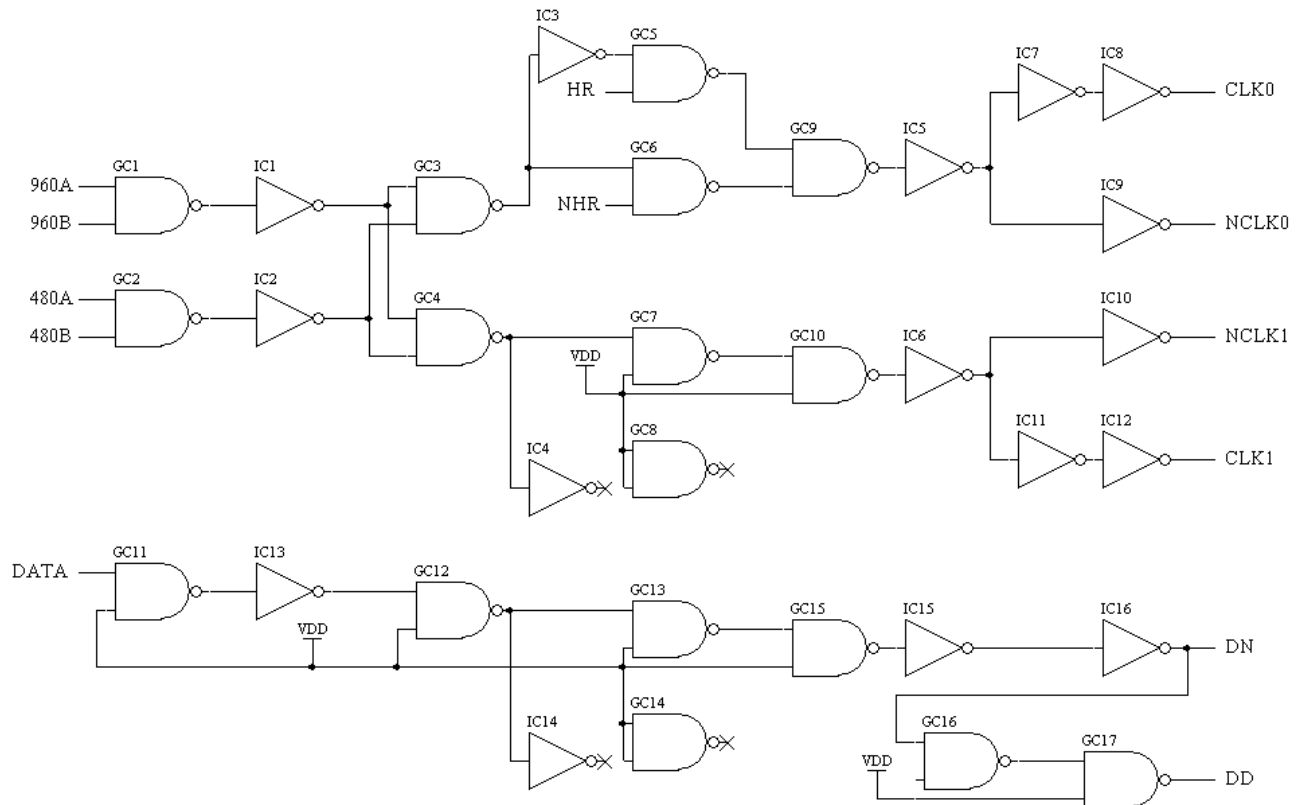
tym razem do wartości 1040 ps (z początkowej 789 ps). Ocena wpływu tych opóźnień na pracę układu została przedstawiona niżej, gdyż jak już wspomniano muszą zostać one porównane z opóźnieniami przerzutników rejestru.



Rysunek 3.122: Opóźnienia przebiegów przerzutnika przy częstotliwości 960 MHz w trybie "single-rate" po narysowaniu masek technologicznych.

3.11.3 Układ formowania zegara

3.11.3 a) Schemat i wyniki symulacji

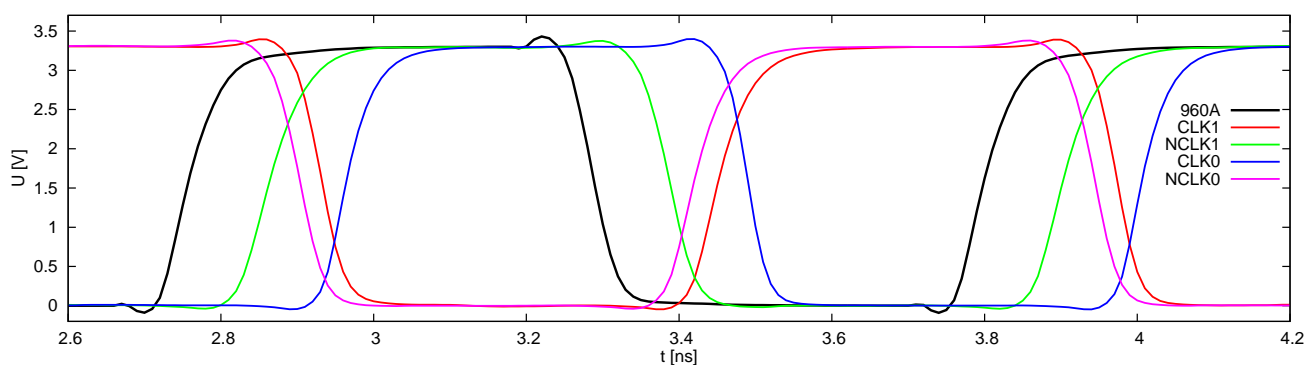


Rysunek 3.123: Schemat ideowy układu formowania zegara.

Rysunek 3.123 przedstawia schemat ideowy układu formowania zegara. Ma on za zadanie wytworzyć cztery potrzebne do pracy rejestru przebiegi zegarowe na podstawie pojedynczych sygnałów otrzymywanych z oscylatorów VCO.

W zależności od trybu pracy przebieg zegarowy jest generowany przez SVCO (wejścia 480A i 480B) lub VCO960 (960A i 960B). Zdublowanie wejść wynika z idei działania "burst mode" CDR - jeden z oscylatorów (np. 960A) pracuje generując przebieg zegarowy, podczas gdy wyjście drugiego (960B) jest w stanie wysokim, podobnie jak wyjścia oscylatorów nieaktywnego trybu (w przykładzie 480A i B). Stąd na wyjściu bramki GC1 otrzymuje się zanegowany przebieg zegarowy, zaś wyjście bramki GC2 znajduje się w stanie niskim. Po odwróceniu stanów przez inwertery IC1 i IC2 przebieg zegarowy ulega zanegowaniu na równoległych bramkach GC3 i GC4. Jeśli układ działa z częstotliwością 960 MHz , to sygnał zegara jest podawany przez inwerter IC1, zaś wyjście inwertera IC2 jest zawsze w stanie wysokim. W przypadku pracy z niższymi częstotliwościami sytuacja na wyjściach inwerterów podlega odwróceniu. Użycie dwóch równoległych bramek GC3, GC4 wynika z dużego obciążenia wyjścia, jakie miałyby pojedyncza bramka a także z symetrii obu torów w maskach technologicznych.

Układ bramek GC5, GC6 i GC9 stanowi multiplekser sterowany sygnałem HR (i komplementarnym NHR). Na potrzeby trybu "half-rate" sygnał zegarowy transmitowany górną gałęzią układu jest odwracany przez inwerter IC3 i przekazywany dalej przez bramki GC5 i GC9. W trybie "single-rate" zegar bez odwracania w fazie przenoszony jest bramkami GC6, GC9. Sygnał w dolnej gałęzi jest przekazywany bez zmian przez bramki GC7 i GC10 niezależnie od trybu pracy. Elementy IC4 i GC8 mają na celu wyrównać warunki pracy dolnej i górnej gałęzi układu. Dzięki takiej konstrukcji na wyjściach bramek GC9 i GC10 otrzymywane są przebiegi zegarowe albo zgodne w fazie dla trybu "single-rate", lub przeciwne dla "half-rate". Inwertery IC5 i IC6 separują wyjścia bramek od końcowych driverów linii zegarowych IC8-IC12. Dodatkowe inwertery IC7 i IC11 mają za zadanie wytworzyć przebiegi w przybliżeniu komplementarne, potrzebne do poprawnej pracy przerzutników.

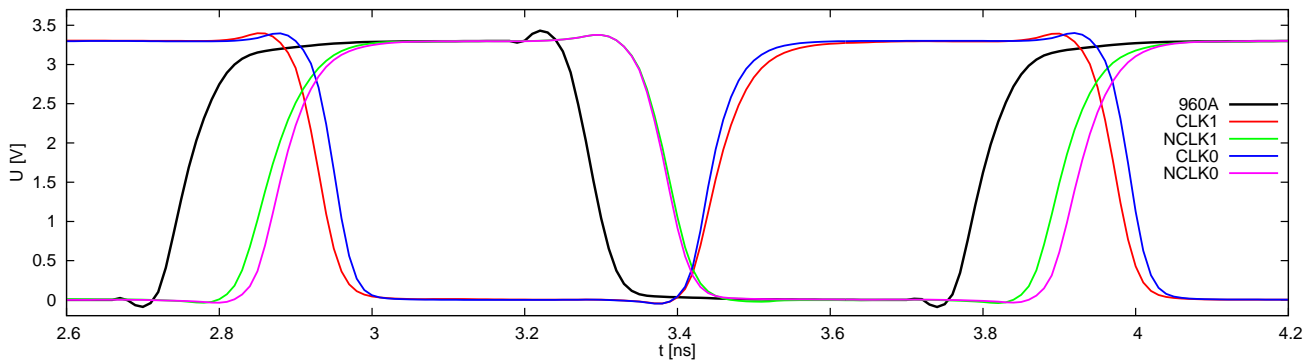


Rysunek 3.124: Przebiegi układu formowania zegara - 960 MHz , tryb "half-rate".

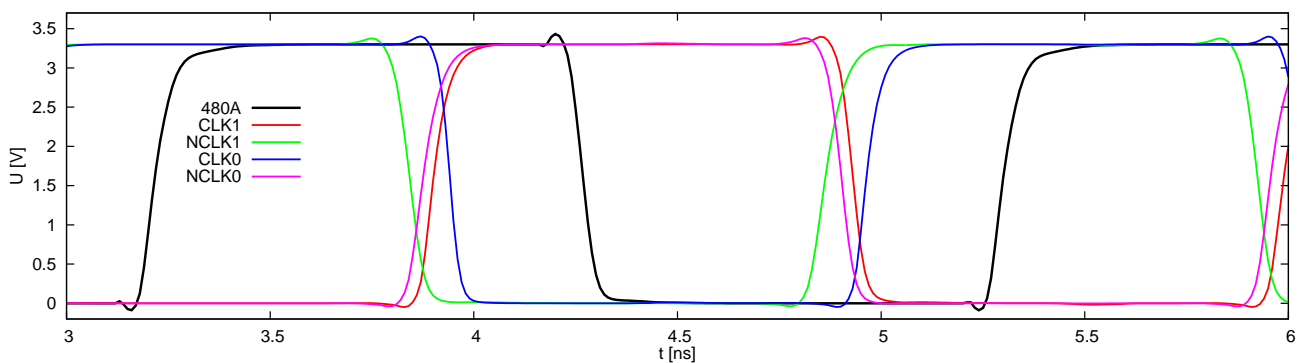
Dla skrócenia czasu symulacji "deserializer'a" układ CDR został zastąpiony źródłami częstotliwości o przebiegach tak dobranych, by zgadzały się z jego rzeczywistą pracą. Z tego wzglę-

du na jedno z wejść (np. 960A) podawany był ciągły sygnał zegarowy, zaś drugie (960B) było stale dołączone do napięcia zasilania. Mimo to takie przybliżenie w pełni oddaje przebiegi czasowe układu formowania zegara. Rysunek 3.124 przedstawia wyniki symulacji wyjściowych przebiegów zegarowych w odniesieniu do wejściowego dla trybu "half-rate" przy częstotliwości 960 MHz, zaś rysunek 3.125 tryb "single-rate" przy tej samej częstotliwości.

Przebiegi dla trybu "half-rate" odbiegają niestety dość dalece od teoretycznych. W szczególności dużą różnicę czasową pomiędzy zboczami narastającymi wykazują sygnały CLK0 i NCLK1. Śledząc drogę tych przebiegów na schemacie ideowym (rys 3.123) widać, że sygnał CLK0 musi pokonać o dwa inwertery więcej (IC3 i IC7) niż NCLK1. Wynika stąd różnica czasów pomiędzy zboczami wynosząca 101 ps. W przypadku trybu "single-rate" różnica czasowa pomiędzy zboczami wynosi 581 ps, jednak tym razem przebiegi są w przeciwnych fazach. Stąd, po odjęciu połowy okresu zegara 960 MHz (wynoszącej 521 ps) pozostaje względna różnica 60 ps. Jednak w tym przypadku ważniejsza była zgodność zboczy pomiędzy sygnałami CLK1 i CLK0 oraz NCLK1 i NCLK0, gdyż, zgodnie z teorią, powinny one taktować przerzutniki rejestru równocześnie. Z tego względu zapewniono bardzo małe różnice czasowe między parami odpowiednich zegarów (7 ps dla sygnałów prostych i 20 ps dla zanegowanych) godząc się tym samym na większe rozbieżności w trybie "half-rate", gdzie nie mają one aż tak dużego znaczenia.

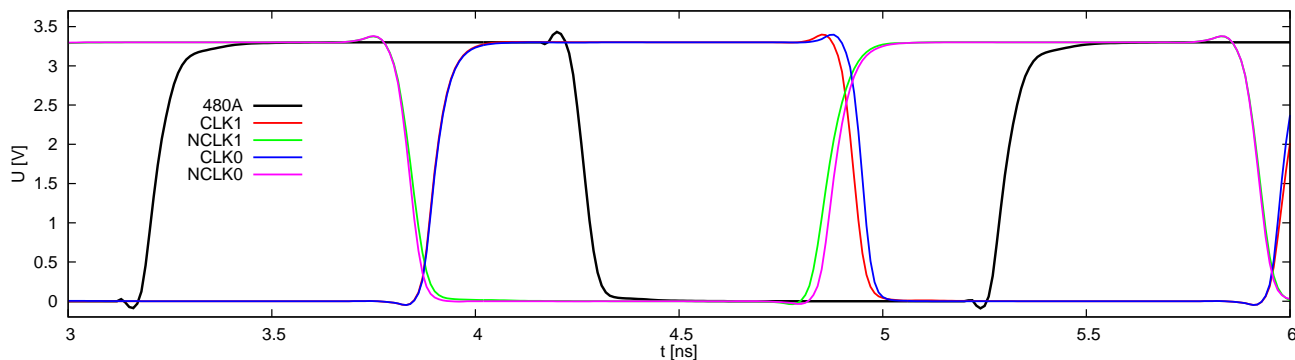


Rysunek 3.125: Przebiegi układu formowania zegara - 960 MHz, tryb "single-rate".



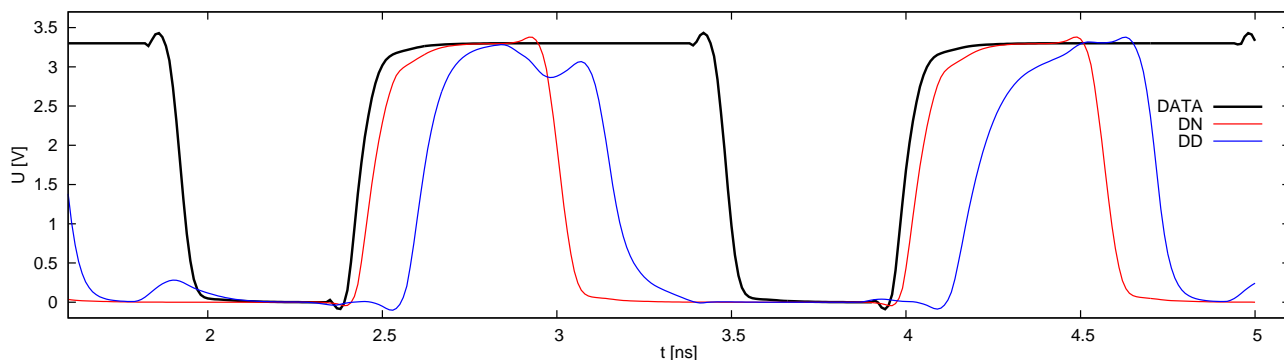
Rysunek 3.126: Przebiegi układu formowania zegara - 480 MHz, tryb "half-rate".

Na rysunkach 3.126 i 3.127 przedstawiono wyniki symulacji dla trybów "half-" i "single-rate" przy częstotliwości 480 MHz. Analogicznie jak dla wyższej częstotliwości widać rozbieżność przebiegów CLK0 i NCLK1 wynoszącą 101 ps. W tym przypadku zbocza narastające przebiegów CLK0 i CLK1 są odległe o zaledwie 4 ps. Należy sobie jednak zdawać sprawę z tego, że parametry te mogą ulec zmianie po wykonaniu masek technologicznych.



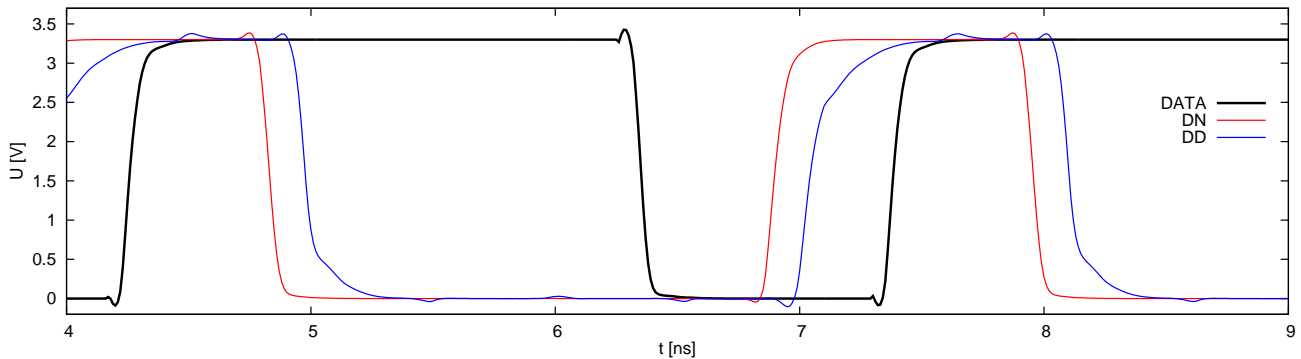
Rysunek 3.127: Przebiegi układu formowania zegara - 480 MHz, tryb "single-rate".

O wiele bardziej istotne od rozbieżności przebiegów zegarowych w trybie "half-rate" było dopasowanie czasowe zegarów i sygnału danych transmitowanego przez układ. Sygnał ten przechodzi przez ciąg bramek GC11-17 i inwerterów IC13-16 (rys. 3.123). Z punktu widzenia analizy czysto logicznej zastosowanie tych elementów nie ma sensu, gdyż jedynym efektem ich działania jest zanegowanie sygnału danych. Jednak ponieważ sygnał zegarowy musi przejść przez opisany wyżej układ formowania, ulega znacznemu przesunięciu fazowemu względem źródłowego przebiegu pochodzącego z oscylatorów VCO. Dzięki działaniu układu CDR dane wchodzące do "deserializer'a" są zsynchronizowane z tym przebiegiem, więc gdyby nie zostały przetransmitowane przez taki sam układ bramek, przez jaki przechodzi sygnał zegarowy, początkowa synchronizacja przebiegów zostałaby utracona. Dlatego też ciąg bramek GC11-GC15 z inwerterami IC13-IC16 odpowiada górnemu układowi formowania zegara. Linie DN i DD wchodzi na dwa pierwsze przerzutniki rejestru (opisanego w dalszej części), przy czym sygnał z linii DN

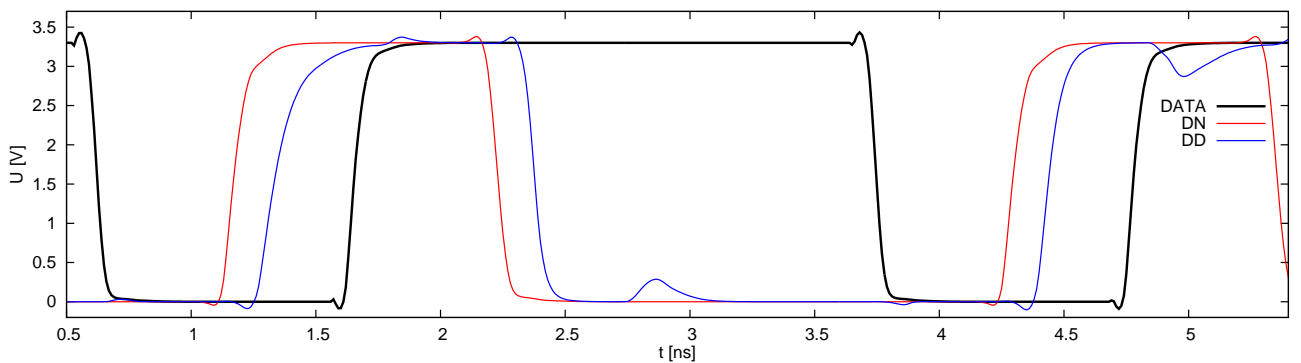


Rysunek 3.128: Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 960 MHz, tryb "half-rate".

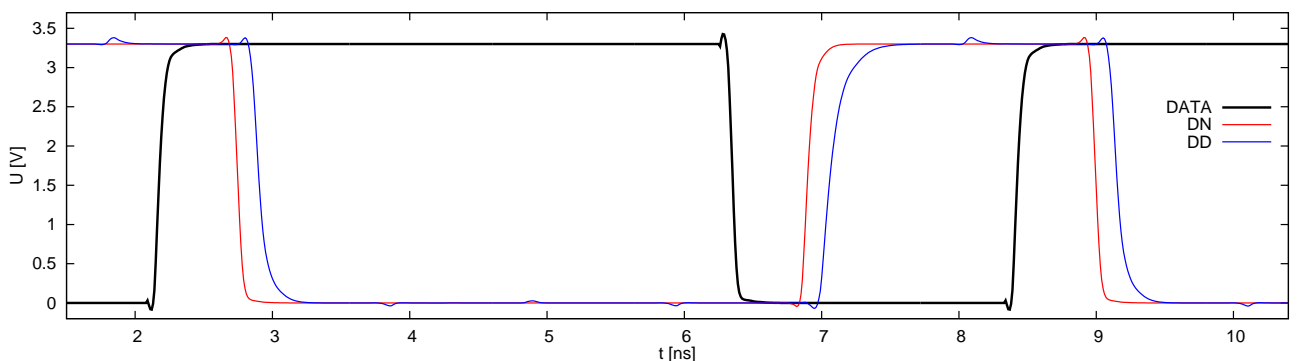
przechodzi dodatkowo po drodze przez multiplexer. Aby oba przebiegi były zgodne w fazie na wejściach D przerzutników, sygnał DD jest dodatkowo opóźniony przez bramki GC16 i GC17, odpowiadające tym z multiplexera.



Rysunek 3.129: Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 960 MHz, tryb "single-rate".



Rysunek 3.130: Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 480 MHz, tryb "half-rate".



Rysunek 3.131: Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 480 MHz, tryb "single-rate".

Na potrzeby symulacji na linię data zostały podane dane składające się z okresowo powtarzanego ciągu "011". Oznacza to, przykładowo w trybie 960 MHz "single-rate", że stan

wysoki trwa dwa okresy ($2,08 \text{ ns}$), zaś stan niski jeden okres ($1,04 \text{ ns}$) częstotliwości bazowej. Na rysunku 3.128 zostały przedstawione przebiegi danych (wejściowe DATA i wyjściowe DN, DD) w trybie "half-rate", zaś na rys. 3.129 - "single-rate" dla częstotliwości 960 MHz . Analogiczne wykresy dla 480 MHz przedstawiają rysunki 3.130 i 3.131.

DATA - DD	960 MHz		480 MHz	
	"half-rate"	"single-rate"	"half-rate"	"single-rate"
opóźnienie [ps]	693	695	694	697

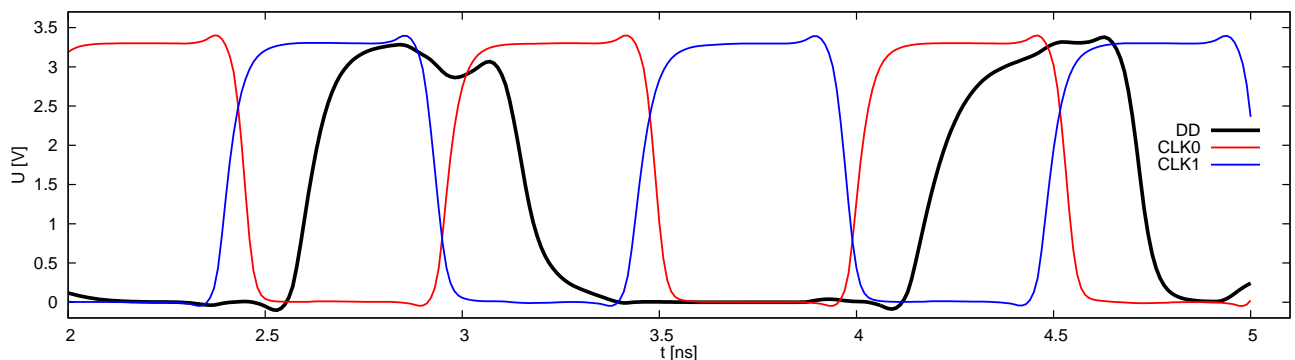
a)

960A/480A - CLK1	960 MHz		480 MHz	
	"half-rate"	"single-rate"	"half-rate"	"single-rate"
opóźnienie [ps]	688	689	661	683

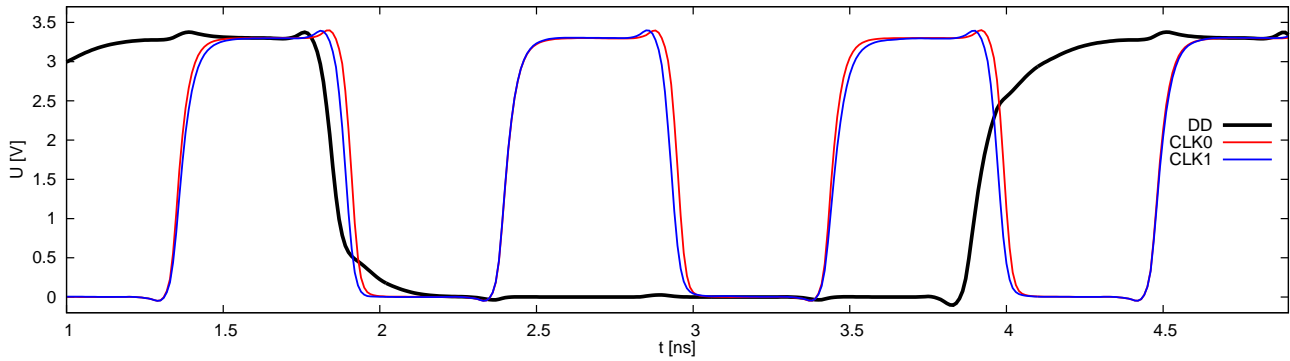
b)

Tabela 3.8: Opóźnienia przebiegów w układzie formowania dla różnych trybów pracy: a) pomiędzy przebiegami DATA i DD, b) między wejściowym zegarem (960A lub 480A) a wyjściowym CLK1.

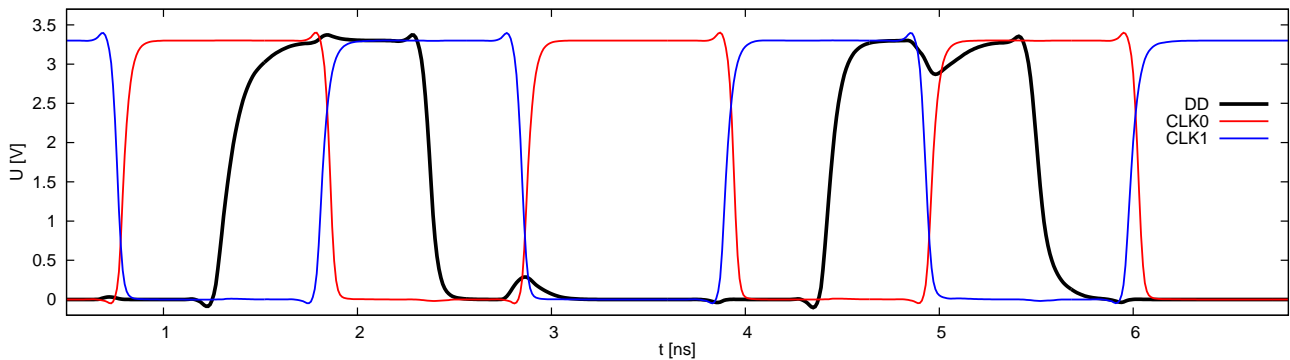
Tabela 3.8a przedstawia czasy opóźnienia zbocza narastającego sygnału DD względem zbocza opadającego DATA (przyjęto taki pomiar ponieważ sygnał DD jest zanegowany względem DATA, tak więc zbocze opadające na wejściu odpowiada narastającemu na wyjściu). Opóźnienie to, czego należało się spodziewać, jest stałe i nie zależy od częstotliwości pracy. Znacznie ważniejsza jest zgodność z opóźnieniami wprowadzanymi na linię zegara przez układ formowania, przedstawionymi w tabeli 3.8b (wykresy rys. 3.125-3.128). Dzięki temu zachowana jest synchronizacja pomiędzy przebiegami zegara i danych.



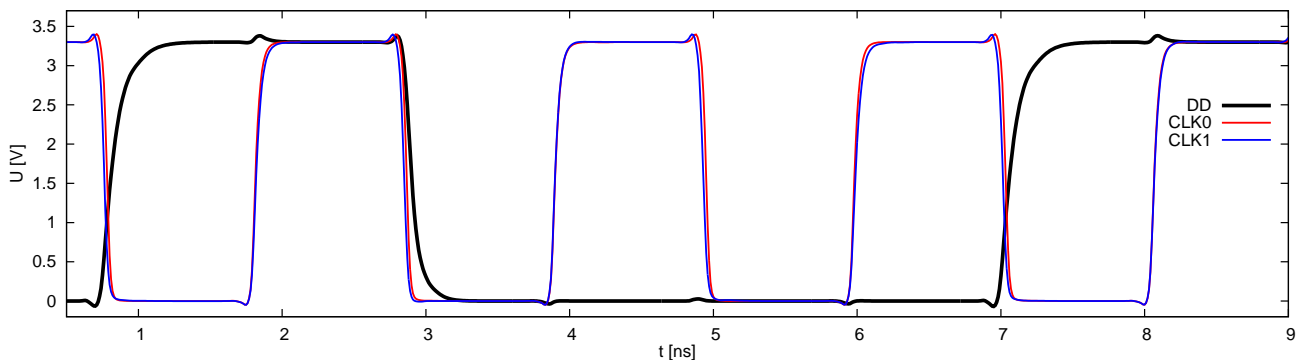
Rysunek 3.132: Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 960 MHz , tryb "half-rate".



Rysunek 3.133: Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 960 MHz, tryb "single-rate".



Rysunek 3.134: Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 480 MHz, tryb "half-rate".



Rysunek 3.135: Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 480 MHz, tryb "single-rate".

Należy przy tym przypomnieć, że w trybie "single-rate" wejściowe przesunięcie fazowe między tymi przebiegami wynosi w przybliżeniu π (przebiegi w przeciwfazie), podczas gdy w trybie "half-rate" około $\pi/2$ (czyli 1/4 okresu). Przesunięcia zostały dobrane tak, by narastające zbocze zegara znajdowało się dokładnie w połowie bitu danych, co umożliwiła przerzutnikom rejestru pewne próbkowanie wartości bitu. Jeśli więc układ generacji zegara został zaprojektowany

poprawnie, to przesunięcia te powinny zostać zachowane pomiędzy przebiegiem danych DD i zegarami taktującymi przerzutniki CLK0 i CLK1. Rysunki 3.132-3.135 przedstawiają wyniki symulacji tych przebiegów dla omawianych trybów pracy.

Tryb "single-rate" przy obu częstotliwościach całkowicie spełnia teoretyczne założenia (zbozca opadające zegarów pokrywają się niemal dokładnie ze zboczami danych, co zapewnia żądane przesunięcie o pół okresu). Trochę gorzej wyglądają przebiegi dla trybu "half-rate" (w szczególności CLK0 przy częstotliwości 960 MHz), niemniej różnice czasowe pomiędzy zboczami zegara a danych są wystarczająco duże by zapewnić poprawną pracę układu. Tabela 3.9 przedstawia średnie opóźnienia pomiędzy zboczami danych a sygnałami zegarowymi. Dla porównania w drugim wierszu zawarte zostały teoretyczne przesunięcia (1/4 okresu dla trybu "half-rate" i 1/2 dla "single-rate").

Dane - zegar	960 MHz		480 MHz	
	"half-rate"	"single-rate"	"half-rate"	"single-rate"
przesunięcie [ps]	248	475	423	910
wartość teor. [ps]	260	521	521	1042

Tabela 3.9: Średnie przesunięcie zbocza zegara względem zbocza danych dla częstotliwości 960 MHz i 480 MHz.

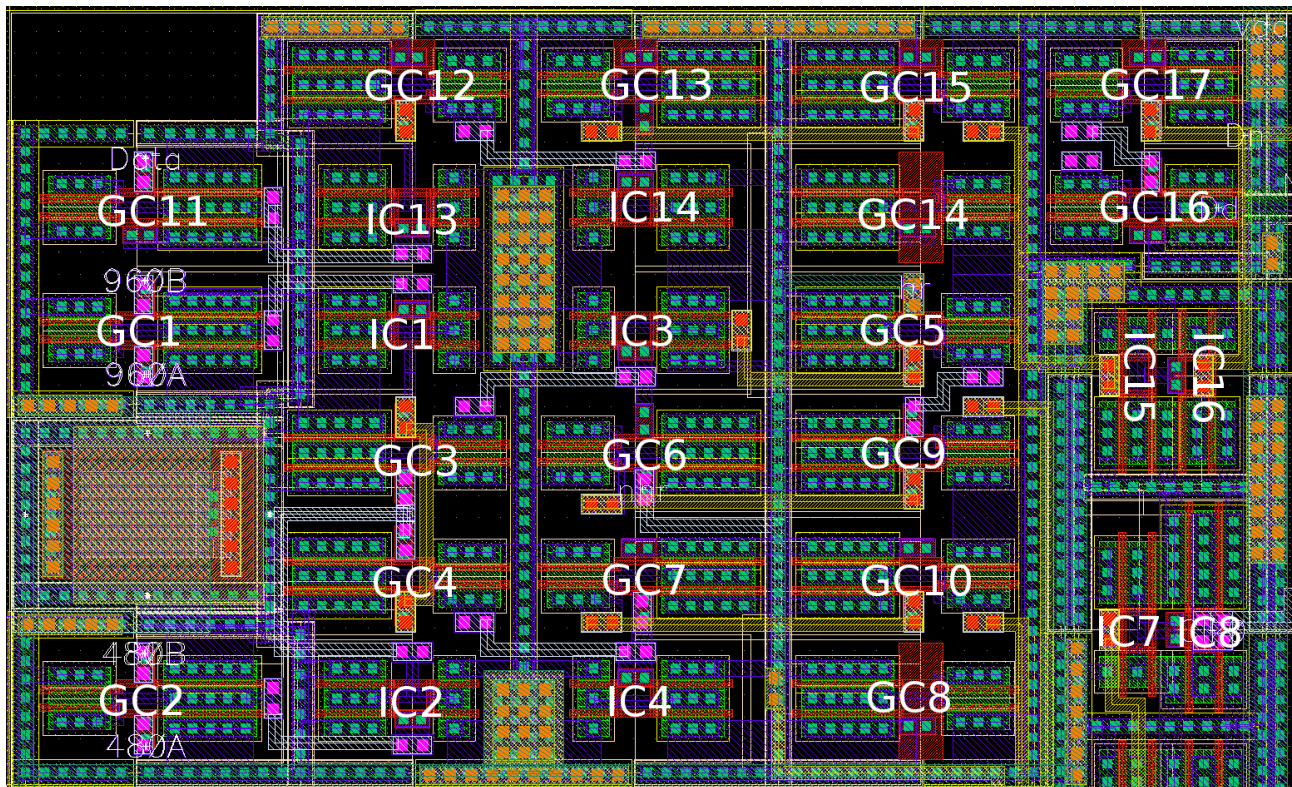
W tym opisie zostały pominięte symulacje dla niższych częstotliwości (240 MHz i 120 MHz). Przebiegi otrzymane w ich wyniku w zupełności pokrywają się z przedstawionymi powyżej i nie wnoszą żadnej nowej treści do opisu działania układu. Z tego względu zdecydowano się przedstawić jedynie końcowe, najistotniejsze dla działania układu wyniki przesunięć zbocz zegara względem danych, zebrane w tabeli 3.10

Dane - zegar	240 MHz		120 MHz	
	"half-rate"	"single-rate"	"half-rate"	"single-rate"
przesunięcie [ps]	896	1973	1989	4048
wartość teor. [ps]	1042	2084	2084	4167

Tabela 3.10: Średnie przesunięcie zbocza zegara względem zbocza danych dla częstotliwości 240 MHz i 120 MHz.

3.11.3 b) Maski technologiczne

Rysunek 3.136 przedstawia maski technologiczne układu kształtowania zegara. Ponieważ istotną cechą układu jest równy czas transmisji sygnałów przez wszystkie trzy gałęzie (dwie zegarowe i gałąź danych, schemat rys. 3.123), konieczne było takie narysowanie masek, by

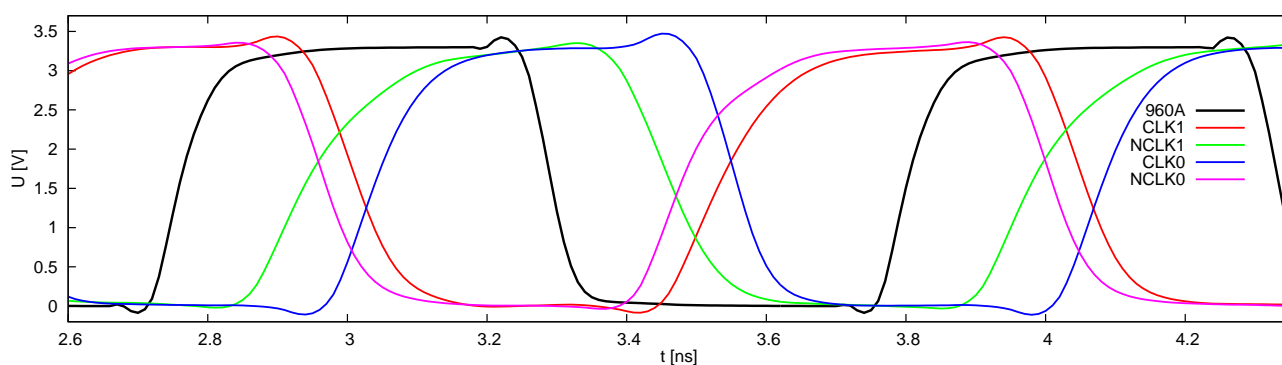


Rysunek 3.136: Maski technologiczne układu formowania zegara ($58 \times 36 \mu\text{m}^2$).

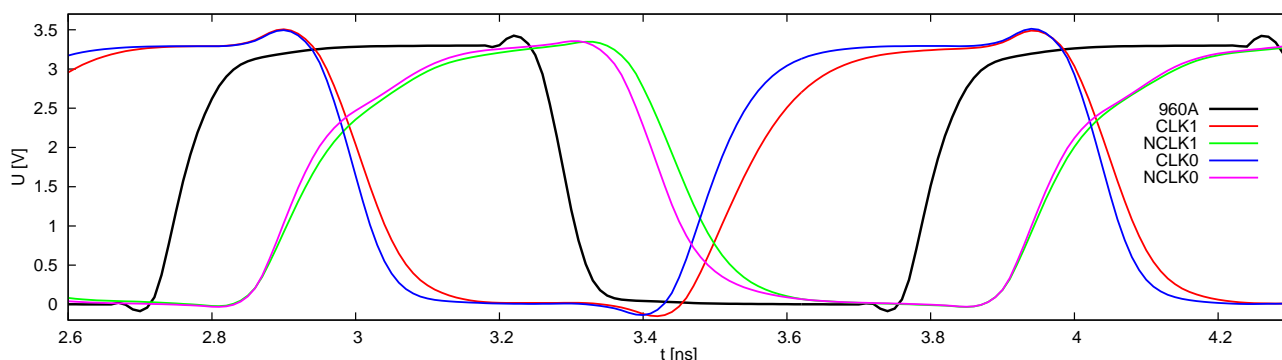
ewentualne rozrzuty parametrów tranzystorów, jak i warunki pracy były w przybliżeniu takie same dla odpowiadających sobie bramek. Niestety ze względu na charakter układu nie dało się zastosować geometrii wspólnego środka, dodatkowo też ważne było utrzymanie możliwie niskich pojemności pasozytniczych połączeń. Stąd projekt każdej gałęzi wykonano w postaci poziomego (na rys. 3.136) paska, zaś sąsiadujące ze sobą paski ułożono w odbiciu względem prostej równoległej do ich dłuższej krawędzi. W pierwszej wersji planowane było dołożenie dodatkowych nieaktywnych pasków z góry i dołu układu tak, by zapewnić takie samo otoczenie wszystkim tranzystorom, jednak nie okazało się to być potrzebne. Na powyższym rysunku pominięte zostały inwertery IC9-12, gdyż są one położone w postaci wąskiego pionowego paska tak, że pełne maski technologiczne układu formowania przypominają literę "L". Aby nie zmniejszać rysunku poniżej granic czytelności inwertery pominięto.

Maski technologiczne tej części "deserializer'a" były kilkakrotnie zmieniane, ponieważ wykazywały pierwotnie zbyt duże rozrzuty czasowe przebiegów. Uzyskanie żądanych wyników w symulacjach "post-layout" wymagało na pewnym etapie nawet modyfikacji niektórych wymiarów bramek i samego schematu układu formowania zegara. Paradoksalnie pogorszyło to parametry uzyskiwane w symulacjach wykonywanych na schematach, ale poprawiło pracę układu w symulacjach uwzględniających rzeczywisty układ tranzystorów i elementy pasozytnicze. Wszystkie przedstawione wcześniej wyniki dotyczą symulacji wykonanych na zmodyfikowanych, finalnych wersjach schematu i wymiarowania tranzystorów. Przykładowo, w pierwotnej wersji układu w trybie "half-rate" 960 MHz zbocza zegara znajdowały się niemal idealnie w połowie odległo-

ści między zboczami przebiegu danych (rys. 3.132), zaś różnica pomiędzy sygnałami CLK0 i NCLK1 była w okolicach 30 ns (rys. 3.124). Pomimo tego nie dało się tak narysować masek technologicznych, by utrzymać te rezultaty. Ze względu na wpływ elementów pasożytniczych i przeciwstawnych warunków optymalizacji dla trybów "half-" i "single-rate" otrzymywano albo rosnącą rozbieżność między przebiegami zegarowymi aż do nieakceptowalnej (i niebezpiecznej dla pracy układu) wartości rzędu 150 – 200 ps, albo zbliżanie się zbocza jednego z zegarów do zbocza danych (minimalna zanotowana różnica wyniosła 53 ps, w porównaniu do teoretycznych 260 ps - tab. 3.9). Próba równoczesnej kompensacji obu efektów w trybie "half-rate" powodowała analogiczne, niekorzystne zmiany parametrów czasowych trybu "single-rate". Modyfikacja schematu i wymiarowania, która wprowadziła co prawda rozbieżności między wynikami symulacji a wartościami teoretycznymi (przedstawione we wcześniejszym podrozdziale), pozwoliła z drugiej strony zaprojektować maski technologiczne tak, by parametry czasowe przebiegów pozostały w akceptowalnych i bezpiecznych granicach.



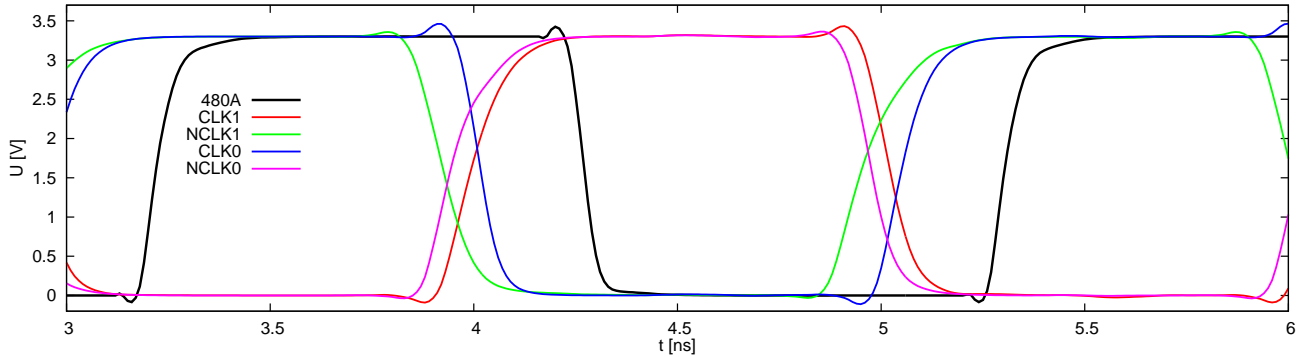
Rysunek 3.137: Przebiegi układu formowania zegara - 960 MHz, tryb "half-rate", symulacja "post-layout".



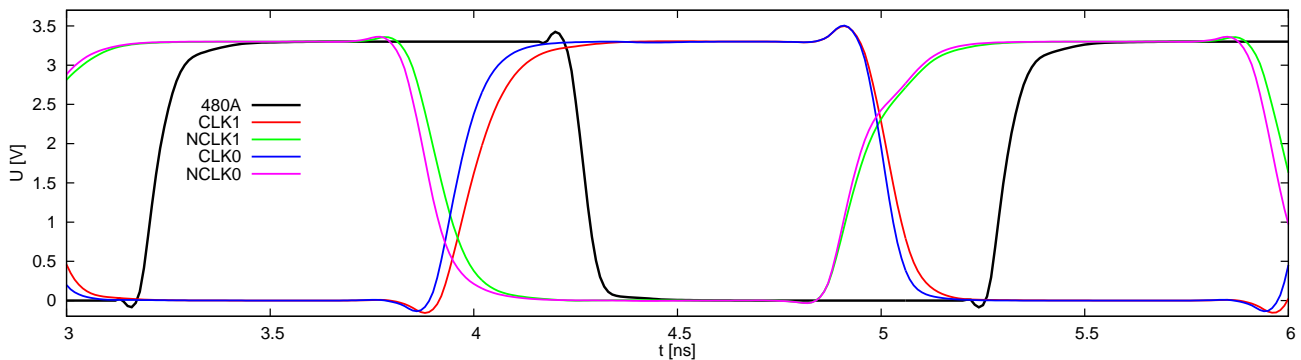
Rysunek 3.138: Przebiegi układu formowania zegara - 960 MHz, tryb "single-rate", symulacja "post-layout".

Na rysunkach 3.137-3.140 przedstawiono przebiegi zegarowe otrzymane w wyniku symulacji "post-layout" układu formowania zegara (stanowią one analog wykresów z rys. 3.124-3.127).

Podstawową zmianą po narysowaniu masek technologicznych jest wydłużenie czasów narastania i opadania wszystkich sygnałów wynikające z wzrostu obciążeń pojemnościowych na liniach zegarów. Problem ten został dokładniej zanalizowany przy opisie bloku rejestru.



Rysunek 3.139: Przebiegi układu formowania zegara - 480 MHz, tryb "half-rate", symulacja "post-layout".



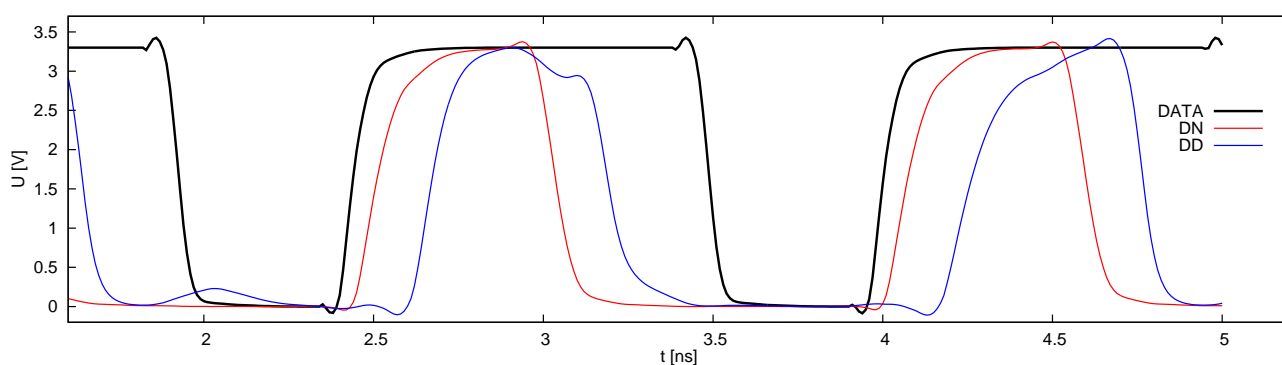
Rysunek 3.140: Przebiegi układu formowania zegara - 480 MHz, tryb "single-rate", symulacja "post-layout".

przesunięcia w [ps] pomiędzy przebiegami	sym.	960 MHz		480 MHz	
		"half-rate"	"single-rate"	"half-rate"	"single-rate"
CLK0-NCLK1 ("h-r")	S	100	-	106	-
CLK0-NCLK1 ("h-r")	L	100	-	99	-
CLK0-CLK1 ("s-r")	S	-	7	-	5
CLK0-CLK1 ("s-r")	L	-	35	-	37
DATA-DD	S	693	695	694	697
DATA-DD	L	746	743	746	763
960A/480A - CLK1	S	688	689	661	683
960A/480A - CLK1	L	768	736	770	736

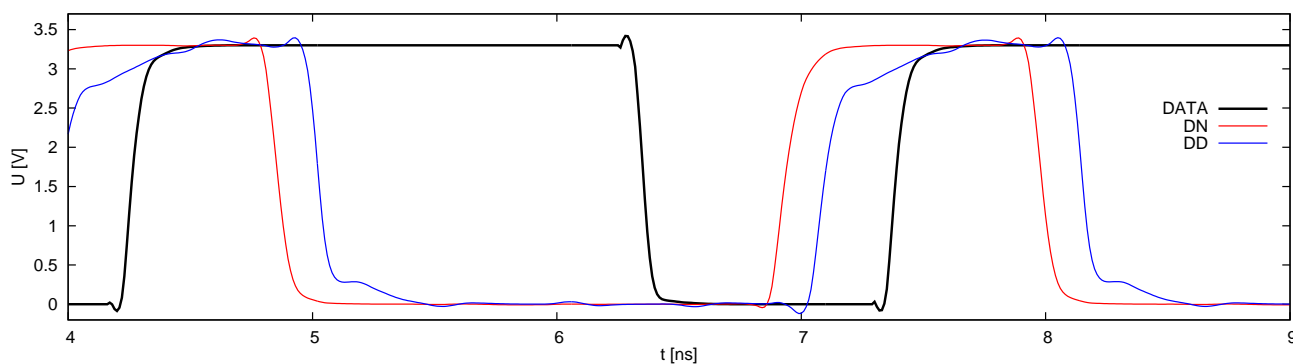
Tabela 3.11: Opóźnienia przebiegów w układzie formowania zegara w symulacjach "post-layout" dla różnych trybów pracy.

Nie wykonywano zestawienia przebiegów z symulacji schematu i "post-layout" ze względu na zbyt dużą nieczytelność takich wykresów. W miejsce tego zebrano w tabeli 3.11 opóźnienia czasowe z obu typów symulacji (oznaczonych jako S - schemat, L - "post-layout"). Znaczące zniekształcenia przebiegów zegarowych, w szczególności przy częstotliwości 960 MHz, wynikają ze znacznego obciążenia pojemnościowego linii zegarów, co bliżej zostanie omówione w następnym podrozdziale dotyczącym rejestru szeregowo-równoległego.

Z tabeli 3.11 wynika, że udało się zachować niemal niezmienną wartość rozbieżności czasowej przebiegów CLK0 i NCLK1 w trybie "half-rate". Choć w idealnym przypadku powinna ona wynosić 0 ps, to, jak już zostało wspomniane, uzyskana wartość jest jak najbardziej akceptowalna. Odbyło się to niestety kosztem wzrostu rozbieżności zegarów CLK0 i CLK1 w trybie "single-rate", niemniej wartość < 40 ps jest nadal w granicach bezpieczeństwa. Jej zmniejszenie wiązało się ze zwiększeniem różnicy czasowej CLK0-NCLK1, co było nie do przyjęcia. Analogiczna zależność zachodziła w drugą stronę, stąd finalnie przyjęto przedstawione wyżej wartości opóźnień, gdyż dla obu trybów pracy zawierają się one w bezpiecznych granicach. Udało się zachować stałe opóźnienie pomiędzy wejściem a wyjściem linii danych niezależnie od trybu pracy, choć oczywiście jego bezwzględna wartość wzrosła. Wykresy przesunięcia wyjściowych

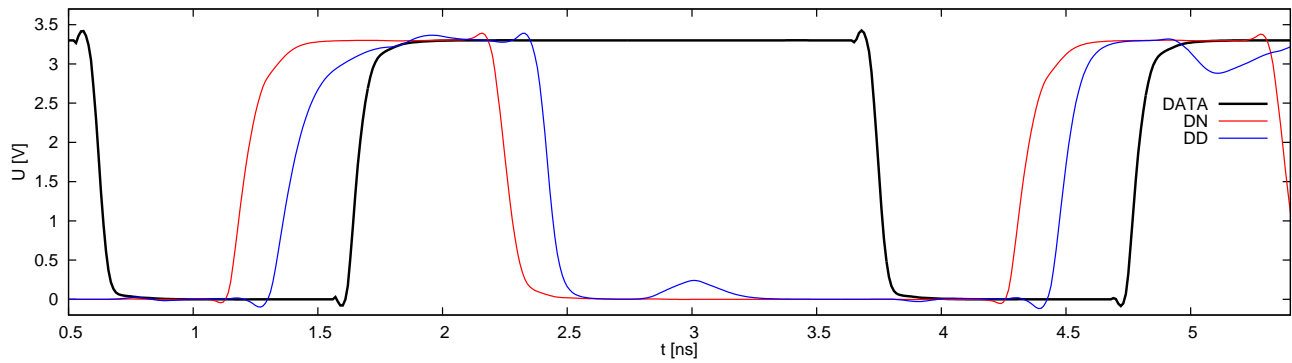


Rysunek 3.141: Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 960 MHz, tryb "half-rate", symulacja "post-layout".

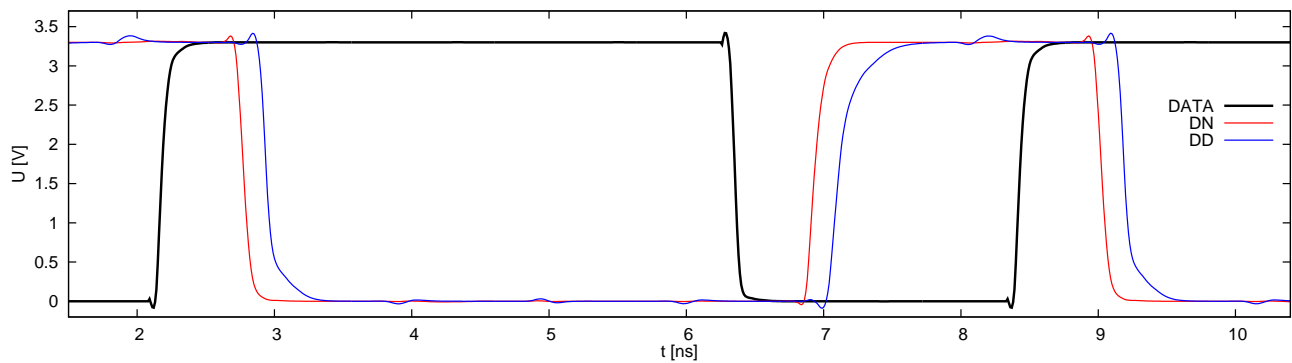


Rysunek 3.142: Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 960 MHz, tryb "single-rate", symulacja "post-layout".

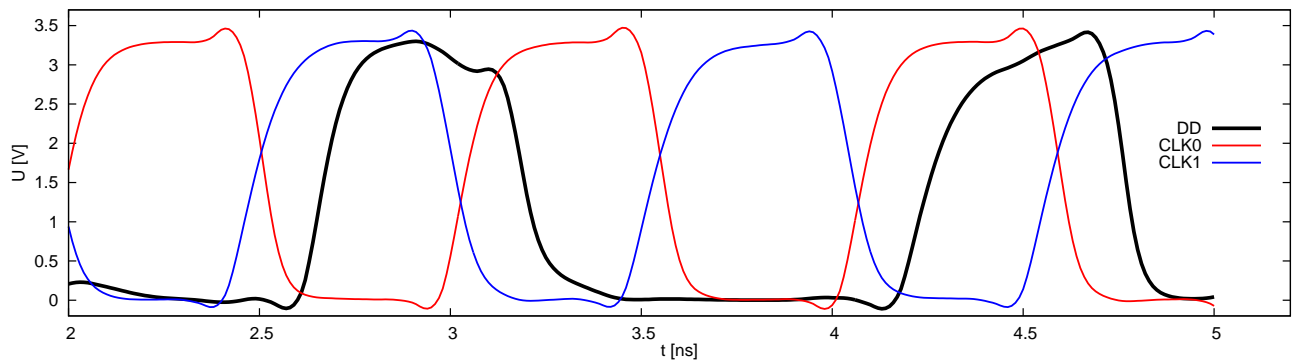
przebiegów danych DD i DN w stosunku do DATA w symulacjach "post-layout" przedstawiają rysunki 3.141-3.144.



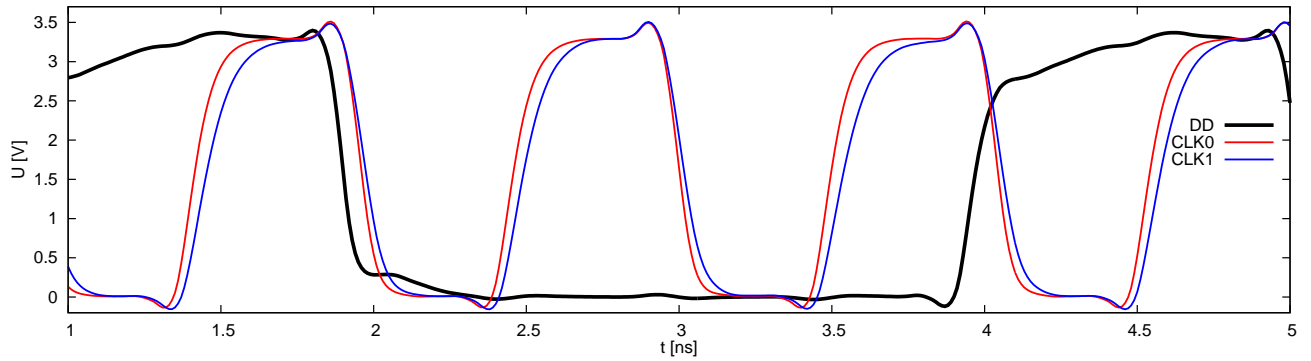
Rysunek 3.143: Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 480 MHz, tryb "half-rate", symulacja "post-layout".



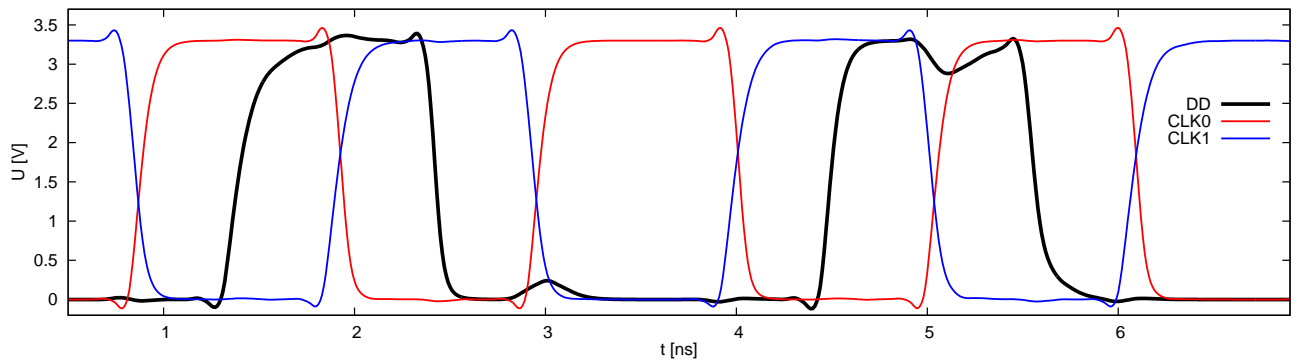
Rysunek 3.144: Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 480 MHz, tryb "single-rate", symulacja "post-layout".



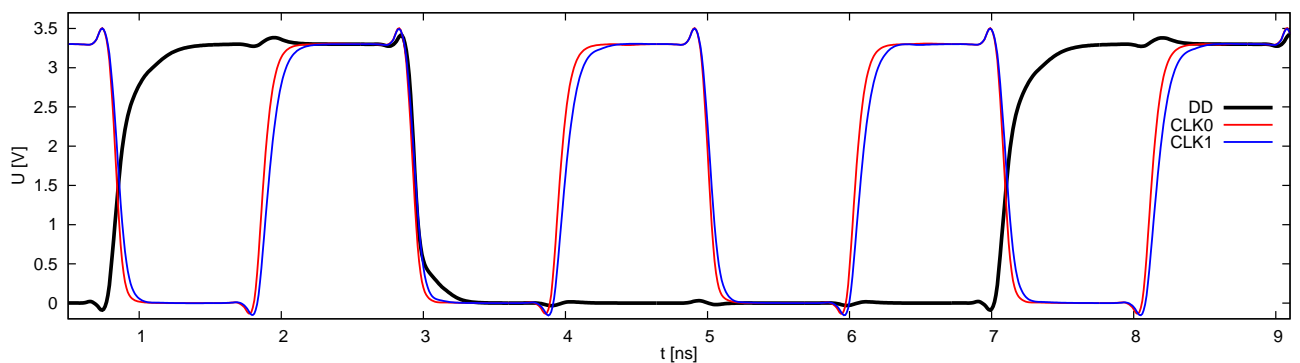
Rysunek 3.145: Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 960 MHz, tryb "half-rate", symulacja "post-layout".



Rysunek 3.146: Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 960 MHz, tryb "single-rate", symulacja "post-layout".



Rysunek 3.147: Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 480 MHz, tryb "half-rate", symulacja "post-layout".



Rysunek 3.148: Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 480 MHz, tryb "single-rate", symulacja "post-layout".

Najważniejsze z globalnego punktu widzenia przebiegi zależności wyjściowych sygnałów zegarowych CLK0 i CLK1 oraz linii danych DD przedstawiają rysunki 3.145-3.148. W stosunku do symulacji schematów (rys. 3.132-3.135) najważniejsze jest przesunięcie się przebiegów zegarowych względem danych w trybie "half-rate" 960 MHz. Szczególnie opóźnienie dodatniego

zbozca przebiegu CLK0 względem zbozca danych DD, wynoszące 368 ps, jest niebezpiecznie duże. Niestety jest to koszt budowy uniwersalnego układu "deserializer'a" umożliwiającego działanie w obu trybach pracy ("half-" i "single-rate") jednocześnie. Przy niższych częstotliwościach, jak i w trybie "single-rate" 960 MHz dodatkowe opóźnienia względem symulacji schematów, wynikające z pojemności pasożytniczych, są pomijalne.

śr. przesunięcia w [ps] pomiędzy przebiegami	sym.	960 MHz		480 MHz	
		"half-rate"	"single-rate"	"half-rate"	"single-rate"
Dane - zegar	S	248	475	423	910
Dane - zegar	L	268	469	459	1063
wartość teor.	-	260	521	521	1042

Tabela 3.12: Średnie przesunięcie zbozca zegara względem zbozca danych w symulacjach "post-layout" dla częstotliwości 960 MHz i 480 MHz.

Porównanie zmian parametrów czasowych układu pomiędzy symulacjami schematu (S) a "post-layout" (L) umożliwiają tabele 3.12 i 3.13. Analogicznie jak w przypadku poprzedniego podrozdziału nie zamieszczano wykresów przebiegów dla niższych częstotliwości pracy (240 MHz i 120 MHz), ograniczając się jedynie do przedstawienia końcowych wyników ich symulacji (tab. 3.13). Ponownie w najniższych wierszach przypomniano teoretyczne wartości opóźnień.

śr. przesunięcia w [ps] pomiędzy przebiegami	sym.	240 MHz		120 MHz	
		"half-rate"	"single-rate"	"half-rate"	"single-rate"
Dane - zegar	S	896	1973	1989	4048
Dane - zegar	L	996	1969	2037	4189
wartość teor.	-	1042	2048	2048	4176

Tabela 3.13: Średnie przesunięcie zbozca zegara względem zbozca danych w symulacjach "post-layout" dla częstotliwości 240 MHz i 120 MHz.

Tabele 3.12 i 3.13 przedstawiają wartości średnie, które dość dobrze zgadzają się z teoretycznymi opóźnieniami, jednak warto mieć na uwadze przebieg 3.145, gdzie zbozca zegara próbkującego jest zdecydowanie przesunięte bliżej zbozca danych. W przypadku dużego rozrzutu parametrów tranzystorów może się więc zdarzyć sytuacja, gdy zbozca obu przebiegów znajdują się na tyle blisko siebie, by mogło nastąpić przekłamanie danych. Ponieważ częstotliwość rzędu 1GHz była uznawana za niemożliwą do wytworzenia i przetworzenia w technologii AMS 0.35 μm, zdecydowano się na optymalizację czasową trybu "single-rate" 960 MHz, jako łatwiejszego do obsługi przez układ, by zwiększyć prawdopodobieństwo pracy ASIC'u przy tej

częstotliwości. Jest to koszt uniwersalnego projektu w którym wiele przeciwstawnych warunków uniemożliwia pełną optymalizację wszystkich parametrów układu.

3.11.4 Rejestr wyjściowy

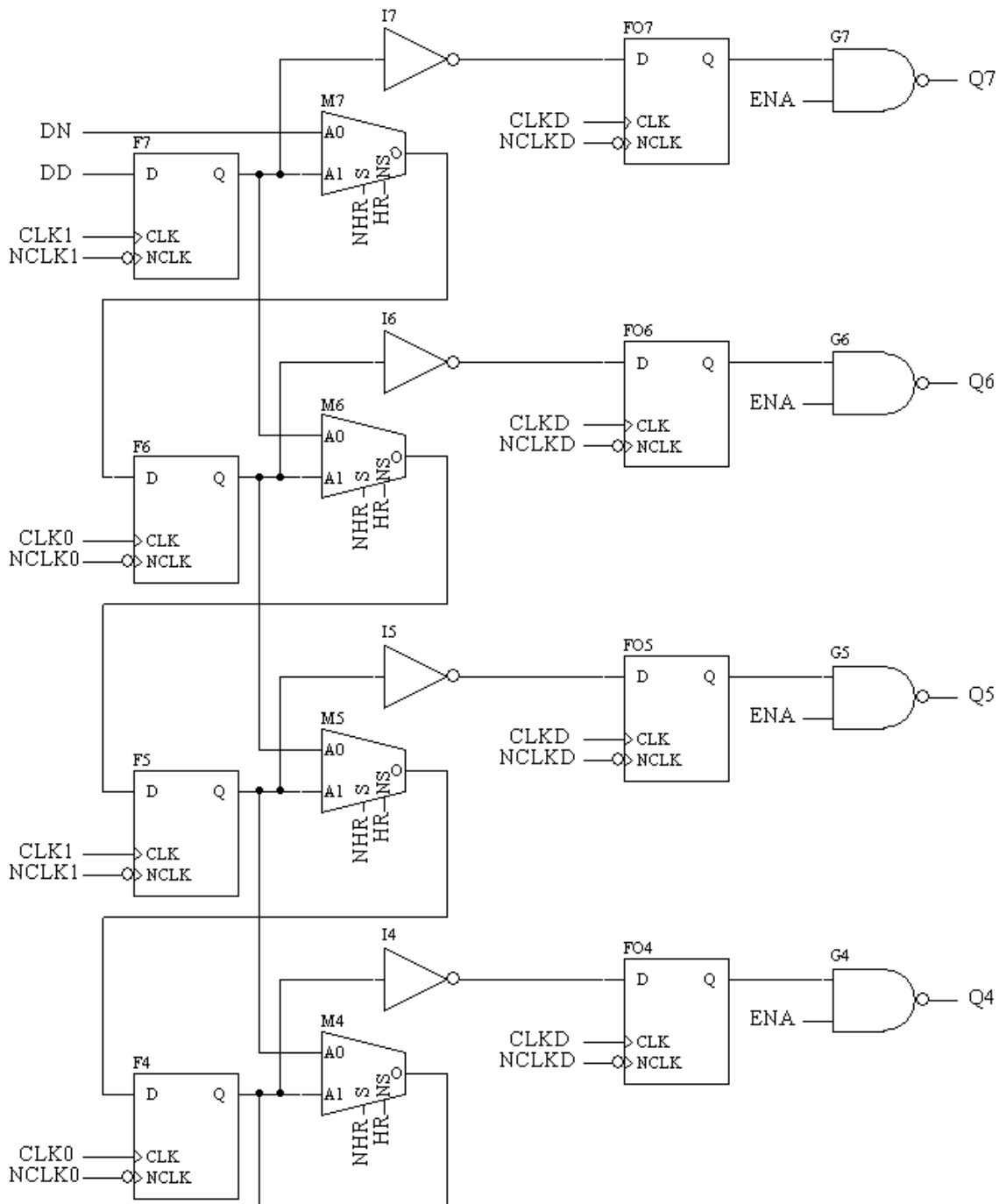
3.11.4 a) Schemat ideowy

Schemat ideowy rejestru wyjściowego, przedstawiony na rysunku 3.149, jest połączeniem nieznacznie zmodyfikowanego rejestru szeregowo-równoległego z buforem magistrali, opisanych w rozdziale 2.8 (rysunek 2.68). Na schemacie 3.149 przedstawione zostały jedynie cztery pierwsze przerzutniki rejestru, co jednak w zupełności wystarcza do zrozumienia idei jego działania. Ponieważ multiplekser ma nieco krótszy czas transmisji przez wejście A0, zostały zamienione miejscami sygnały wejściowe i sterujące multiplekserów w stosunku do schematu teoretycznego. Dzięki temu przerzutniki w bardziej krytycznym trybie "half-rate" są łączone ścieżką wprowadzającą nieco mniejsze opóźnienie.

W trybie "single-rate" sygnał z wyjścia Q przerzutnika F7 jest poprzez multiplekser M7 podawany na wejście D przerzutnika F6. W ten sam sposób łączone są kolejne stopnie dzięki czemu uzyskuje się jeden 8-bitowy rejestr. W trybie "half-rate" wyjście przerzutnika F7 dołączane jest do wejścia przerzutnika F5 poprzez multiplekser M6. Analogicznie, wyjście F6 jest łączone z wejściem F4 przez M5. Stąd tworzą się dwa 4-bitowe rejestry (F7, F5, F3 i F1 oraz F6, F4, F2 i F0). Wejście przerzutnika F6 jest łączone z linią danych DN przez multiplekser M7. To wyjaśnia konieczność wprowadzenia opisywanego już opóźnienia na linię DD tak, by sygnały na wejściach F7 i F6 były w przybliżeniu zgodne w fazie.

Przerzutniki FO7-FO0 tworzą bufor magistrali taktowany zegarem CLKD. Bramki G7-G0 blokują w stanie niskim sygnału ENA wyjścia przerzutników. Dzięki temu możliwe było podłączenie dwóch bloków odbiornika do jednej magistrali wyjściowej. Sygnały danych są podawane na wejścia przerzutników bufora poprzez inwertery I7-I0, których podstawową rolą jest separacja i opóźnienie sygnału pomiędzy rejestrami. Dokładna analiza tego zagadnienia została przedstawiona przy omawianiu wyników symulacji. Dodatkowo inwertery mają za zadanie skompensować negację wprowadzaną w linię danych przez układ formowania zegara.

Symulacje rejestru wyjściowego były prowadzone z towarzyszeniem układów sterujących jego pracą, czyli dzielnikiem i układem formowania zegara. Wejściowe przebiegi zegara i danych, pochodzące w rzeczywistych warunkach z układu CDR, zasymulowano źródłami częstotliwości o odpowiednio dobranych parametrach, podobnie jak przy symulacjach samego układu formowania zegara.



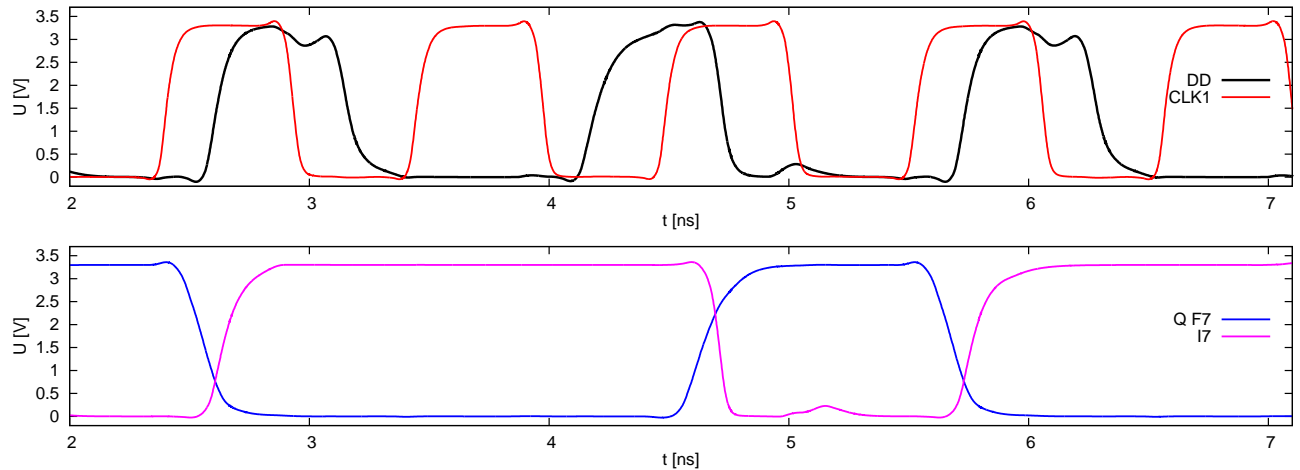
Rysunek 3.149: Schemat ideowy rejestru wyjściowego.

3.11.4 b) Wyniki symulacji dla trybu "half-rate"

Rysunek 3.150 przedstawia przebiegi czasowe pierwszego stopnia rejestru przy częstotliwości 960 MHz ⁷. Wejściowe dane podawane linią DD są próbkowane na zboczu narastającym zegara CLK1 i wystawiane na wyjście przerzutnika Q F7. Równocześnie inwerter I7 neguje ten przebieg

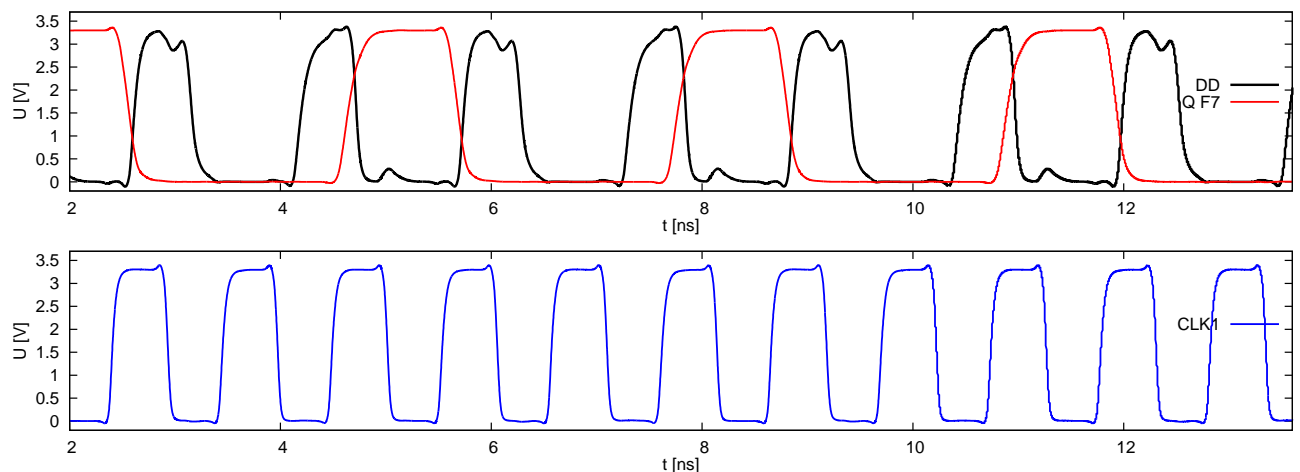
⁷Przebieg oznaczony na wykresie jako I7 obrazuje sygnał na wyjściu tego inwertera. Taką konwencję oznaczania przebiegów przyjęto dla wszystkich elementów posiadających tylko jedno wyjście. W innym przypadku (np. przerzutnik) przebiegi oznaczono wyszczególniając wyjście elementu (np. Q F7).

i podaje go ze swojego wyjścia do bufora równoległego. Opóźnienie pomiędzy zboczami zegara a danych na wyjściu Q przerzutnika F7 wynosi 154 ps . Przebieg na wyjściu inwertera I7 jest opóźniony o 210 ps , czyli sam inwerter wprowadza dodatkowe przesunięcie o 56 ps .

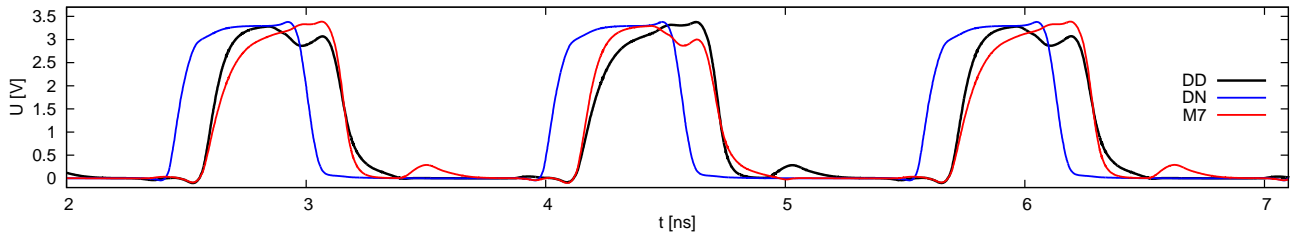


Rysunek 3.150: Przebiegi czasowe pierwszego stopnia (przerzutnik F7), "half-rate" 960 MHz .

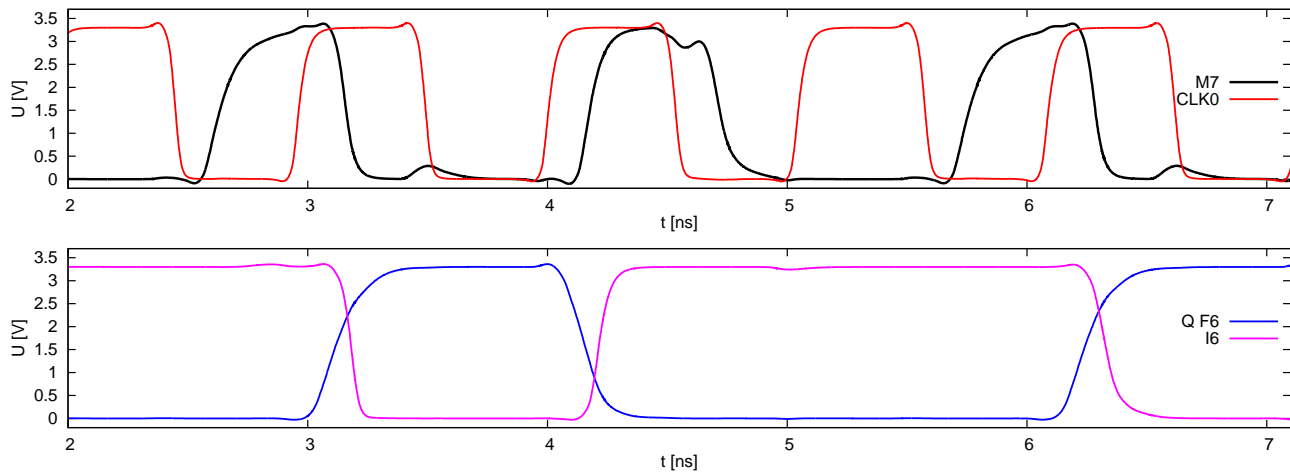
Zgodnie z opisem trybu "half-rate" przerzutnik F7 powinien odbierać co drugi bit danych wejściowych. Ponieważ stanowią one powtarzający się ciąg "100100100...", więc na wyjściu przerzutnika powinien znaleźć się taki sam ciąg, lecz o dwa razy większym czasie trwania pojedynczego bitu (z wejściowego ciągu danych przerzutnik odbierze "100100100..."). Z wykresu zamieszczonego na rysunku 3.151 widać, że rzeczywiście tak się dzieje i pierwszy stopień rejestru działa zgodnie z założeniami.



Rysunek 3.151: Przebiegi danych w pierwszym stopniu (przerzutnik F7), "half-rate" 960 MHz .



Rysunek 3.152: Zależności czasowe przebiegów danych DD i DN oraz wyjścia multiplexera M7, tryb "half-rate" 960 MHz.

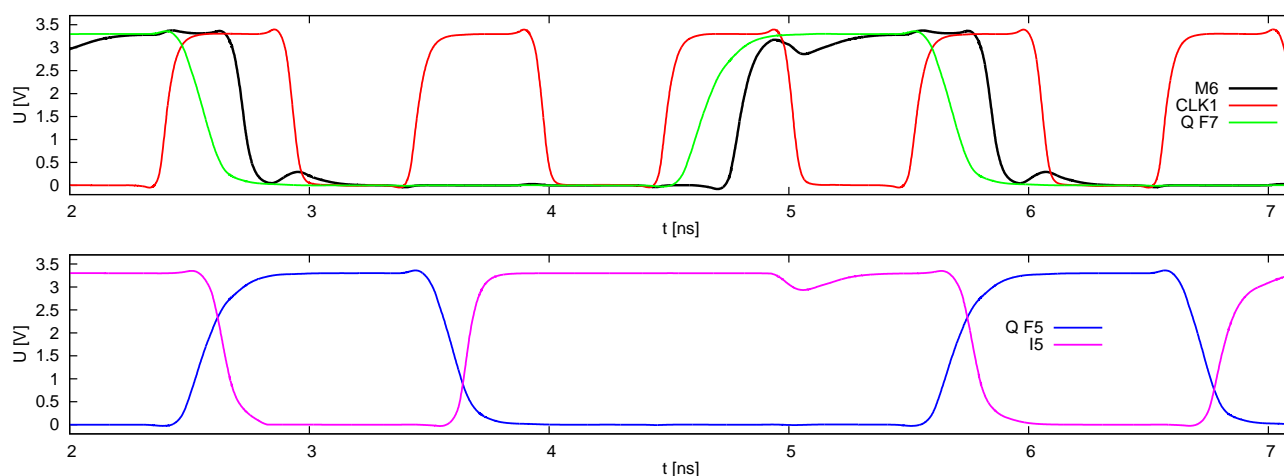


Rysunek 3.153: Przebiegi czasowe drugiego stopnia (przerzutnik F6), "half-rate" 960 MHz.

Przerzutnik drugiego stopnia F6 pracuje na przeciwnym do CLK1 zegarze CLK0. Na jego wejście podawany jest przebieg danych DN przekazany przez multiplexer M7. Zależności czasowe między przebiegami danych DD i DN oraz wyjściem multiplexera M7 przedstawia rysunek 3.152. Multiplexer wprowadza opóźnienie 167 ps które zgadza się z opóźnieniem bramek GC16, GC17 układu formowania zegara (rys. 3.123), dzięki czemu przebiegi DD i M7 są zgodne w fazie. W wyniku tego uzyskuje się przebiegi czasowe (przedstawione na rys. 3.153) niemal identyczne z tymi dla pierwszego stopnia (rys. 3.150). Jediną różnicą jest przesunięcie o pół okresu wynikające z komplementarności zegarów CLK1 i CLK0. Opóźnienia przebiegów są również zgodne z opóźnieniami pierwszego stopnia i wynoszą 153 ps dla sygnałów CLK0 i Q F6 oraz 215 ps dla CLK0 i I6.

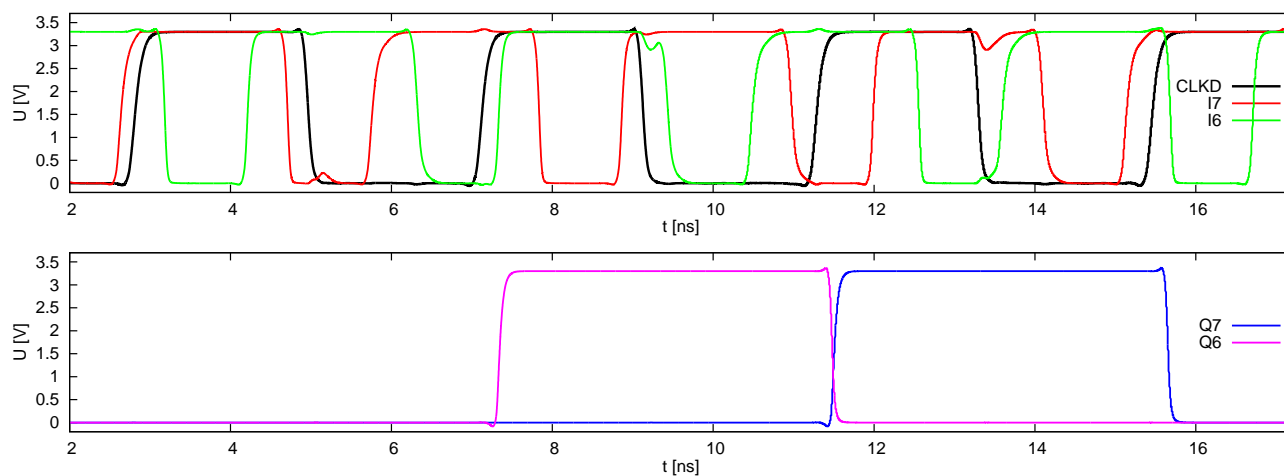
Istotniejszym od pracy drugiego stopnia zagadnieniem jest zachowanie trzeciego stopnia rejestru. O ile bowiem przebiegi wejściowe dwóch pierwszych przerzutników F7 i F6 mają zapewnione odpowiednie przesunięcia poprzez układ formowania zegara, o tyle wejściem danych przerzutnika F5 jest już wyjście pierwszego stopnia. Zbocze danych generowane na wyjściu Q F7 i przekazywane przez multiplexer M6 musi być odpowiednio przesunięte na wejściu D przerzutnika F5 wobec kolejnego zbocza taktującego CLK1. Innymi słowy opóźnienie całego toru

między stopniami powinno być znacznie mniejsze od okresu zegara, ale też na tyle duże, by przerzutnik F5 próbował jeszcze stabilny stan logiczny przed jego ewentualną zmianą.



Rysunek 3.154: Przebiegi czasowe trzeciego stopnia (przerzutnik F5), "half-rate" 960 MHz.

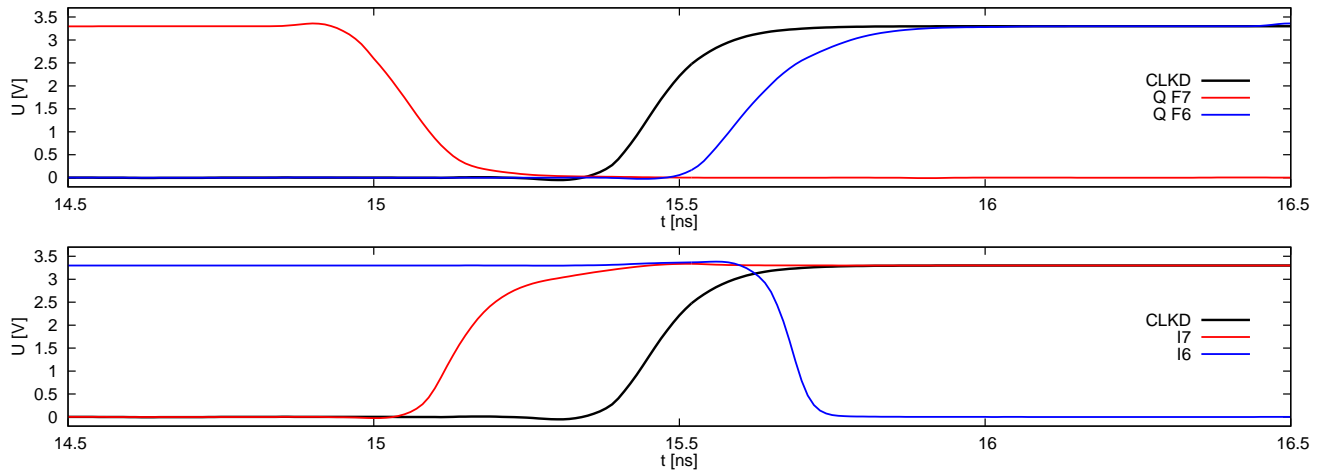
Na rysunku 3.154 przedstawione zostały przebiegi czasowe trzeciego stopnia rejestru. Widać z nich że dodatkowe opóźnienie 153 ps, wprowadzane przez multiplexer M6 pomiędzy przebiegi Q F7 a M6 ma pozytywny wpływ na stabilność pracy rejestru. Dzięki temu zbocze narastające zegara CLK1 wypada jeszcze na stabilnym poziomie linii M6 (podawanej na wejście przerzutnika F5), podczas gdy stan wyjścia przerzutnika F7 zaczyna się już wtedy zmieniać. Opóźnienia sygnałów wejściowych względem zegara są takie same jak w poprzednich stopniach (156 ps dla CLK1 i Q F5 oraz 213 ps dla CLK1 i I6). W analogiczny sposób pracują pozostałe stopnie rejestru.



Rysunek 3.155: Przebiegi czasowe bufora wyjściowego, "half-rate" 960 MHz.

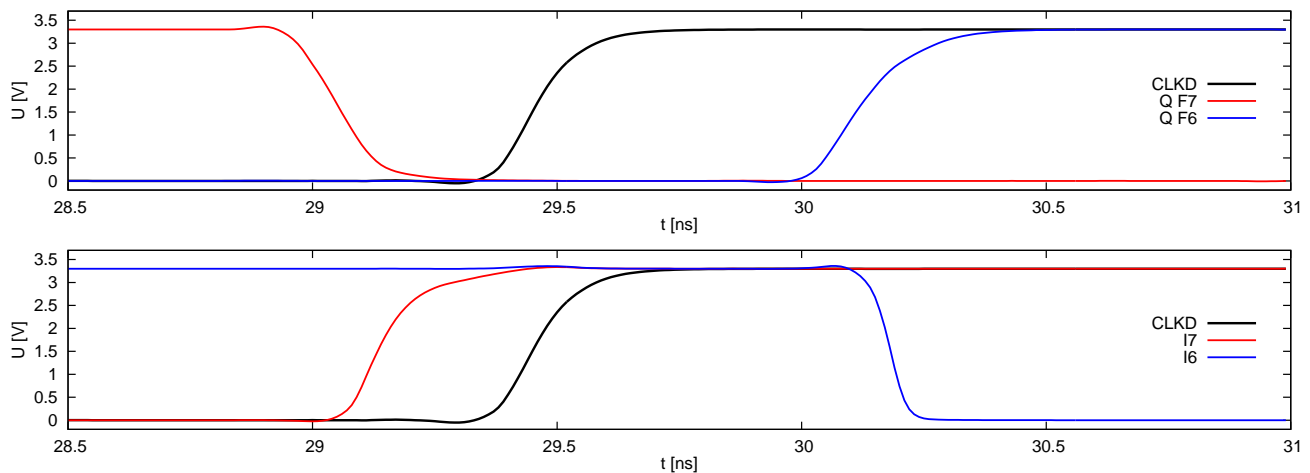
Dane zebrane przez rejestr szeregowo-równoległy są buforowane przez rejestr złożony z przerzutników FO7-FO0. Przebiegi czasowe na wejściach i wyjściach dwóch pierwszych stopni

bufora przedstawia rysunek 3.155. Należy przy tym zauważyć, że końcowe bramki G7, G6 odwracają sygnał, tak więc stany linii Q7 i Q6 stanowią negację spróbkowanych wartości z wyjść inwerterów I7 i I6. Przykładowo pierwsze narastające zbocze zegara CLKD widoczne na wykresie odpowiada stanom wysokim linii I7 i I6, stąd po zanegowaniu linii Q7 i Q6 pozostają w stanie niskim. Na kolejnym zboczach wyjście I6 ma logiczną wartość zero, czemu odpowiada przejście wyjścia Q6 w stan wysoki.



Rysunek 3.156: Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "half-rate" 960 MHz.

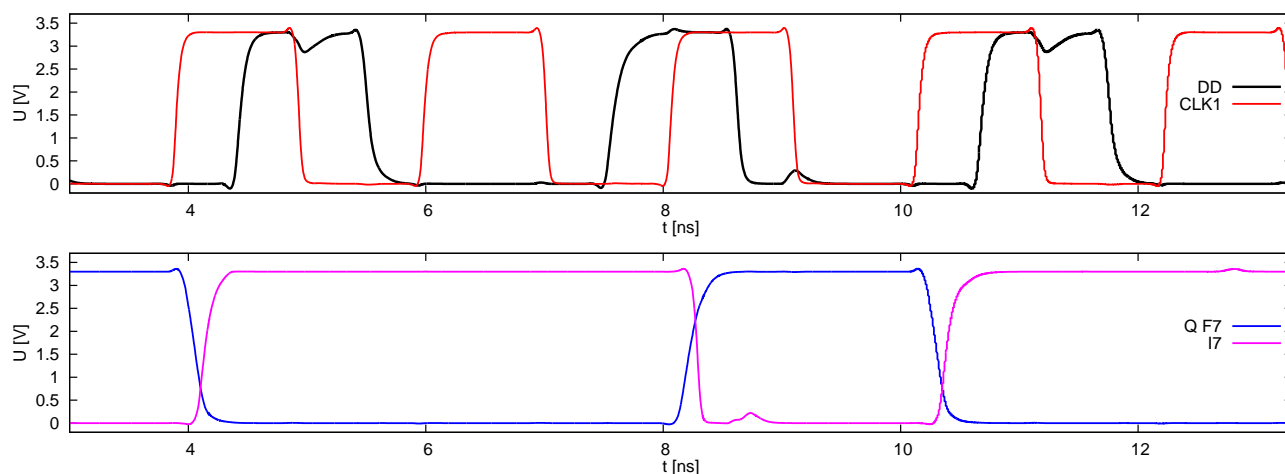
Aby dane zostały poprawnie zapisane w buforze wyjściowym zbocze zegara CLKD powinno trafiać pomiędzy zmiany stanów na wyjściach przerzutników F7 i F6. Ponieważ ich przebiegi taktujące są w przeciwfazie, różnica czasów pomiędzy zboczami danych na ich wyjściach stanowi w najgorszym przypadku < 521 ps, czyli pół okresu zegara 960 MHz. Stąd optymalne przesunięcie zbocza CLKD względem CLK1 powinno wynosić $1/4$ okresu, zaś najlepszym wyjściem byłoby zaprojektowanie pętli DLL zapewniającej stałą różnicę faz tych zegarów. Niestety ramy czasowe projektu nie pozwoliły na takie rozwiązanie, wykonano więc dość ryzykowne po-



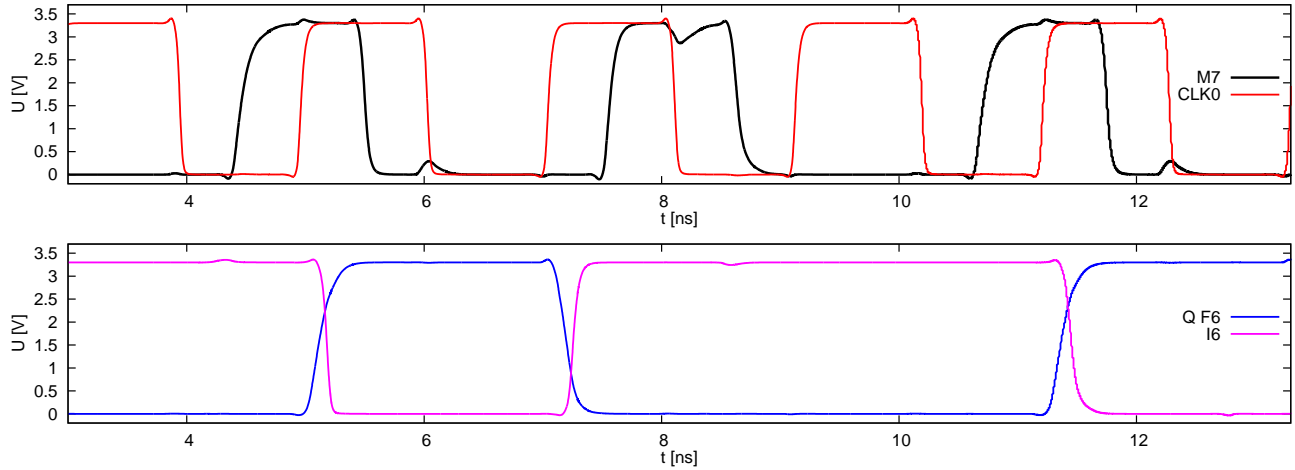
Rysunek 3.157: Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "half-rate" 480 MHz.

sunięciu dopasowania przebiegów przez opóźnienie danych między rejestrami za pomocą inwerterów I7-I0. Rysunek 3.156 przedstawia porównanie położenia zbocza zegara CLKD względem przebiegów wyjściowych przerzutników F7 i F6 w stosunku do opóźnionych przez inwertery przebiegów I7 i I6. W pierwszym przypadku różnica czasowa zbcz CLKD i Q F6 wynosi zaledwie 137 ps (a do Q F7 402 ps). Wprowadzenie inwerterów pozwoliło przesunąć te różnice do wartości 209 ps i 328 ps , czyli umiejscowić przebieg CLKD bardziej centralnie. Autorzy zdają sobie sprawę, że rozrzuty technologiczne parametrów tranzystorów mogą zupełnie zmienić te wartości i spowodować przekłamanie danych w trybie "half-rate" 960 MHz , niestety nie było możliwości zastosowania innego rozwiązania.

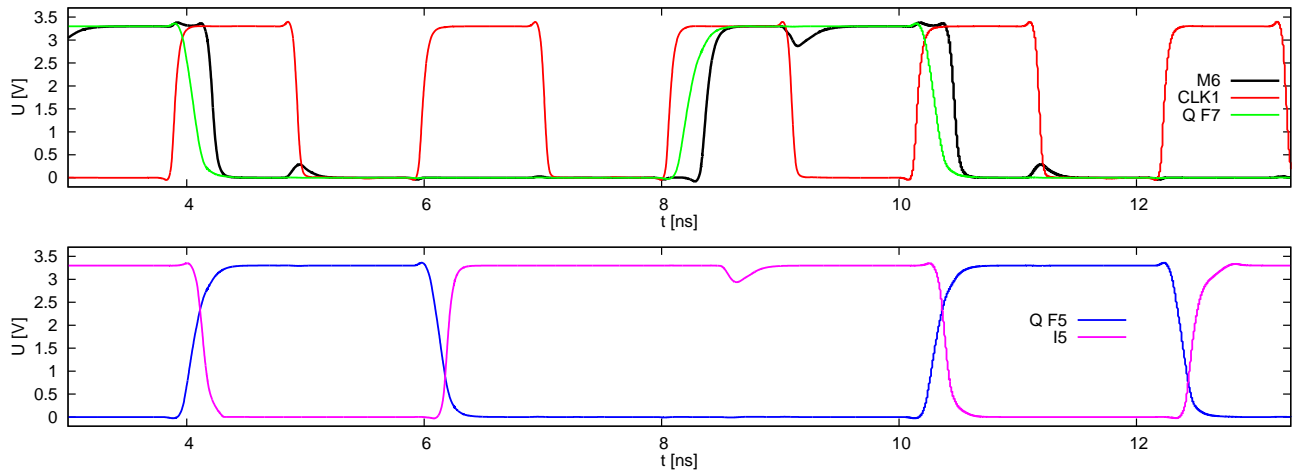
Inwertery I7-0 mają dodatkowo pewien niekorzystny wpływ na działanie rejestru w trybie "half-rate" 480 MHz , co przedstawia rysunek 3.157 (analogiczny do 3.156). Ponieważ czasy przełączania elementów pozostają stałe niezależnie od częstotliwości pracy, stałe też pozostaje przesunięcie zbocza CLKD w stosunku do wyjścia przerzutnika F7 taktowanego przebiegiem CLK1 (składa się na nie opóźnienie wprowadzane przez dzielnik częstotliwości minus czas transmisji sygnału przez układ F7-I7). Przy częstotliwości 960 MHz wynosiło ono 402 ps , zaś przy 480 MHz 406 ps . Rośnie natomiast odległość zbcz CLKD i sygnału z wyjścia przerzutnika F6, jako że wzrasta dwukrotnie okres zegara taktującego. W tym przypadku należałoby przesunąć zbcze CLKD w kierunku późniejszych czasów, natomiast inwertery pełnią przeciwną rolę, co widać na dolnym wykresie rysunku 3.157. Dysproporcja czasowa wynosi w tym przypadku 319 ps do 722 ps w miejsce optymalnych równych wartości 521 ps ($1/4$ okresu CLK1). Oczywiście dla niższych częstotliwości dysproporcje czasowe jeszcze się pogłębiają, jednak odległość czasowa rzędu 319 ps między zbczem danych a zegara pozostaje stała i jest w zupełności wystarczająca do poprawnej pracy rejestru. Z tego też względu pozostawiono inwertery I7-0 optymalizując w ten sposób zależności czasowe dla najbardziej krytycznego trybu pracy.



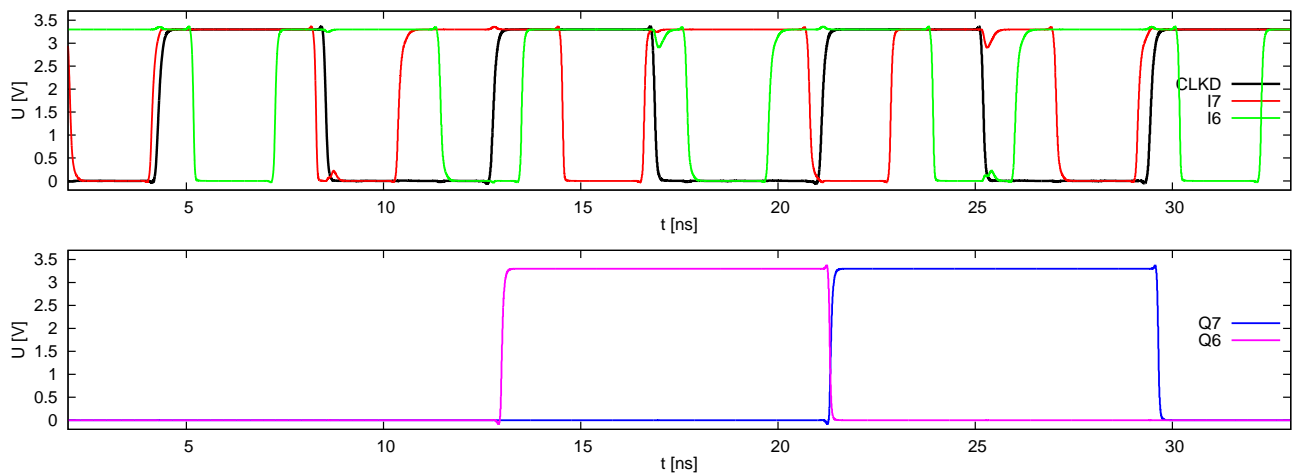
Rysunek 3.158: Przebiegi czasowe pierwszego stopnia (przerzutnik F7), "half-rate" 480 MHz .



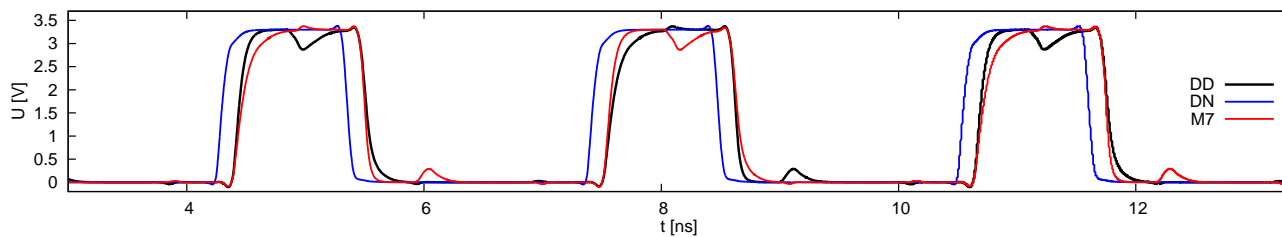
Rysunek 3.159: Przebiegi czasowe drugiego stopnia (przerzutnik F6), "half-rate" 480 MHz.



Rysunek 3.160: Przebiegi czasowe trzeciego stopnia (przerzutnik F5), "half-rate" 480 MHz.



Rysunek 3.161: Przebiegi czasowe bufora wyjściowego, "half-rate" 480 MHz.

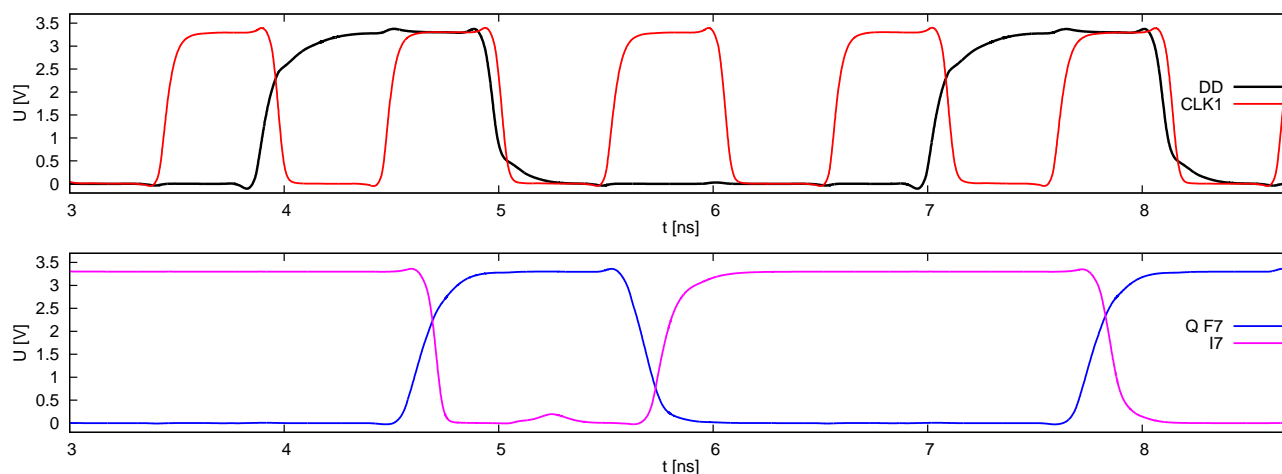


Rysunek 3.162: Zależności czasowe przebiegów danych *DD* i *DN* oraz wyjścia multiplexera *M7*, "half-rate" 480 MHz.

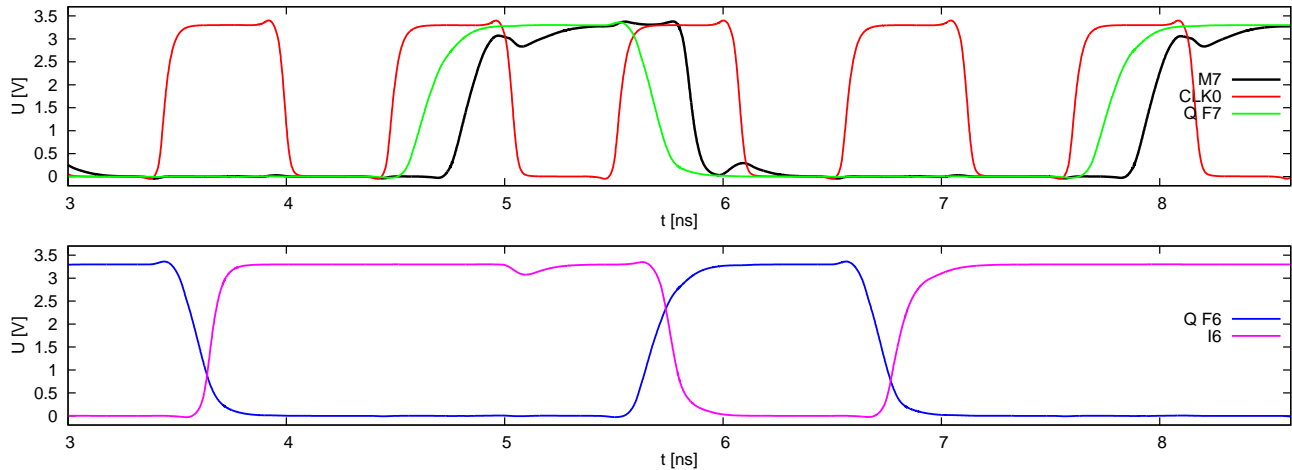
Pozostałe przebiegi czasowe dla niższych częstotliwości, jako zależne od stałych opóźnień transmisji sygnału, są takie same jak przedstawione dla 960 MHz (pomijając skalę czasową). Dla ilustracji zamieszczono na rysunkach 3.158-3.161 wyniki symulacji dla częstotliwości 480 MHz, pomijając wolniejsze tryby.

3.11.4 c) Wyniki symulacji dla trybu "single-rate"

Analiza pracy trybu "single-rate" jest o tyle prostsza, że nie występuje tu naprzemienne próbkowanie linii danych. Wejście przerzutnika F6 jest podłączone poprzez multiplexer M7 do wyjścia swojego poprzednika F7. Przerzutnik F5 jest analogicznie połączony z F6, wystarczy więc przedstawić wyniki symulacji jednego z nich, gdyż pozostałe pracują tak samo. Rysunki 3.163 i 3.164 przedstawiają przebiegi czasowe dwóch pierwszych przerzutników (odpowiednio F7 i F6). Przebiegi te wyglądają nieco odmiennie w stosunku do analogicznych wykresów dla trybu "half-rate" (rys. 3.151 i 3.153) ze względu na inne przesunięcie zegara źródłowego względem danych (opisane w podrozdziale 3.11.3).



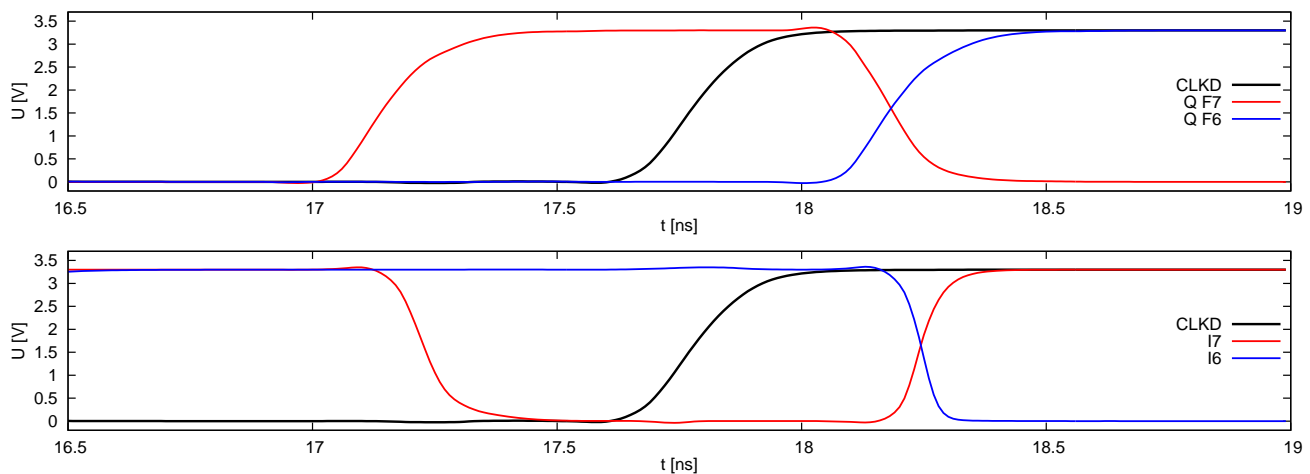
Rysunek 3.163: Przebiegi czasowe pierwszego stopnia (przerzutnik *F7*), "single-rate" 960 MHz.



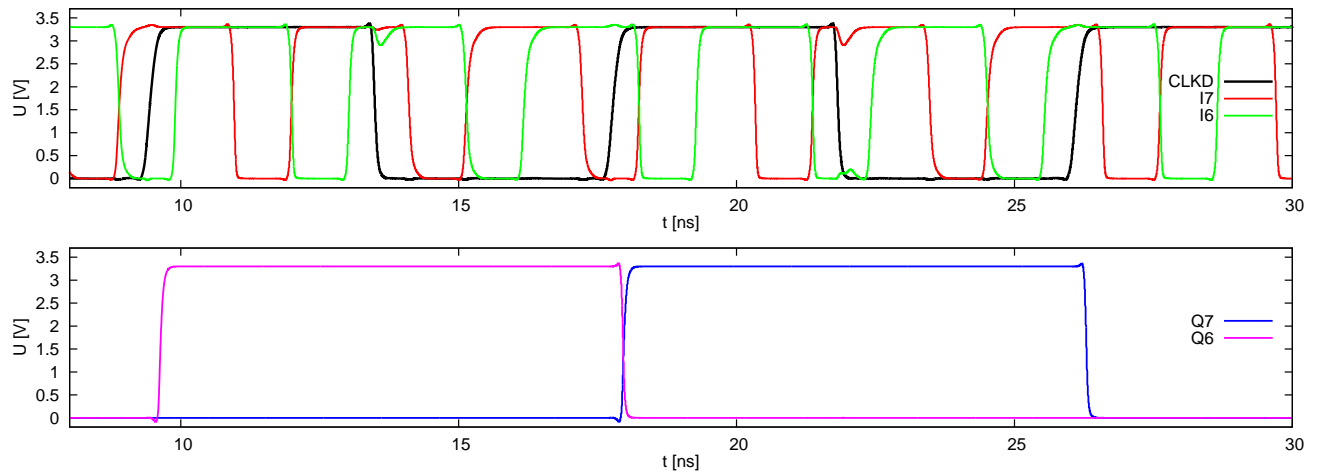
Rysunek 3.164: Przebiegi czasowe drugiego stopnia (przerzutnik F6), "single-rate" 960 MHz.

Opóźnienie zbocza danych na wyjściu przerzutnika w stosunku do zbocza zegara pozostało takie samo jak dla trybu "half-rate" (rzędu 150 ps), wzrósł natomiast do wartości 186 ps czas propagacji sygnału przez multiplekser (w stosunku do 153 ps dla trybu "half-rate"). Jest to efekt transmisji sygnału przez wolniejsze wejście multipleksera. Nie ma to jednak żadnego wpływu na pracę układu, co widać na rys. 3.164.

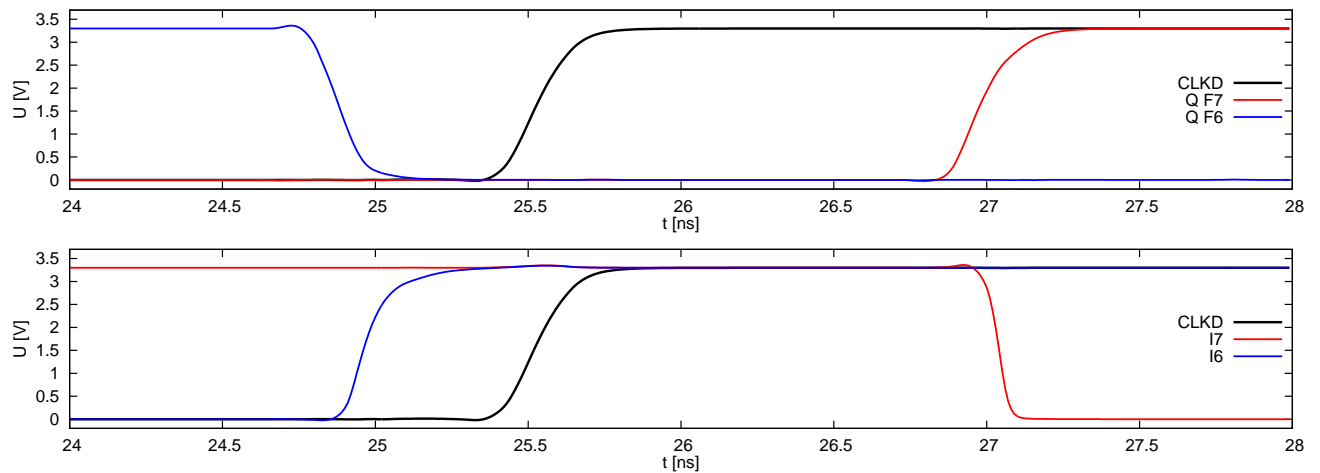
W trybie "single-rate" sygnał zegarowy CLKD jest generowany przez trzeci stopień dzielnika częstotliwości, przez co zwiększa się jego opóźnienie względem zegara CLK1. Znajduje to swoje odbicie w zależnościach czasowych (rys. 3.165) na wejściach bufora magistrali. Odległości czasowe zbocza zegara CLKD i danych na wyjściach przerzutników F7 i F6 wynoszą odpowiednio 629 ps i 408 ps. W tym przypadku inwertery I7-0 poprawiają przebieg dając różnice czasowe rzędu 556 ps i 462 ps. Jednak rezerwa czasowa w przypadku trybu "single-rate" jest na tyle duża, że nawet bez inwerterów układ pracowałby poprawnie. Rysunek 3.166 przedstawia przebiegi czasowe bufora wyjściowego.



Rysunek 3.165: Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "single-rate" 960 MHz.



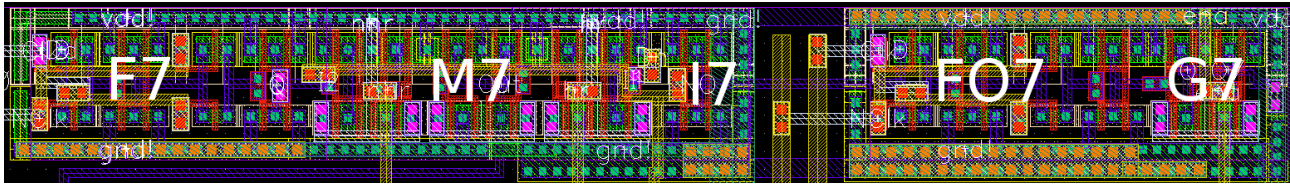
Rysunek 3.166: Przebiegi czasowe bufora wyjściowego, "single-rate" 960 MHz.



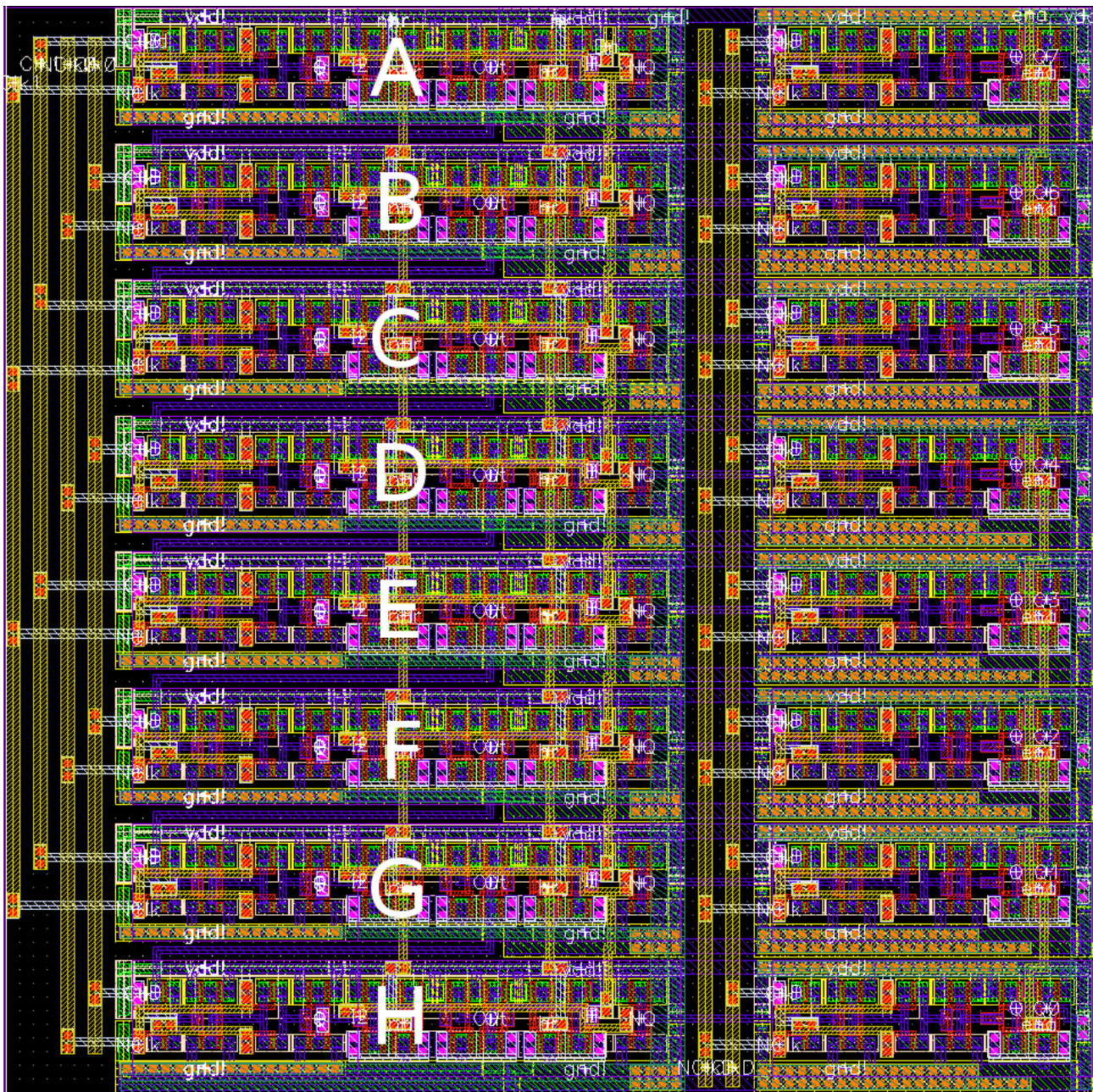
Rysunek 3.167: Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "single-rate" 480 MHz.

Przebiegi czasowe przy niższych częstotliwościach są niemal identyczne za wyjątkiem zależności zegara CLKD i zbroczy danych, które ulegają modyfikacji zgodnie z zasadą opisaną dla trybu "half-rate". Ilustruje to rysunek 3.167 przedstawiający tę zależność przy częstotliwości 480 MHz. Różnice czasowe dla wyjść przerzutników wynoszą 1453 ps i 637 ps, zaś dla wyjść inwerterów 1517 ps i 557 ps. Ponownie przy przejściu do niższej częstotliwości działanie inwerterów staje się niekorzystne, ale ich wpływ przy tak długim okresie zegara głównego jest pomijalny.

3.11.4 d) Maski technologiczne



Rysunek 3.168: Maski technologiczne jednego stopnia rejestru ($72 \times 10 \mu\text{m}^2$).



Rysunek 3.169: Maski technologiczne rejestru ($80 \times 79 \mu\text{m}^2$).

Rysunek 3.168 przedstawia maski technologiczne pojedynczego stopnia rejestru. Przy projekcie dwukrotnie wykorzystano opisywane już maski przerzutnika, zarówno dla F7 jak i FO7.

Pozostałe elementy, a więc multiplexer M7, inwerter I7 i bramkę G7 dopasowano wysokością do projektu wykonanego dla przerzutnika. Dzięki temu uzyskano możliwość maksymalnego zbliżenia do siebie poszczególnych stopni uzyskując zwartą konstrukcję. Maski technologiczne całego rejestru przedstawia rysunek 3.169. Literami A-H oznaczono kolejne stopnie od najstarszego, siódmego bitu do najmłodszego, zerowego.



Rysunek 3.170: Pobór prądu przez wejścia zegarowe rejestru, "post-layout" 960 MHz.

Niezwykle istotnym zagadnieniem było poprowadzenie linii zegarów CLK0, CLK1, itd. Linie przebiegów sterujących pracą rejestru szeregowo-równoległego przebiegają pionowo po lewej stronie stopni, zaś linie CLKD i NCLKD środkiem, na lewo od przerzutników FOn. Z symulacji mniejszego ze zbudowanych przerzutnika (rozdział 3.10, rys. 3.110) wynika, że pojedyncze wejście zegarowe pobiera średnio $28,9 \mu A$ (przy częstotliwości $500 MHz$), zaś impulsowo ponad $350 \mu A$. Ponieważ z jednej linii zegara sterowane są wejścia czterech przerzutników, prąd w impulsie powinien osiągać wartość nawet $1.4 mA$, zaś jego średnia wartość uzależniona będzie od częstotliwości pracy. Jeszcze większe wartości prądów impulsowych powinny występować na linii CLKD z której sterowane jest osiem przerzutników.

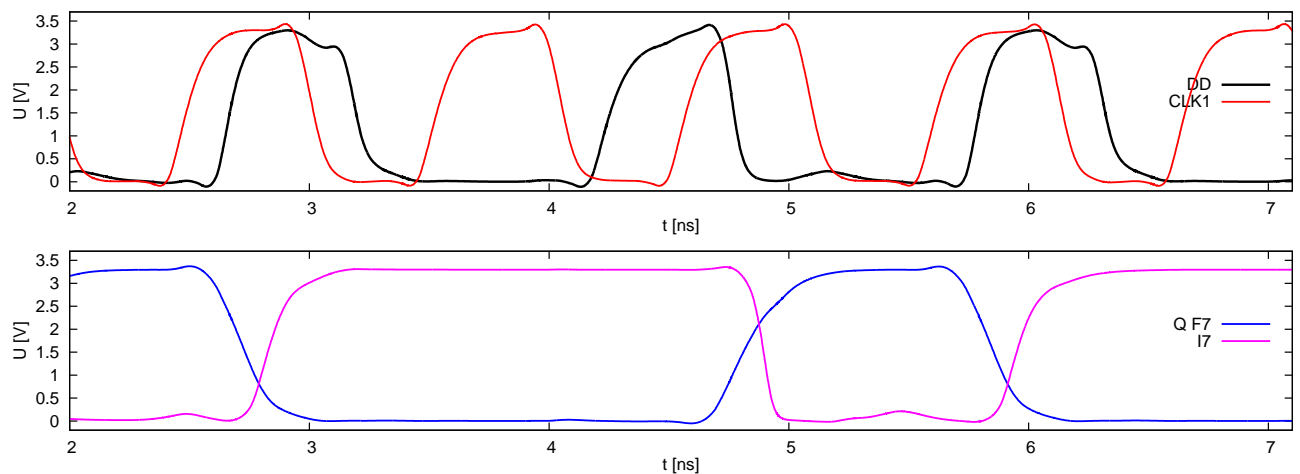
Wartość średnia prądu powinna być jednak znacznie mniejsza ze względu na niższą częstotliwość przebiegu. Dodatkowym, choć bardzo istotnym czynnikiem była pojemność pasożytnicza samych połączeń zegarowych. Z tego względu dążono do minimalizacji ich długości poprzez budowę możliwie "płaskiego" przerzutnika, zaś same połączenia poprowadzone zostały trzecią w kolejności warstwą metaliczną by zmniejszyć pojemności do podłoża. Długości linii dobrano tak, by ich pojemności były możliwie równe. Zewnętrzne linie zegara są krótsze od wewnętrznych ze względu na dłuższe połączenia poprzeczne prowadzące do przerzutników.

Wejście	960 MHz	480 MHz	240 MHz	120 MHz
CLK1	314	158	84	40
NCLK1	342	175	96	46
CLK0	321	160	84	40
NCLK0	332	168	94	44
CLKD	150	72	41	30
NCLKD	159	74	44	33

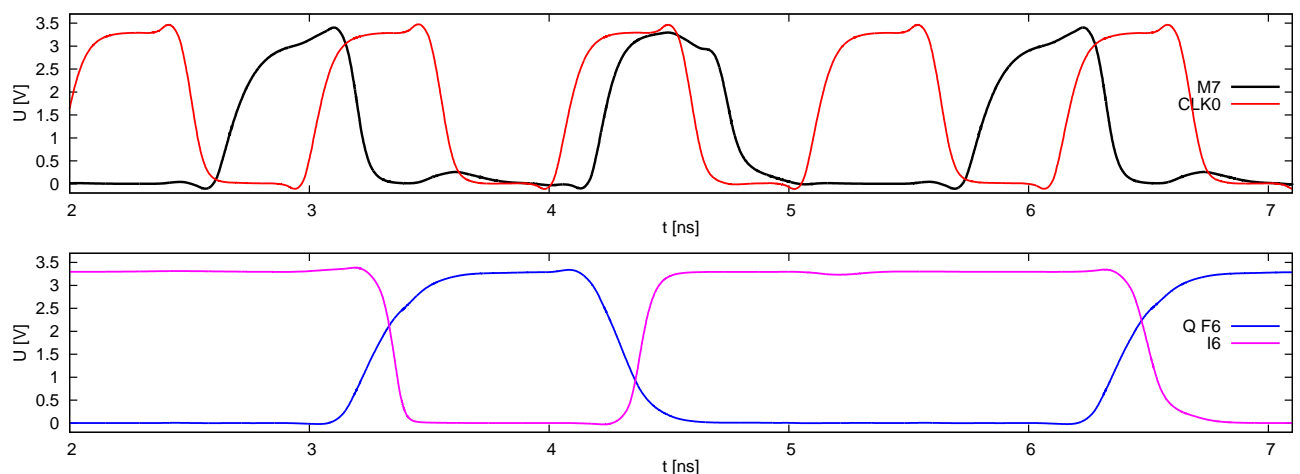
Tabela 3.14: Średni pobór prądu w [μA] przez wejścia zegarowe rejestru w symulacjach "post-layout".

Średnie pobory prądu zebrane w tabeli 3.14 potwierdzają teoretyczne rozważania co do ich wielkości. Pobór prądu przez każde z wejść maleje proporcjonalnie do spadku częstotliwości. Rysunek 3.170 przedstawia wyniki symulacji "post-layout" poboru prądu przez wejścia zegarowe przy częstotliwości $960 MHz$. Jak widać impulsy prądowe przy tej częstotliwości są dość szerokie i pokrywają większą część przebiegu, osiągając w maksimum około $1,3 mA$. Wartość ta zostaje zachowana przy niższych częstotliwościach (odpowiadające im wykresy pomięto), ale maleje częstość impulsów przez co spada wartość średnia. Jednak wysoki pobór prądu przy maksymalnej częstotliwości wymusił zastosowanie odpowiednio dużych inwerterów buforujących przebiegi na wyjściu układu formowania zegara i zwiększenie szerokości głównych ścieżek zegarowych w celu zwiększenia maksymalnego prądu jaki może przez nie płynąć.

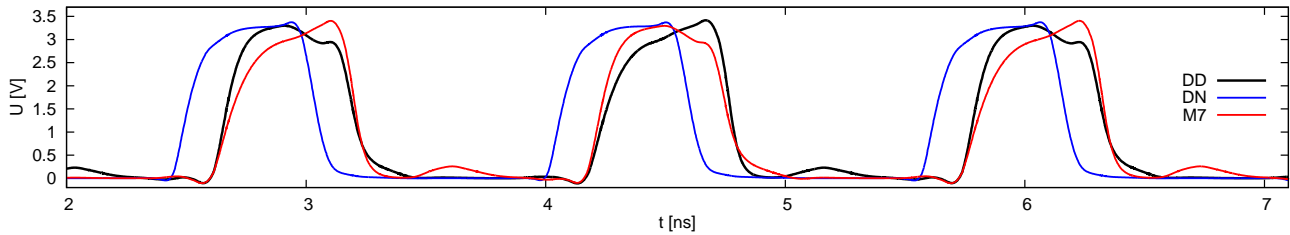
W symulacjach "post-layout" najistotniejszą zmianą względem symulacji schematu jest zwiększenie się czasów propagacji wszystkich elementów układu. Rysunek 3.171 przedstawia przebiegi czasowe pierwszego stopnia rejestru (referencyjne symulacje na rys. 3.150). Pomimo zauważalnej degradacji przebiegu zegarowego jest on dalej prawidłowo przesunięty względem danych, ale to zapewnia układ formowania zegara. Zwiększyło się za to opóźnienie pomiędzy zboczem zegara a wyjściowym zboczem danych, z pierwotnych 154 ps do 247 ps . Analogicznie ze 167 ps do 191 ps zwiększył się czas propagacji multiplexera M7, ale tak samo zachowały się bramki w układzie formowania zegara, dzięki czemu przebiegi dostarczane na wejścia przerzutników F7 i F6 dalej są zgodne w fazie, co przedstawia rysunek 3.173. Przebiegi czasowe drugiego stopnia rejestru zawiera rysunek 3.172.



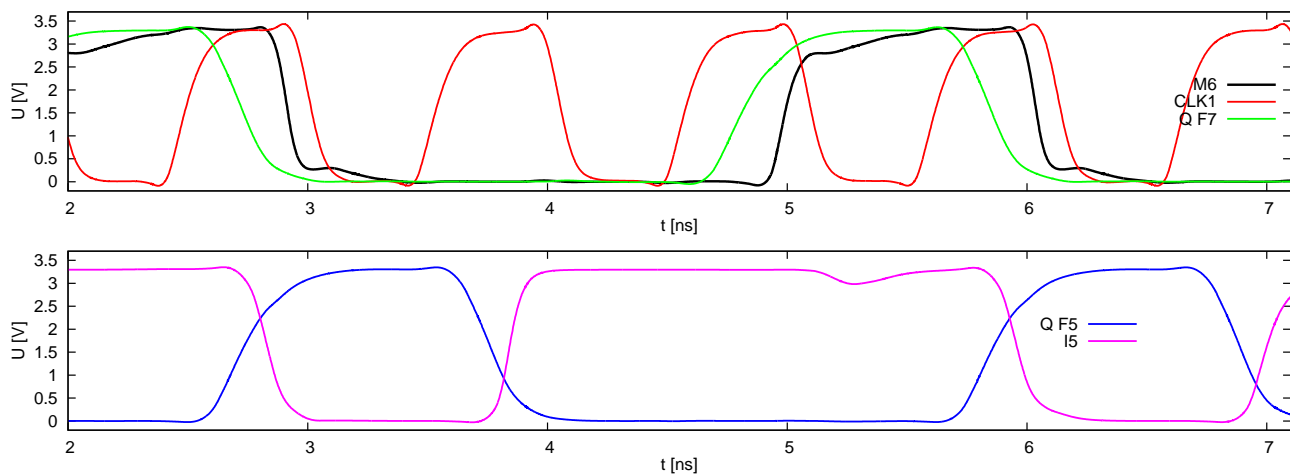
Rysunek 3.171: Przebiegi czasowe pierwszego stopnia (przerzutnik F7), "half-rate" 960 MHz, symulacje "post-layout".



Rysunek 3.172: Przebiegi czasowe drugiego stopnia (przerzutnik F6), "half-rate" 960 MHz, symulacje "post-layout".



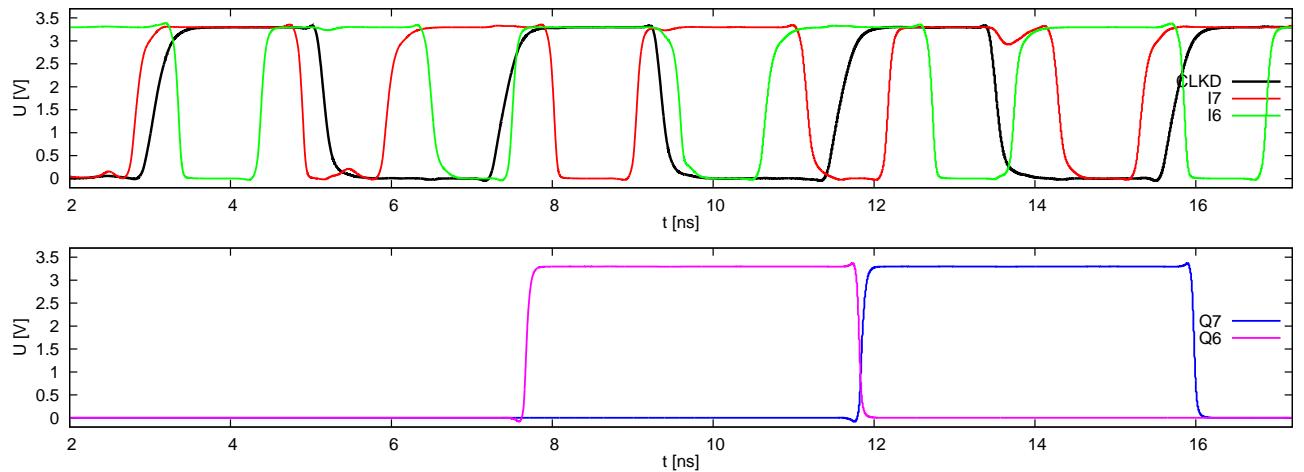
Rysunek 3.173: Zależności czasowe przebiegów danych DD i DN oraz wyjścia multipleksera M7, "half-rate" 960 MHz, symulacje "post-layout".



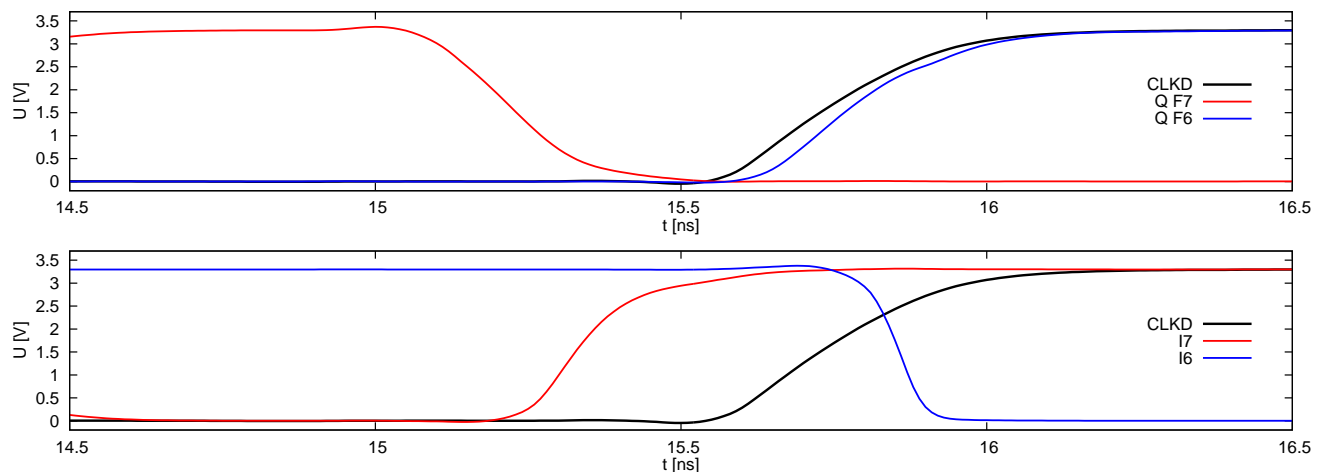
Rysunek 3.174: Przebiegi czasowe trzeciego stopnia (przerzutnik F5), "half-rate" 960 MHz, symulacje "post-layout".

Zdecydowanie większą zmianę względem symulacji schematu widać w przebiegach czasowych trzeciego stopnia przedstawionych na rysunku 3.174. Ze względu na wydłużony czas propagacji przez multiplekser M6 sygnał wyjściowy z przerzutnika F7 jest o wiele bardziej opóźniony względem przebiegu taktującego CLK1, niż ma to miejsce na rys. 3.154. Jest to jednak korzystne dla działania układu, gdyż daje przerzutnikowi F5 większy margines czasowy na spróbkowanie wartości danej. Degradacja przebiegu M6 wynika z niemal dwukrotnie zwiększonego poboru prądu przez wejście D przerzutnika w symulacji "post-layout".

Istotnie różnią się również przebiegi bufora wyjściowego przedstawione na rysunku 3.175. Ze względu na zwiększone opóźnienie dzielnika (wzrost po narysowaniu masek technologicznych z 522 ps do 747 ps) zbocze CLKD znacząco przesunęło się względem danych. Jak widać na rysunku 3.176 niemal pokrywa się ono ze zboczem danych na wyjściu przerzutnika F6 (różnica czasowa wynosi zaledwie 37 ps). W tej sytuacji inwertery I7-I0 są niezbędne do pracy układu, zwiększając tą różnicę do 107 ps. Dodatkową komplikacją jest też znacząca (w stosunku do rys. 3.156) degradacja zbocza zegara CLKD, wynikająca z poboru prądu przez wejścia zegarowe bufora. Tu nie było możliwe zwiększenie wymiarów bramki sterującej linią CLKD, tak jak uczyniono to w układzie formowania zegara, gdyż wówczas wrastało opóźnienie dzielnika



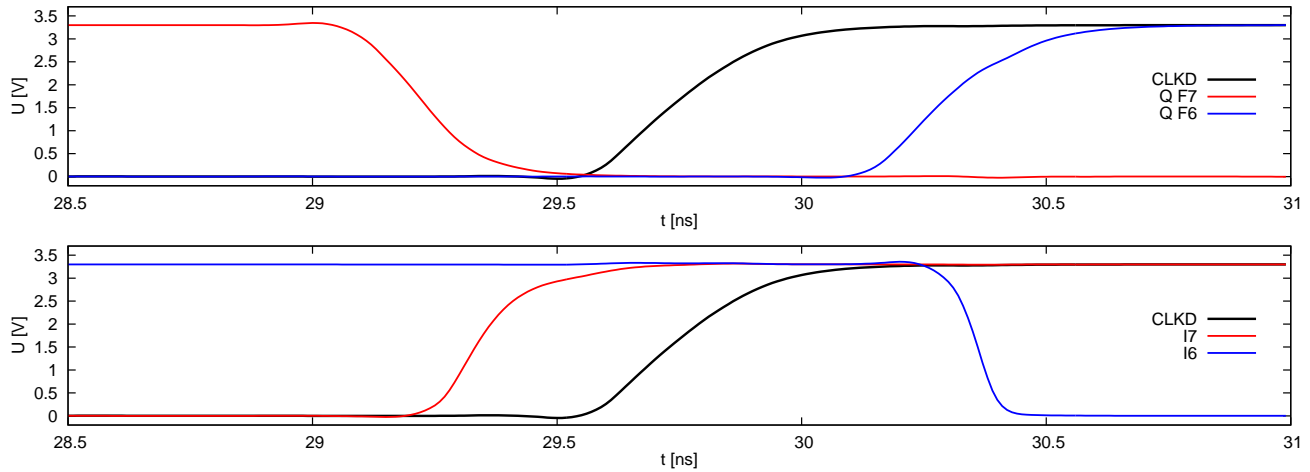
Rysunek 3.175: Przebiegi czasowe bufora wyjściowego, "half-rate" 960 MHz, symulacje "post-layout".



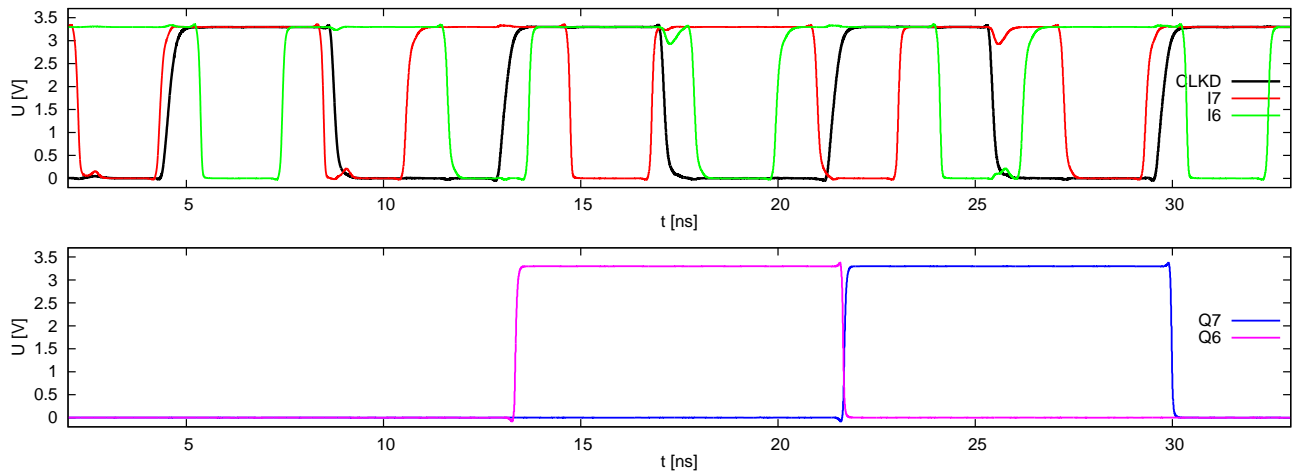
Rysunek 3.176: Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "half-rate" 960 MHz, symulacje "post-layout".

wobec którego zysk ze stromszego zbocza był znikomy. Dzięki właściwościom zaprojektowanego przernutnika układ pracuje poprawnie nawet na tak łagodnym zboczu (co pokazuje rys. 3.175), ale niestety taka konstrukcja sprawia, że poprawne działanie trybu "half-rate" 960 MHz będzie silnie zależać od rozrzutu parametrów technologicznych. Jeszcze raz trzeba podkreślić, że zastosowanie tak niepewnego rozwiązania wynikało tylko i wyłącznie z ograniczonych ram czasowych i przy ewentualnej ewolucji projektu powinno ono zostać zastąpione pętlą DLL.

Znacznie lepiej wyglądają przebiegi dla częstotliwości 480 MHz przedstawione na rysunku 3.177. W tym przypadku przebieg zegarowy leży niemal idealnie pomiędzy przebiegami danych na wyjściach przernutników (odległości czasowe 520 ps i 543 ps). Podobnie jak przy symulacjach schematu inwertery nieco pogarszają tę sytuację (do 406 ps i 607 ps), jednak są to wartości akceptowalne i bezpieczne dla działania układu. Potwierdzają to wyniki symulacji przebiegów bufora wyjściowego przedstawione na rysunku 3.178. Pozostałych przebiegów dla tej i niższych



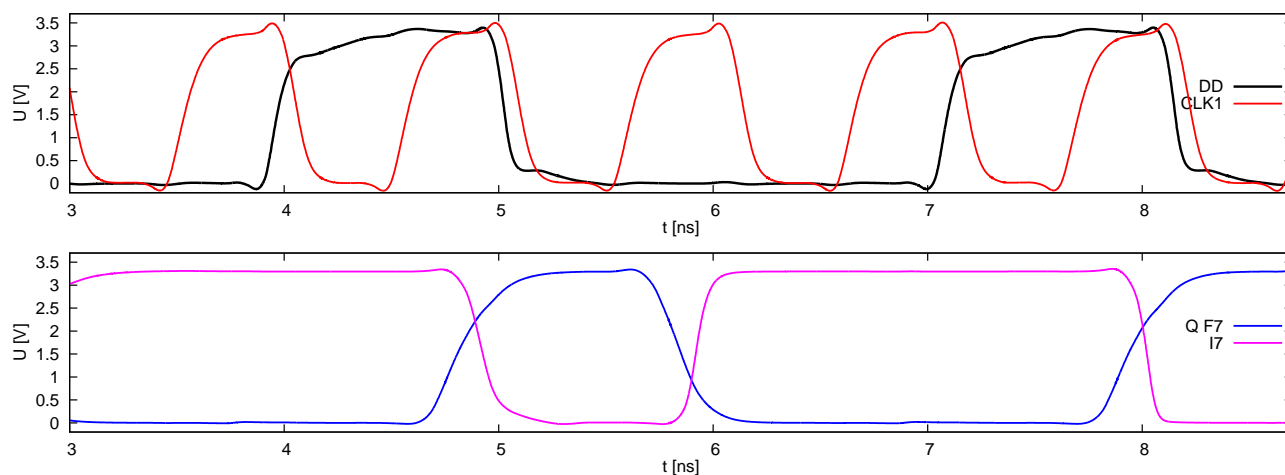
Rysunek 3.177: Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "half-rate" 480 MHz, symulacje "post-layout".



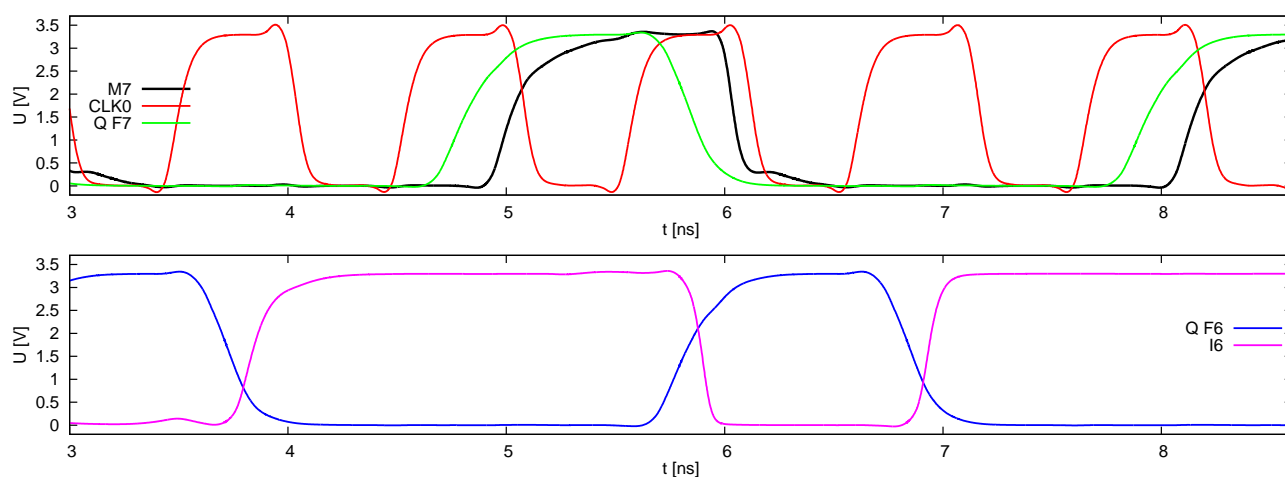
Rysunek 3.178: Przebiegi czasowe bufora wyjściowego, "half-rate" 480 MHz, symulacje "post-layout".

częstotliwości nie przedstawiono, gdyż są one niemal identyczne z zaprezentowanymi powyżej.

Rysunki 3.179 i 3.180 przedstawiają przebiegi czasowe pierwszego i drugiego stopnia rejestru w trybie "single-rate" 960 MHz. Pierwszy z wykresów nie różni się zbyt wiele w stosunku do symulacji schematowych (rys. 3.163), czego należało się spodziewać. Dane wejściowe, podobnie jak w trybie "half-rate" są bowiem synchronizowane z zegarem CLK1 przez układ formowania. Wyniki drugiej symulacji wskazują na podobne zachowanie, jak ma to miejsce w trzecim stopniu rejestru w trybie "half-rate". Wydłużony czas propagacji multiplexera M7 przesuwają przebieg podawany na wejście przerzutnika F6 względem CLK0 co, jak wspomniano, jest pozytywnym efektem dla pracy układu.

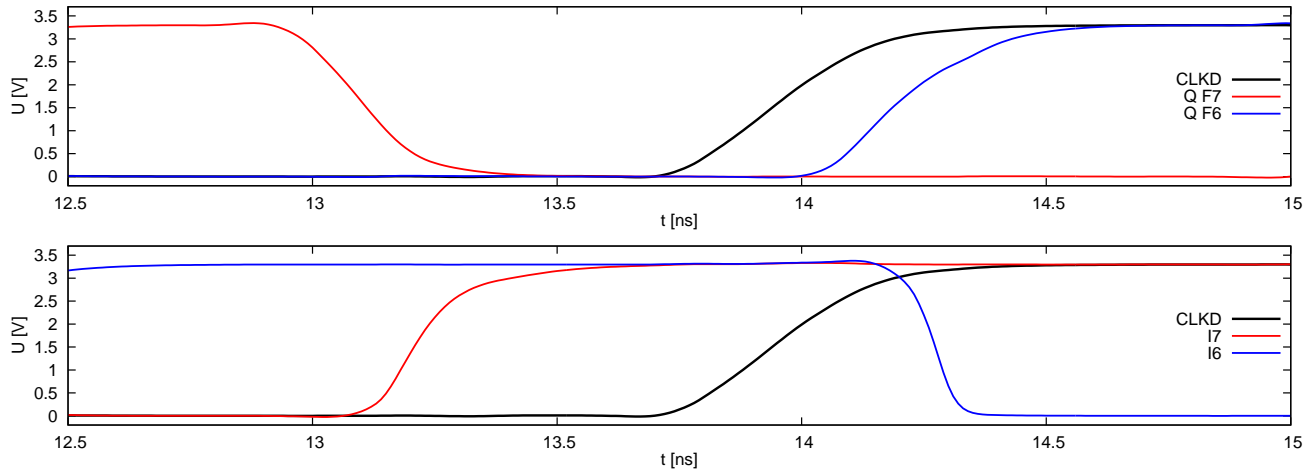


Rysunek 3.179: Przebiegi czasowe pierwszego stopnia (przerzutnik F7), "single-rate" 960 MHz, symulacje "post-layout".

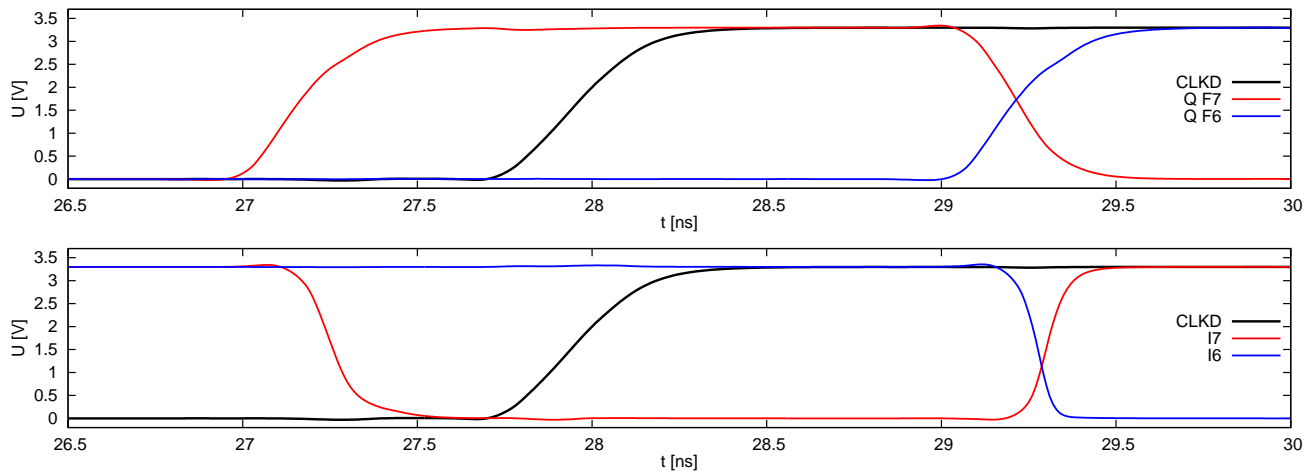


Rysunek 3.180: Przebiegi czasowe drugiego stopnia (przerzutnik F6), "single-rate" 960 MHz, symulacje "post-layout".

Przy przebiegach czasowych bufora wyjściowego (które przedstawia rysunek 3.181) występuje podobny problem jak w trybie "half-rate". Zwiększone opóźnienie dzielnika przesunęło zbocze CLKD blisko zbocza danych na wyjściu przerzutnika F6 (odległość czasowa 242 ps). Inwertery znajdujące się pomiędzy rejestrami poprawiają trochę położenie zbocza zegara (odległość wzrasta do 314 ps), niemniej większy przyrost czasu propagacji w dzielniku niż w stopniu rejestru sprawia, że nie jest ono już tak dobre, jak miało to miejsce w przypadku symulacji schematu (rys. 3.165). Przy częstotliwości 480 MHz występuje opisywany już negatywny wpływ inwerterów (przebiegi na rysunku 3.182), które skracają odstęp czasowy między zboczem danych pierwszego stopnia a zegarem CLKD z 854 ps do 738 ps. Jednak w porównaniu ze skalą czasową okresu zegara zmiana ta jest pomijalna.



Rysunek 3.181: Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "single-rate" 960 MHz, symulacje "post-layout".



Rysunek 3.182: Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "single-rate" 480 MHz, symulacje "post-layout".

Przebiegów dla pozostałych trybów pracy i częstotliwości nie zamieszczano ze względu na ich niewielkie znaczenie merytoryczne. Najważniejsze dla pracy układu są bezwzględne czasy propagacji elementów, stałe w funkcji częstotliwości. Wnoszą więc one największy i najwyraźniejszy wkład w przebiegi o najkrótszych okresach (czyli przy częstotliwościach 960 MHz i 480 MHz). Z tego względu skupiono się na analizie wyników tych trybów pracy pomijając resztę wyników.

W ramach podsumowania niniejszego podrozdziału zebrano wszystkie najważniejsze parametry czasowe układu i przedstawiono je w tabeli 3.15.

opóźnienie w [ps] między sygnałami	Tryb "half-rate"			
	960 MHz		480 MHz	
	schemat	"post-layout"	schemat	"post-layout"
CLK1 - Q F7	154	247	158	240
CLK1 - I7	210	308	234	335
CLK0 - Q F6	153	235	154	234
CLK0 - I6	215	285	214	301
CLK1 - Q F5	156	244	157	243
CLK1 - I5	213	308	212	307
DN - M7	167	191	166	190
O F7 - M6	153	173	154	174
CLKD - Q F7	402	525	406	520
CLKD - Q F6	137	37	665	543
CLKD - I7	328	411	319	406
CLK - I6	209	107	722	607

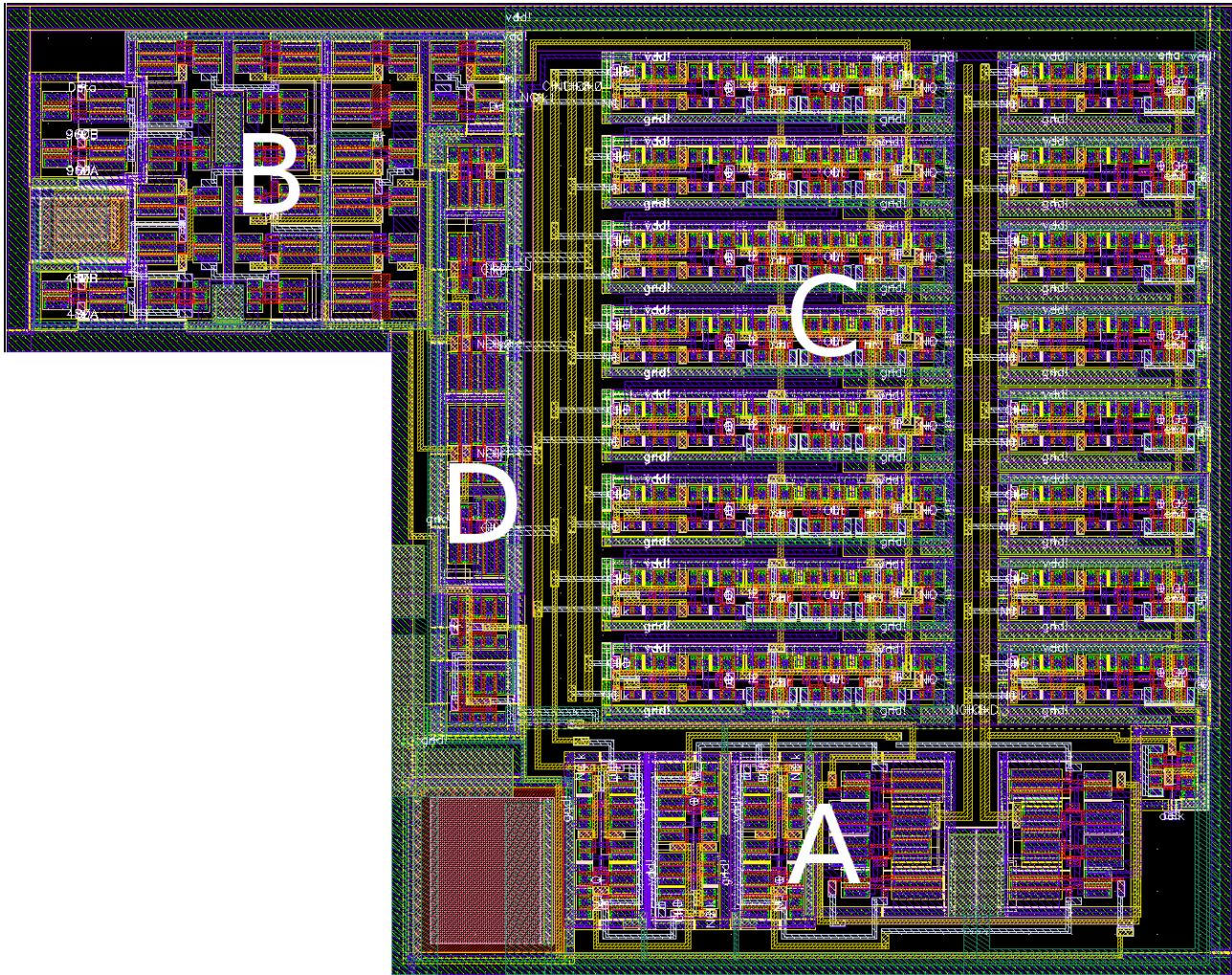
opóźnienie w [ps] między sygnałami	Tryb "single-rate"			
	960 MHz		480 MHz	
	schemat	"post-layout"	schemat	"post-layout"
CLK1 - Q F7	155	237	153	238
CLK1 - I7	213	334	232	306
CLK0 - Q F6	153	238	153	234
CLK0 - I6	233	334	231	336
O F7 - M7	186	208	186	202
CLKD - Q F7	629	855	1453	1281
CLKD - Q F6	408	242	637	854
CLKD - I7	556	741	1517	1354
CLK - I6	462	314	557	738

Tabela 3.15: Najważniejsze parametry czasowe rejestru wyjściowego.

3.11.5 Maski technologiczne "deserializer'a"

Maski technologiczne całego bloku "deserializer'a" przedstawia rysunek 3.183. Stanowią one połączenie opisanych wcześniej dzielnika częstotliwości (oznaczonego na rysunku literą A), układu formowania zegara B oraz rejestru wyjściowego C. Dodatkowo literą D zostały oznaczone drivery linii zegarowych pominięte przy prezentacji masek układu formowania (rys. 3.136). Kształt całego bloku został dopasowany do pozostałych elementów składowych odbiornika. Można za-

uważyć, że inwertery D sterujące liniami zegarowymi zajmują relatywnie dużą powierzchnię w stosunku do pozostałych elementów układu. Jest to koszt dużego obciążenia pojemnościowego zegarów, zarówno ze strony wejść przerzutników jak i samych doprowadzeń. Pojemności pasożytnicze pojedynczej linii zegara osiągnęły wartość rzędu $40fF$, zaś dzięki dopasowaniu długości są dla każdej linii mniej więcej takie same.



Rysunek 3.183: Maski technologiczne "deserializer'a" ($144 \times 114 \mu m^2$).

Na potrzeby symulacji całego układu zastosowano opisywane już źródła częstotliwości zastępujące bloki CDR i pętli PLL. Wyjściami układu są 8-bitowa równoległa magistrala i taktująca ją linia zegara OCLK. Dla ułatwienia analizy stanu wyjść osiem wartości binarnych z magistrali zostało zamienionych na jedną analogową. Zastosowano w tym celu sterowane źródło napięciowe o ustawianym wzmacnieniu. Takie źródło odpowiada idealnemu nieodwracającemu wzmacniaczowi napięciowemu, więc jego napięcie wyjściowe U_{out} będzie równe

$$U_{out} = K_v U_{in} \quad (3.15)$$

Ponieważ wysoki stan logiczny na n -tym bicie odpowiada napięciu zasilania VDD , więc usta-

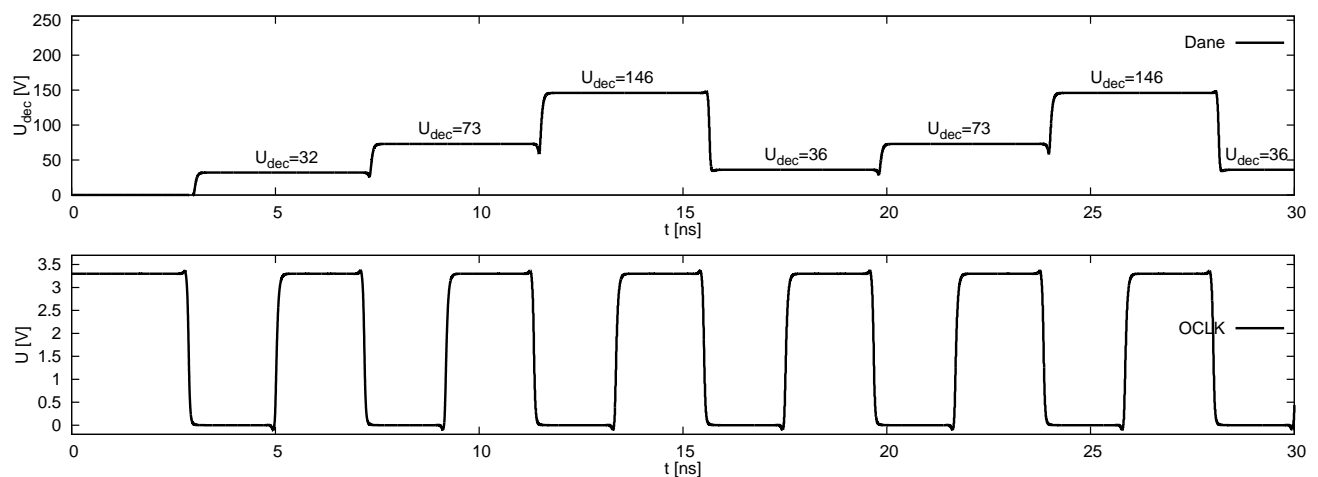
wiając wzmocnienie źródła sterowanego tym bitem jako

$$K_v(n) = \frac{2^n}{VDD} \quad (3.16)$$

uzyskuje się na wyjściu napięcie odpowiadające dziesiętnej wartości n -tego bitu. Łącząc źródła szeregowo od LSB do MSB otrzymuje się napięcie wyjściowe wyrażone zależnością 3.17, gdzie Q_n reprezentuje stan linii n -tego bitu i przyjmuje wartości $Q_n = \{0 \vee VDD\}$.

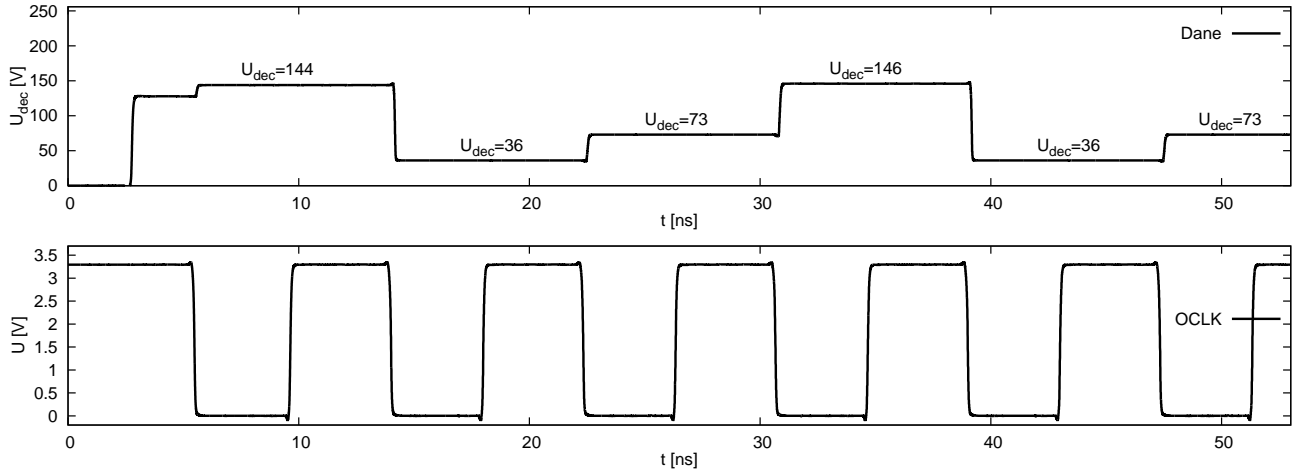
$$U_{dec} = \sum_{n=0}^7 \frac{2^n}{VDD} Q_n \quad (3.17)$$

Ponieważ dane wejściowe stanowi powtarzający się ciąg "100100...", to układ powinien odbierać naprzemiennie trzy różne bajty: "01001001" (73), "10010010" (dziesiętnie 146), oraz "00100100" (36) (pierwszy bit danych jest odbierany jako LSB). Wykres 3.184 przedstawia wykres przebiegów wyjściowych "deserializer'a" w trybie "half-rate" 960 MHz w symulacjach "post-layout". Ze względu na wyjściową bramkę GD1 (rys. 3.113) przebieg OCLK stanowi negację sterującego pracą bufora CLKD, tak więc zmiana danych odpowiada zbocze opadające OCLK. Pierwsza odebrana wartość 32 ilustruje wspomniany już problem braku kontroli transmisji. Rejestr wyjściowy pracuje w sposób ciągły i nie ma żadnej gwarancji, że początek bajtu danych będzie odpowiadał początkowi nowego cyklu odczytu. Wartość 32 jest reprezentowana binarnie jako "00100000", czyli pierwsza nadana na linii danych jedynka została zapisana na pozycji piątego bitu. Ponieważ przebieg danych jest periodyczny, dalsze bajty mają wartości zgodne z przewidywaniami.



Rysunek 3.184: Przebiegi wyjściowe "deserializer'a", "half-rate" 960 MHz, symulacje "post-layout".

Wyniki analogicznej symulacji dla trybu "single-rate" 960 MHz (również "post-layout") przedstawia rysunek 3.185. Pierwsza, niepodpisana wartość linii danych wynika z początkowych nieustalonych (i losowych) stanów na wyjściach przerzutników. Odczytany w dalszej kolejności bajt 144 po raz kolejny pokazuje opisany przed chwilą problem. W reprezentacji binarnej



Rysunek 3.185: Przebiegi wyjściowe "deserializer'a", "single-rate" 960 MHz, symulacje "post-layout".

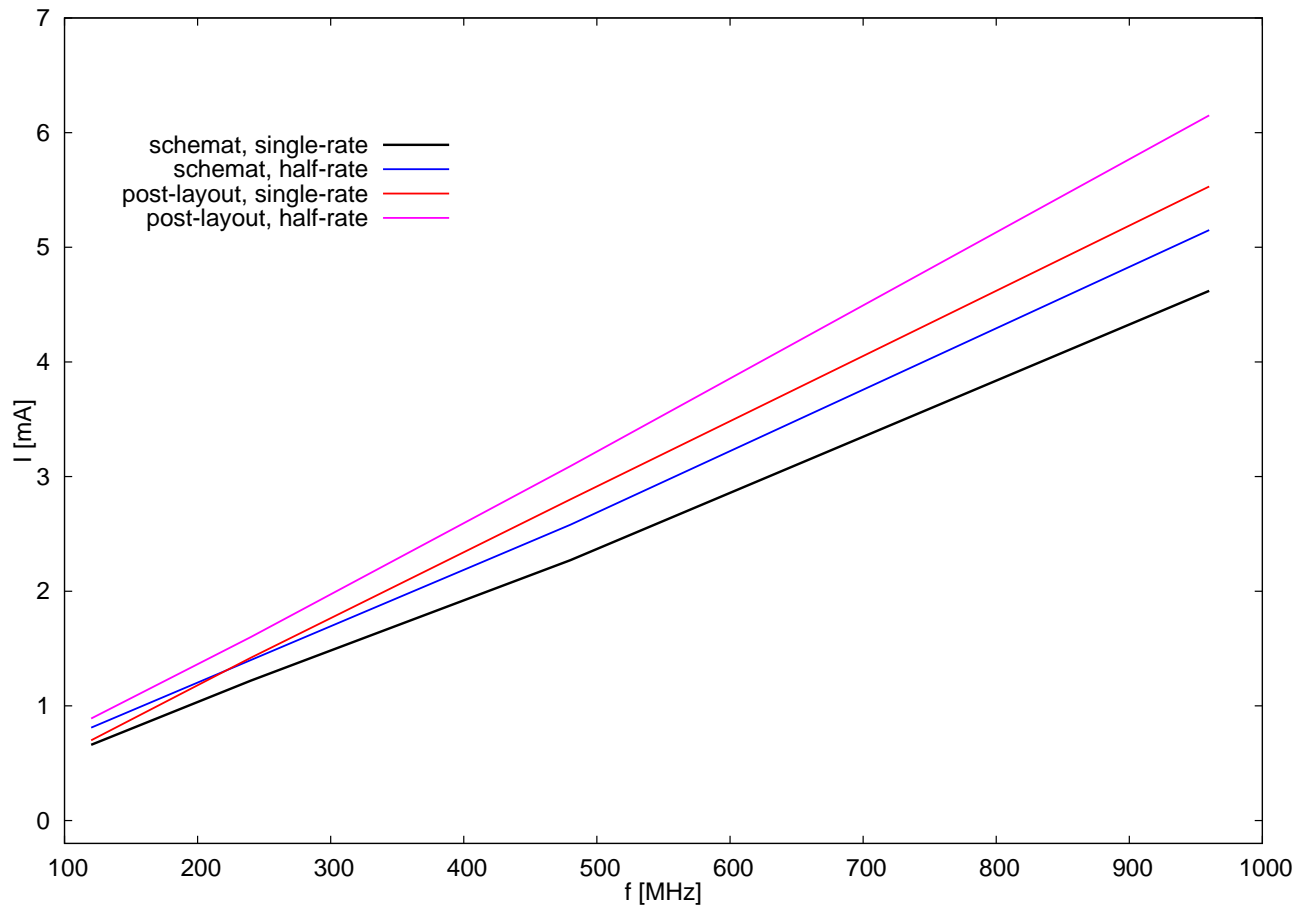
wartości 144 odpowiada "10010000", czyli tym razem pierwszy bit danych (równy "1") został zapisany na pozycji czwartej. Obie symulacje pokazują, że układ powinien działać w obu trybach pracy. Wyników dla niższych częstotliwości nie prezentowano, gdyż są one identyczne.

Na koniec niniejszego rozdziału przedstawiono analizę poboru mocy ze źródła zasilania przez cały blok "deserializer'a". Średnie prądy zasilania we wszystkich trybach pracy zostały zebrane w tabeli 3.16, zaś ich zależność od częstotliwości przedstawia rysunek 3.186.

Tryb pracy	Symulacje	
	schemat	"post-layout"
120 MHz, "single-rate"	0,66	0,70
120 MHz, "half-rate"	0,81	0,89
240 MHz, "single-rate"	1,22	1,72
240 MHz, "half-rate"	1,40	1,60
480 MHz, "single-rate"	2,27	2,80
480 MHz, "half-rate"	2,58	3,09
960 MHz, "single-rate"	4,62	5,53
960 MHz, "half-rate"	5,15	6,15

Tabela 3.16: Średni pobór prądu w [mA] przez blok "deserializer'a".

W najszybszym trybie pracy w symulacjach "post-layout" układ pobiera 6,15 mA, czyli 20,3 mW. Pobór mocy "deserializer'a" dominuje więc nad resztą bloków odbiornika i będzie determinował razem z "serializer'em" w nadajniku moc pobieraną przez cały ASIC. Jak widać z rysunku 3.186 pobór prądu w każdej z symulacji jest liniową funkcją częstotliwości. Większy pobór mocy przez tryb "half-rate" jest przede wszystkim wynikiem dwukrotnie wyższej często-

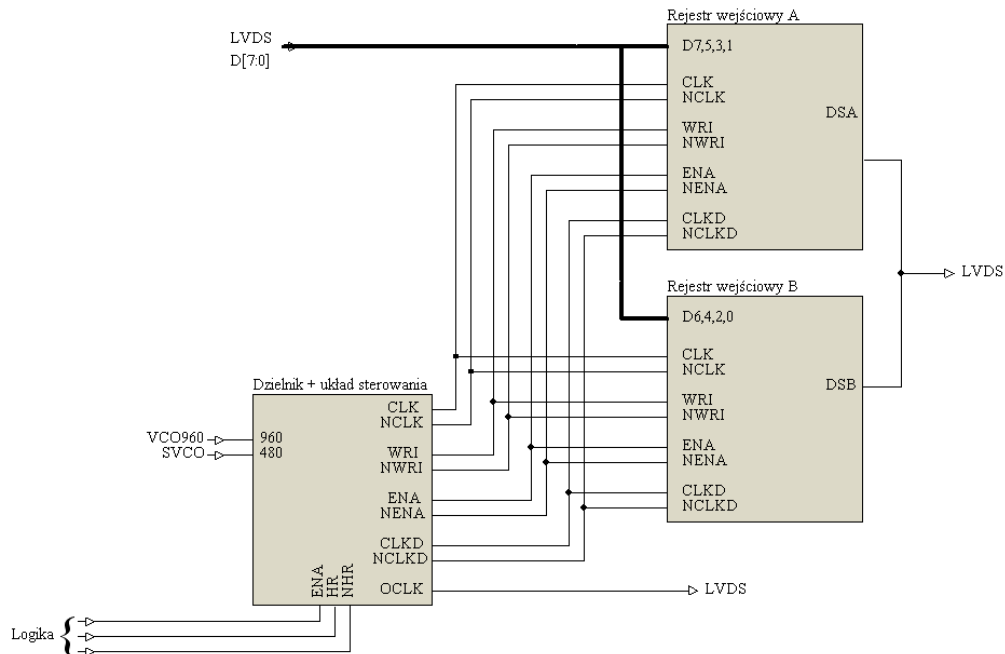


Rysunek 3.186: Średni pobór prądu przez blok "deserializer'a" w funkcji częstotliwości.

tliwości pracy bufora magistrali, a także w pewnym stopniu większej częstości zbocz danych przechodzących przez układ formowania zegara. W najwolniejszym trybie 120 MHz efekty te dominują nad wpływem pojemności pasożytniczych i notuje się większy przyrost poboru prądu przy przejściu z trybu "single-" do "half-rate", niż pomiędzy symulacjami schematu i "post-layout" w tym samym trybie. Przy wyższych częstotliwościach prądy potrzebne na przeładowywanie pojemności pasożytniczych stają się znacznie większe i prosta odpowiadająca symulacjom "post-layout" trybu "single-rate" przechodzi powyżej prostej symulacji schematu w trybie "half-rate". Obrazuje to dość wyraźnie jak istotna jest optymalizacja budowy masek technologicznych pod kątem elementów pasożytniczych dla tak wysokich (jak na zastosowaną technologię) częstotliwości pracy.

3.12 Rejestr wejściowy "serializer"

Blok "serializer'a" pełni przeciwną rolę niż opisywany wcześniej "deserializer". Zadaniem układu jest zamiana wejściowych danych równoległych na szeregowe. Schemat blokowy układu przedstawia rysunek 3.187.

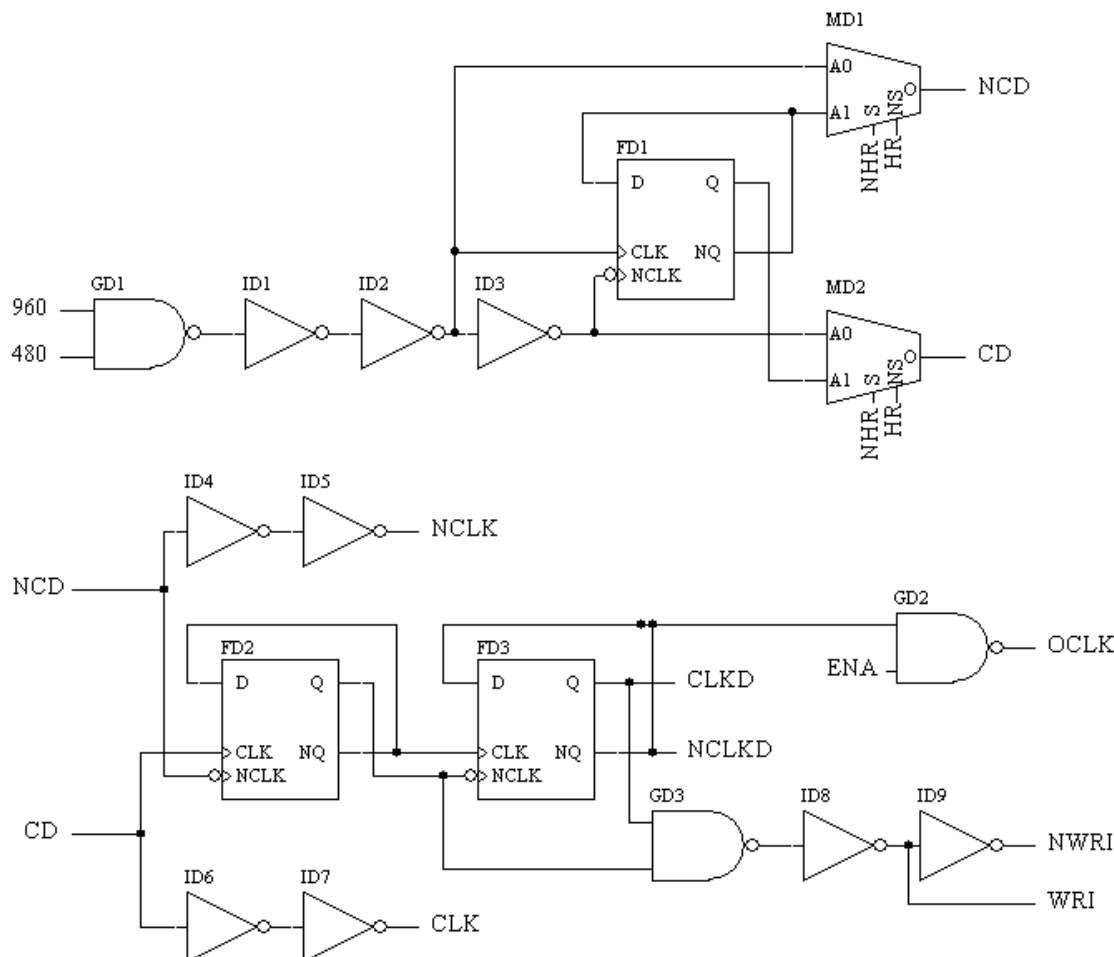


Rysunek 3.187: Schemat blokowy "serializer'a".

Blok "serializer'a" jest uproszczony w stosunku do "deserializer'a" o układ formowania zegara. Jego brak wynika z nieco innej idei działania bloku (niepotrzebne są dwa przełączane sygnały zegarowe CLK1 i CLK0), a także z faktu, że nadajnik danych nie potrzebuje synchronizacji, czyli układu CDR. Częstotliwości referencyjne z oscylatorów VCO przechodzą przez sterowany dzielnik, który generuje przebieg taktujący rejestry wejściowe oraz sygnały sterujące pracą ENA i WRI (i komplementarne do nich NENA i NWRI). Wejściowe dane D[7:0] są przetwarzane przez dwa identyczne pod względem budowy 4-bitowe rejestry równoległo-szeregowe wzbogacone o wejściowe bufor magistrali sterowane zegarem CLKD. Na wyjściach szeregowych DSA i DSB rejestrów pojawiają się naprzemiennie sygnały danych i stany wysokiej impedancji, co pozwala połączyć bezpośrednio te wyjścia tworząc jedną linię szeregową stanowiącą wyjście układu nadajnika danych. Transmisją po równoległej magistrali wejściowej zarządza sygnał OCLK generowany przez dzielnik "serializer'a". Odpowiada on sygnałowi NCLKD, czyli jego zbocze opadające niesie informację o chwili zapisania danych w wejściowych buforach rejestrów. Powiadamia to zewnętrzny układ o konieczności wystawienia na magistralę D[7:0] nowego bajtu danych.

3.12.1 Dzielnik z układem sterowania

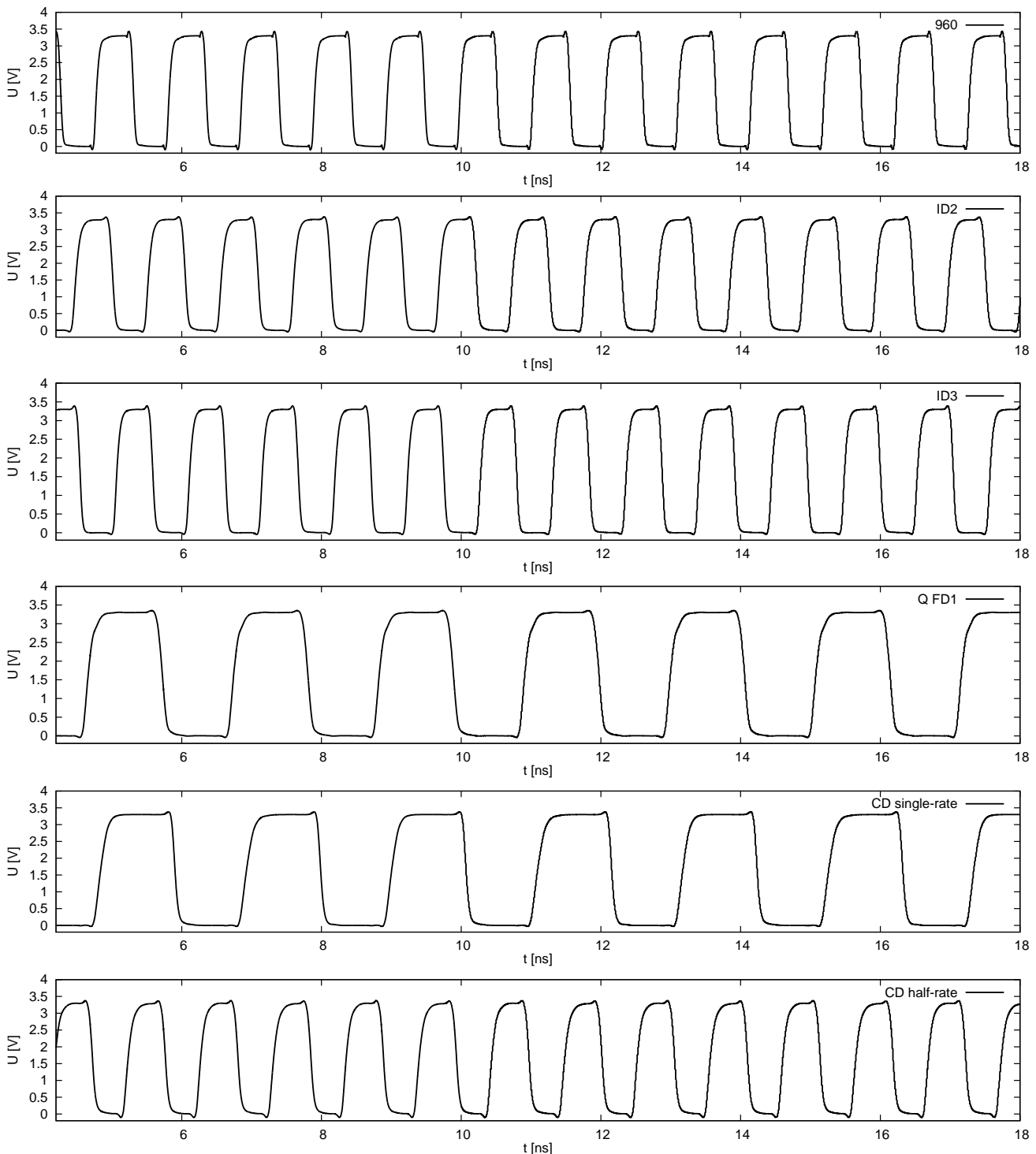
3.12.1 a) Schemat i wyniki symulacji



Rysunek 3.188: Schemat ideowy dzielnika.

Rysunek 3.188 przedstawia schemat ideowy dzielnika częstotliwości zastosowanego w bloku "serializer'a". Dla większej czytelności schemat został podzielony na dwie części łączące się między sobą sygnałami CD i NCD. Dwa wejścia częstotliwości, 960 i 480 pochodzą od odpowiednich oscylatorów VCO. W zależności od wybranego trybu pracy jeden z nich generuje przebieg referencyjny, zaś drugi (nieaktywny) pozostaje zawsze w stanie wysokim. Stąd na wyjściu bramki GD1 wystawiany jest odwrócony w fazie sygnał zegarowy z VCO. Odwrócenie przebiegu jest nieistotne gdyż, jak już wspomniano, w układzie nadajnika nie ma potrzeby synchronizacji. Inwertery ID1 i ID2 mają za zadanie zapewnić odpowiednią wydajność prądową dla dalszych stopni dzielnika, zaś inwerter ID3 odwraca w fazie przebieg zegarowy. Przerzutnik FD1 wstępnie dzieli przebieg zegarowy przez dwa na potrzeby trybu "single-rate" (opis teoretyczny w rozdziale 2.8). Przebiegi zegarowe o oryginalnej i dwukrotnie niższej częstotliwości są doprowadzane do wejść multiplexerów MD1 i MD2 które wybierają jeden z nich w zależności od

ustawionego trybu pracy układu. Na rysunku 3.189 przedstawiono przebiegi czasowe tej części dzielnika częstotliwości.



Rysunek 3.189: Przebiegi czasowe pierwszej części dzielnika częstotliwości, 960 MHz.

Zależności czasowe pomiędzy przebiegami nie są istotne w tej części dzielnika, jednak dla porządku przedstawiono je w tabeli 3.17. Równie nieistotny jest fakt, że ze względu na naprzemienne podłączenie linii sygnałowych zegary dla trybu "single-" i "half-rate" są przesunięte

tak, że zboczu narastającemu wolniejszego przebiegu odpowiada opadające zbocze przebiegu szybszego. Z czasów zebranych w tabeli 3.17 wynika również prawidłowość stwierdzona przy analizie bloku "deserializer'a". Otóż jeśli czasy opóźnień między przebiegami wynikają tylko z czasów propagacji elementów to są one stałe w funkcji częstotliwości. Jedyną różnicą w czasach widać dla propagacji multiplexera co wynika z różnych dróg sygnałów i było analizowane wcześniej. Z tego też względu wyniki symulacji zostały dalej przeprowadzone tylko dla częstotliwości 960 MHz, zaś wolniejsze tryby ze względu na identyczne zachowanie zostały pominięte. Dodatkowo należy zwrócić uwagę, że trybowi "single-rate" przy szybkości 960 MHz odpowiada częstotliwość zegara CD równa 480 MHz, taka sama jak w trybie "half-rate" 480 MHz. Stąd główny nacisk w dalszej analizie położono na najbardziej krytyczny, najszybszy tryb pracy.

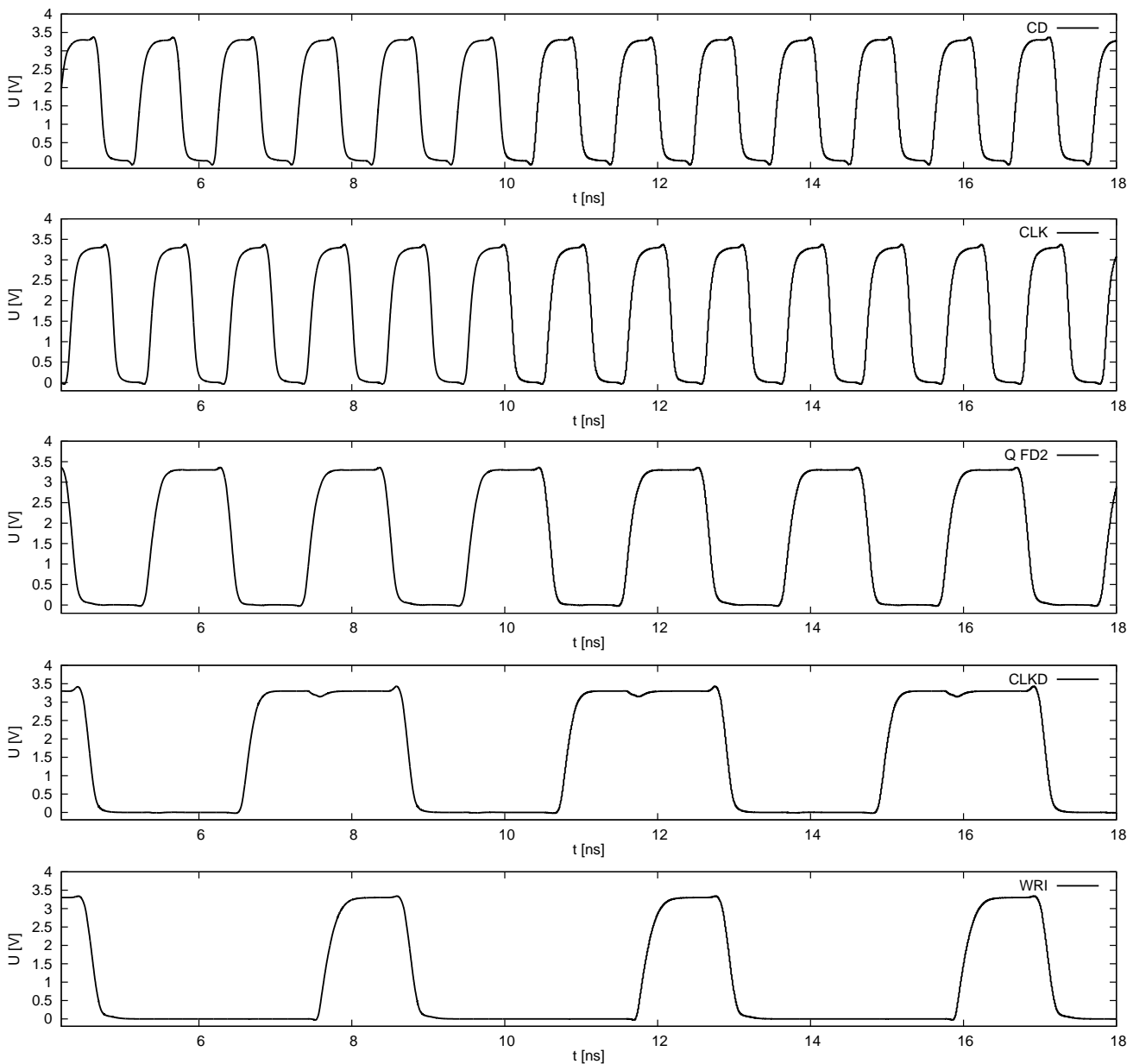
opóźnienie między sygnałami [ps]	960 MHz		480 MHz	
	"half-rate"	"single-rate"	"half-rate"	"single-rate"
960/480 - ID2	233	234	239	238
960-480 - ID3	299	297	303	303
ID3 - CD	146	-	149	-
Q FD1 - CD	-	181	-	186
960/480 - CD	450	578	458	582

Tabela 3.17: Opóźnienia pomiędzy przebiegami dla pierwszej części dzielnika.

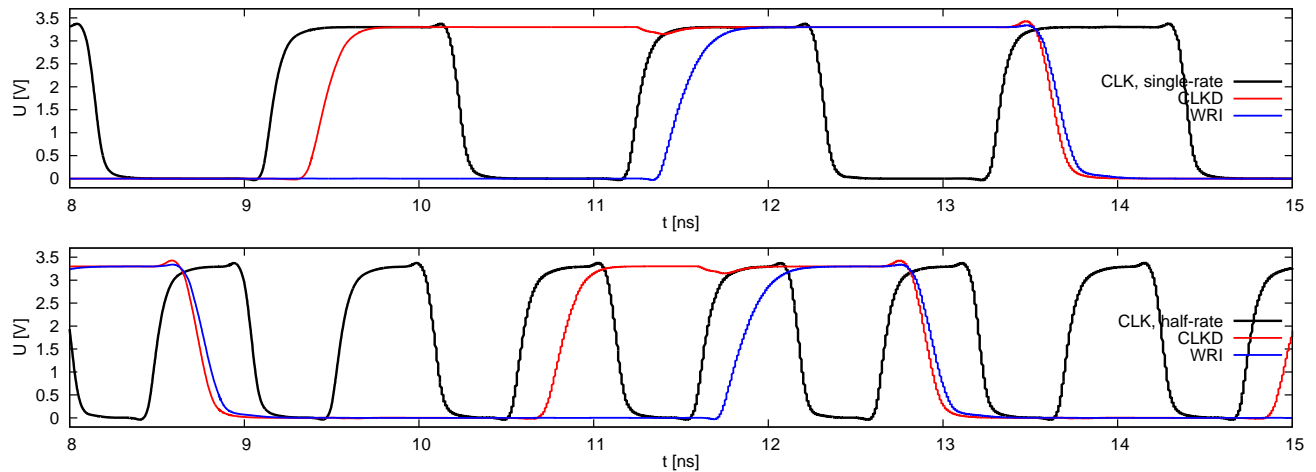
Opisana powyżej część pełni jedynie rolę układu wybierającego tryb pracy ("single-" lub "half-rate") przez podział zegara, zgodnie z zasadą działania rejestru. Nieco istotniejsze dla działania bloku są zależności czasowe sygnałów w drugiej części dzielnika. Z sygnałów CD i NCD poprzez inwertery ID6, ID7 oraz ID4, ID5 tworzone są zegary CLK i NCLK taktujące oba rejestry równoległo-szeregowo. Inwerterów tych użyto przede wszystkim dla odpowiedniegoysterowania obciążonych pojemnościowo linii zegarowych. Równocześnie sygnały CD i NCD taktują dzielnik przez cztery zbudowany na przerzutnikach FD2 i FD3. Ponieważ w układzie pracują dwa 4-bitowe rejestry równoległo-szeregowo potrzebna jest czterokrotnie niższa częstotliwość do sterowania wejściowych buforów magistrali, wystawiana z wyjść przerzutnika FD3 na linie CLKD i NCLKD. Z drugiej z nich, poprzez bramkę blokującą GD2 tworzony jest przebieg OCLK sterujący przepływem danych z zewnętrznego urządzenia. Przebiegi z prostych wyjść Q przerzutników FD2 i FD3 służą do wytworzenia za pomocą układu GD3 i ID8 oraz ID9 sygnałów WRI i NWRI. Odpowiadają one za przełączenie na jeden okres głównego zegara wejść przerzutników rejestrów z układu szeregowego na równoległy, co umożliwia wpisanie danych (dokładny opis w rozdziale teoretycznym 2.8).

Rysunek 3.190 przedstawia najważniejsze przebiegi czasowe tej części dzielnika. Zastosowana konstrukcja "serializer'a" pozwala uniknąć problemów występujących przy "deserializer'ze", tzn. zgrania czasowego zegara głównego i zapisującego bufor wyjściowy. W tym przypadku dane

są wpisywane do bufora znacznie wcześniej ($2,0\text{ ns}$ dla trybu "single-rate" i $1,0\text{ ns}$ dla "half-rate") niż jego wyjścia zostają dołączone do rejestru równoległo-szeregowego stanem wysokim sygnału WRI. Również zbocze narastające głównego zegara CLK jest odpowiednio ($1,9\text{ ns}$ i 807 ps) opóźnione względem zbocza narastającego WRI, co daje wystarczająco dużo czasu logice rejestru na przełączenie układu wejść. Z drugiej strony sygnał WRI trwa przez jeden okres zegara (odpowiednio $2,2\text{ ns}$ i $1,1\text{ ns}$), przez co bezpośrednio po dodatnim zboczach CLK następuje zbocze opadające WRI (w obu trybach różnica wynosi około 300 ps), dzięki czemu układ wejść rejestru zostaje zmieniony przed następnym cyklem zegara. Dokładne porównanie sygnałów CLK, CLKD i WRI umożliwia rysunek 3.191. Główne zależności czasowe drugiej części dzielnika przedstawia tabela 3.18.



Rysunek 3.190: Przebiegi czasowe drugiej części dzielnika częstotliwości, 960 MHz "half-rate".



Rysunek 3.191: Porównanie przebiegów CLK, CLKD i WRI przy częstotliwości 960 MHz w obu trybach.

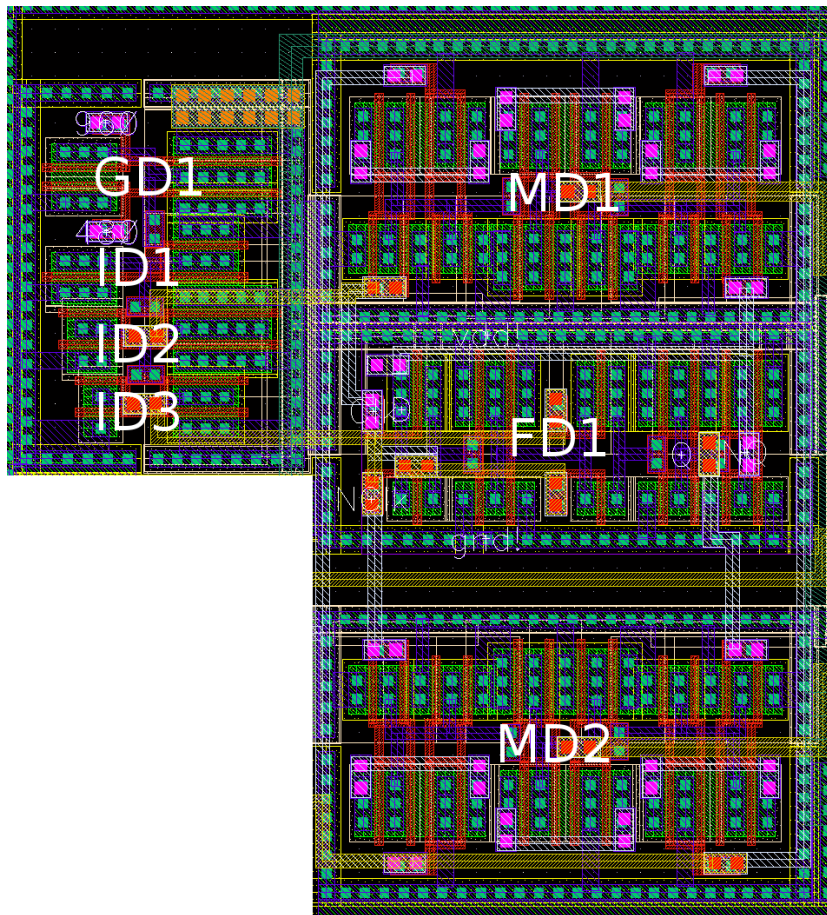
opóźnienie między sygnałami [ps]	960 MHz		480 MHz	
	"half-rate"	"single-rate"	"half-rate"	"single-rate"
CD - CLK	165	172	169	173
CLKD - WRI	1032	2024	2076	4051
CLK - WRI	807	1925	1950	3992
WRI ↑ - WRI ↓	1098	2156	2129	4299

Tabela 3.18: Opóźnienia pomiędzy przebiegami dla drugiej części dzielnika.

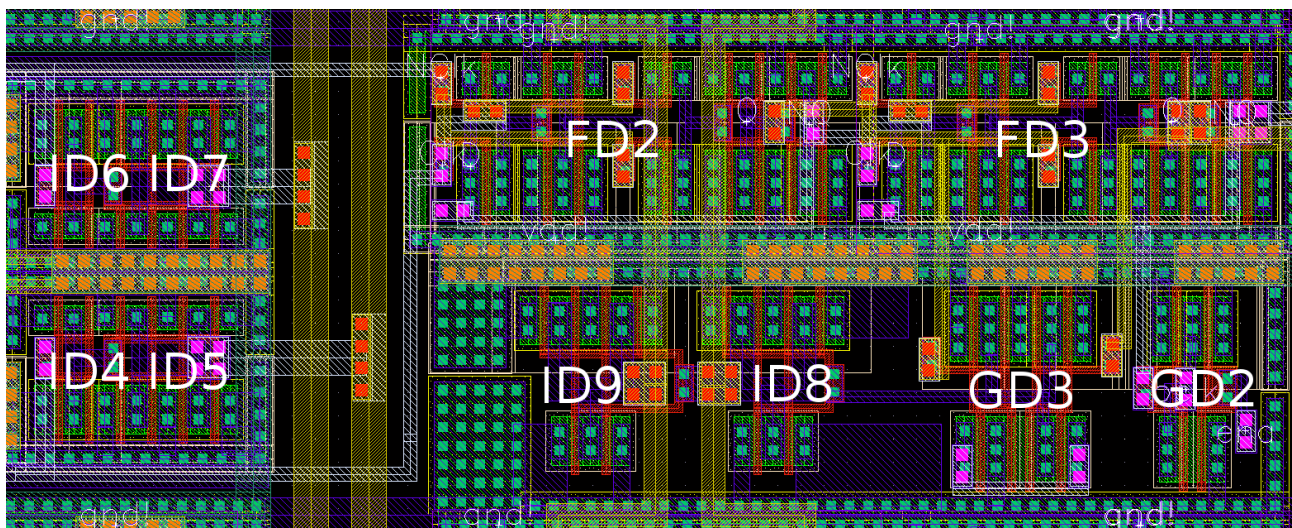
Jak widać konstrukcja tego dzielnika była znacznie prostsza niż dla układu "deserializer'a" i nie wymagała takiej dbałości o zależności czasowe. Zapewnia to stabilniejszą i pewniejszą pracę układu i znacznie ułatwia konstrukcję masek technologicznych, gdyż dodatkowe opóźnienia wprowadzane przez pojemności pasozytne nie wpływają tak silnie na działanie układu.

3.12.1 b) Maski technologiczne

Rysunki 3.192 i 3.193 przedstawiają maski technologiczne odpowiednio pierwszej i drugiej części dzielnika. Jak już wspomniano pojemności pasozytne nie grały w tym projekcie tak istotnej roli, więc obie części zostały rozdzielone gdyż ułatwiło to ich rozmieszczenie pomiędzy bardziej kluczowymi elementami układu. Bezpośrednio z prawej strony inwerterów ID7 i ID8 widoczne są linie zegarów CLK i NCLK. Podobnie jak miało to miejsce w układzie "deserializer'a" duże obciążenie przez wejścia zegarowe przerzutników spowodowało zastosowanie grubszych ścieżek w celu zapewnienia odpowiednich gęstości prądu. Podobnie stało się z liniami WRI i NWRI widocznymi pomiędzy inwerterami ID8 i ID9. Dokładna analiza prądów pobieranych przez układ została zawarta na końcu rozdziału.



Rysunek 3.192: Maski technologiczne pierwszej części dzielnika ($35 \times 39 \mu\text{m}^2$).



Rysunek 3.193: Maski technologiczne drugiej części dzielnika ($56 \times 23 \mu\text{m}^2$).

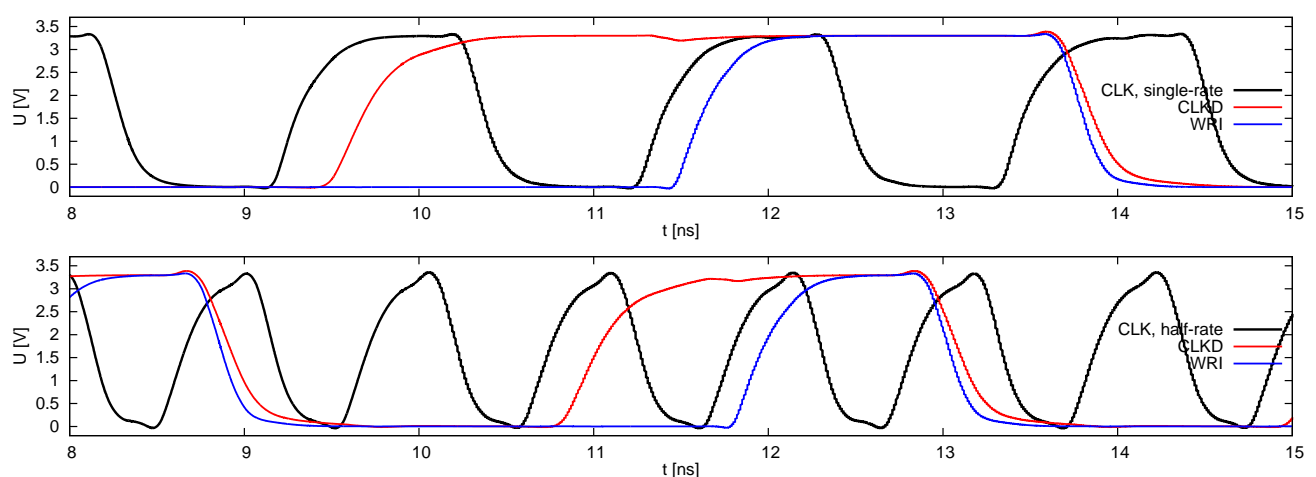
Konieczność zastosowania odpowiednio większych szerokości kanałów tranzystorów w większości elementów, w celu zapewnienia odpowiedniej obciążalności wyjść, sprawiła że wyniki symulacji "post-layout" są dość zbliżone do schematu. Większe elementy oznaczają bowiem większe pojemności wejściowe i wyższe prądy, a więc wpływ elementów pasożytniczych (głów-

nie połączeń metalicznych) jest w tym przypadku mniejszy. Stąd czasy opóźnień pomiędzy sygnałami w symulacjach "post-layout", zebrane w tabeli 3.19, są dość zbliżone do wartości schematowych (tabele 3.17 i 3.18).

opóźnienie między sygnałami [ps]	960 MHz		480 MHz	
	"half-rate"	"single-rate"	"half-rate"	"single-rate"
960/480 - ID2	234	225	242	236
960-480 - ID3	318	304	321	317
ID3 - CD	172	-	177	-
Q FD1 - CD	-	211	-	208
960/480 - CD	489	635	499	641
CD - CLK	278	275	281	277
CLKD - WRI	952	1944	1967	4051
CLK - WRI	807	1925	1950	3896
WRI ↑ - WRI ↓	1071	2156	2103	4217

Tabela 3.19: Opóźnienia pomiędzy przebiegami dla obu części dzielnika w symulacjach "post-layout".

Pełne przebiegi czasowe z symulacji "post-layout" zostały pominięte, gdyż są bardzo podobne do zaprezentowanych wyników symulacji schematu (rys. 3.189 i 3.190). Zamieszczono jedynie na rysunku 3.194 porównanie przebiegów CLK, CLKD i WRI w symulacjach "post-layout" dla częstotliwości 960 MHz i obu trybów pracy (wyniki schematowe na rys. 3.191).



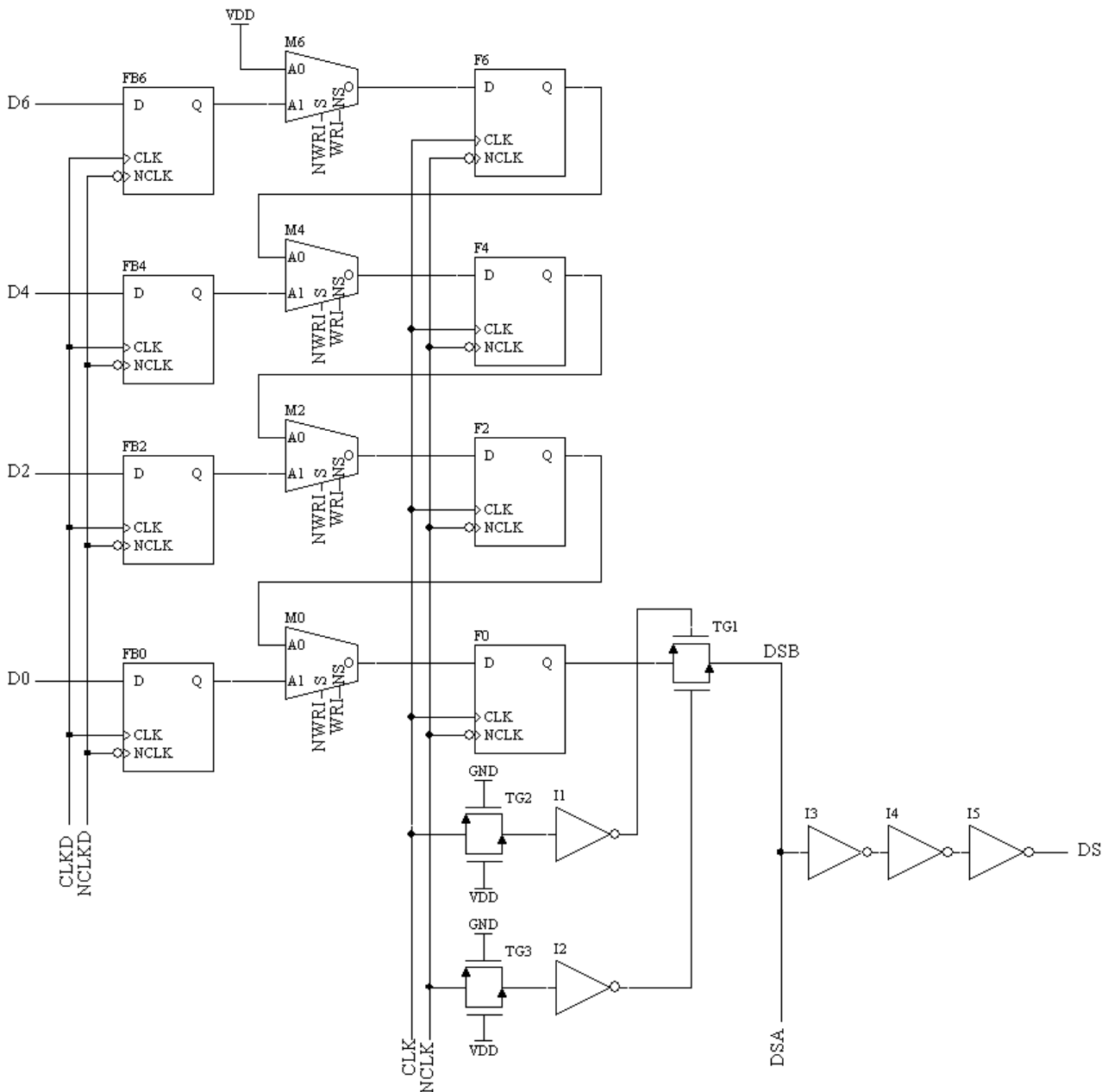
Rysunek 3.194: Porównanie przebiegów CLK, CLKD i WRI przy częstotliwości 960 MHz w obu trybach.

Z porównania wykresów 3.194 i 3.191 widać, że sygnały uległy jednak pewnej degradacji wynikającej ze zwiększonych obciążeń pojemnościowych. W szczególności efekt ten dotyczy

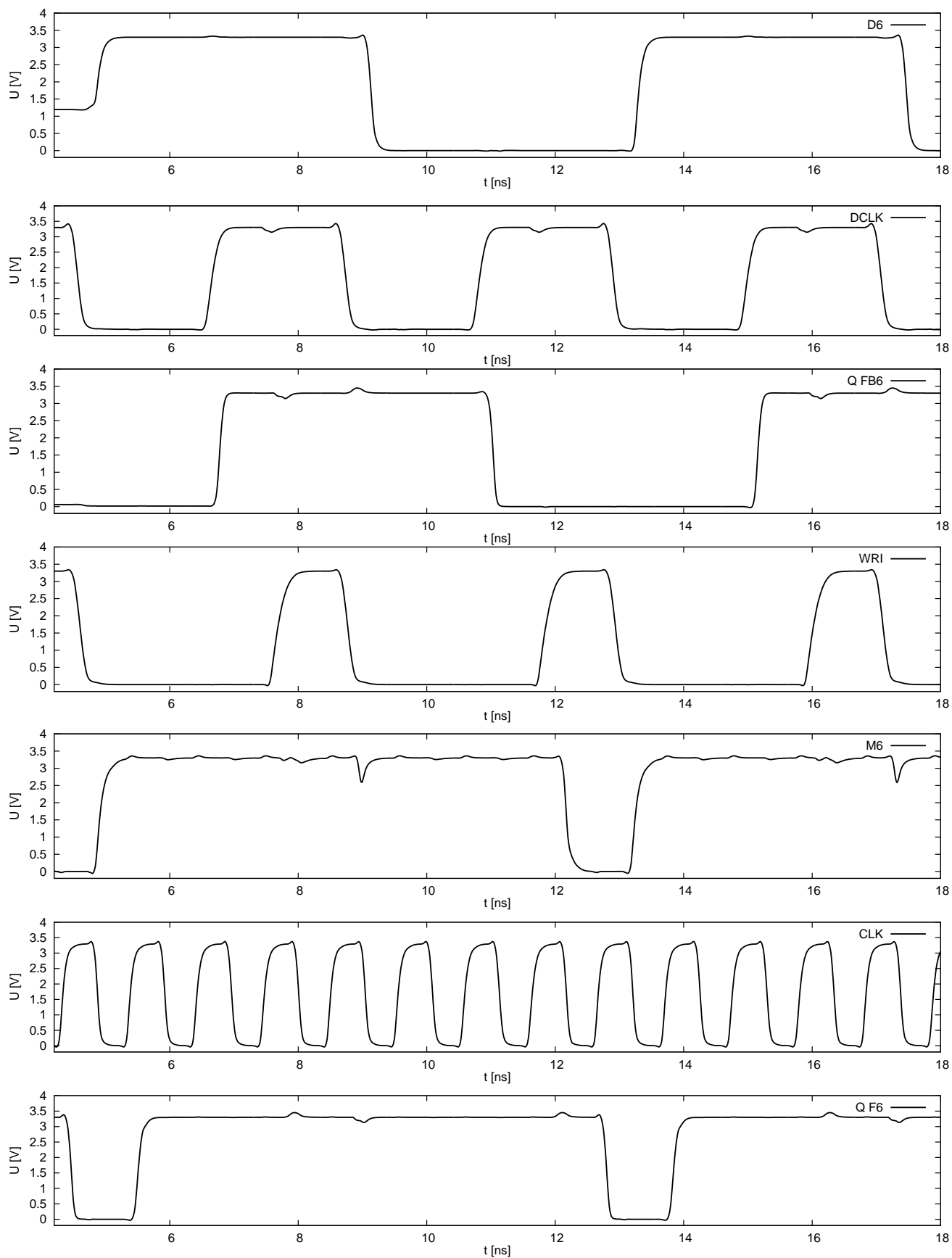
zegara CLK w trybie "half-rate", przez co sygnał ten nie osiąga pełnej amplitudy przed rozpoczęciem zbocza opadającego linii WRI. Jednak przerzutniki przełączają się na wiele niższym napięciu niż punkt przecięcia zboczy sygnałów CLK i WRI (około 2,7 V), dodatkowo elementy przełączające układ wejść rejestru też mają swoje opóźnienie, tak więc nie zachodzi obawa o poprawny odczyt stanów z bufora magistrali.

3.12.2 Rejestr wejściowy

3.12.2 a) Schemat i wyniki symulacji



Rysunek 3.195: Schemat ideowy części rejestru wejściowego.

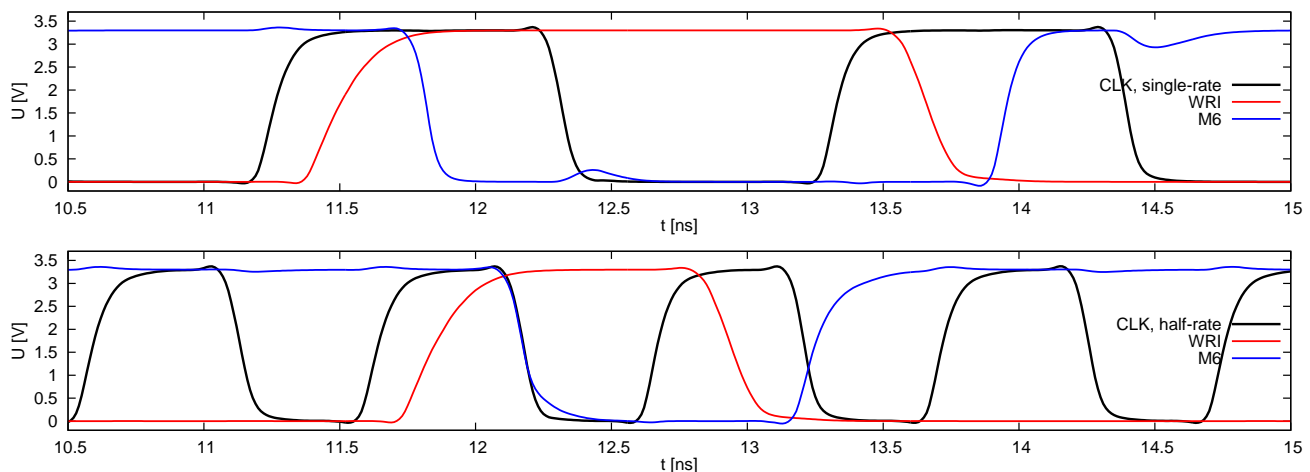


Rysunek 3.196: Zależności czasowe między przebiegami zapisywania i przekazywania danych w rejestrze.

Rysunek 3.195 przedstawia schemat ideowy jednego z dwóch 4-bitowych rejestrów równoległoszeregowych z odpowiadającą mu połową bufora magistrali i wspólnymi dla obu części elementami sterującymi. Przerzutniki FB6, FB4, FB2 i FB0 stanowią bufor wejściowy zatrzymujący na narastającym zboczach zegara CLKD dane podawane liniami D6... przez zewnętrzny układ. W stanie wysokim linii WRI sygnały z wyjść bufora są podawane przez multipleksery M6, M4... na wejścia przerzutników F6, F4... głównego rejestru równoległoszeregowego. Narastające zbocze zegara CLK zapisuje dane równoległe w rejestrze, zaś następująca zaraz za nim zmiana stanu linii WRI na niski spina przerzutniki w układ typowego rejestru przesuwne.

Na rysunku 3.196 przedstawiono przebiegi czasowe obrazujące zapis i przekazywanie danych w rejestrze. Stan linii wejściowej D6 zmienia się zgodnie z zegarem OCLK (negacją CLKD). Przerzutnik FB6 zatrzymuje tę daną na zboczach narastającym CLK. Przejście linii WRI w stan wysoki powoduje przekazanie przez multipleksers M6 stanu z wyjścia Q FB6 na wejście przerzutnika F6. W przeciwnym wypadku (WRI w stanie niskim) na wejście D F6 podawany jest zawsze poziom wysoki. Przerzutnik F6 próbkuje stan na wyjściu multipleksersa dając na swoim wyjściu Q stan wysoki poza jednym okresem, gdy wczytany został stan niski linii wejściowej D6.

Najważniejszymi dla tej części pracy rejestru są zależności czasowe między zboczami sygnału WRI a zmianą danych na wyjściu multipleksersa M6 i zboczem narastającym zegara CLK. Fragmenty odpowiednich przebiegów w obu trybach pracy przedstawiono na rysunku 3.197. Jak pokazano przy opisie dzielnika zbocze narastające zegara CLK występuje blisko zbocza opadającego WRI. Sygnał ten steruje multipleksers którego odpowiedź jest opóźniona, dzięki czemu zbocza sygnałów są bardziej oddalone. Różnice czasowe przy częstotliwości wzorcowej 960 MHz w obu trybach przedstawia tabela 3.20. Czas propagacji multipleksersa pozostaje stały w funkcji częstotliwości (dla przypomnienia w trybie "single-rate" 960 MHz układ pracuje



Rysunek 3.197: Porównanie przebiegów CLK, WRI i M6 przy częstotliwości 960 MHz w obu trybach.

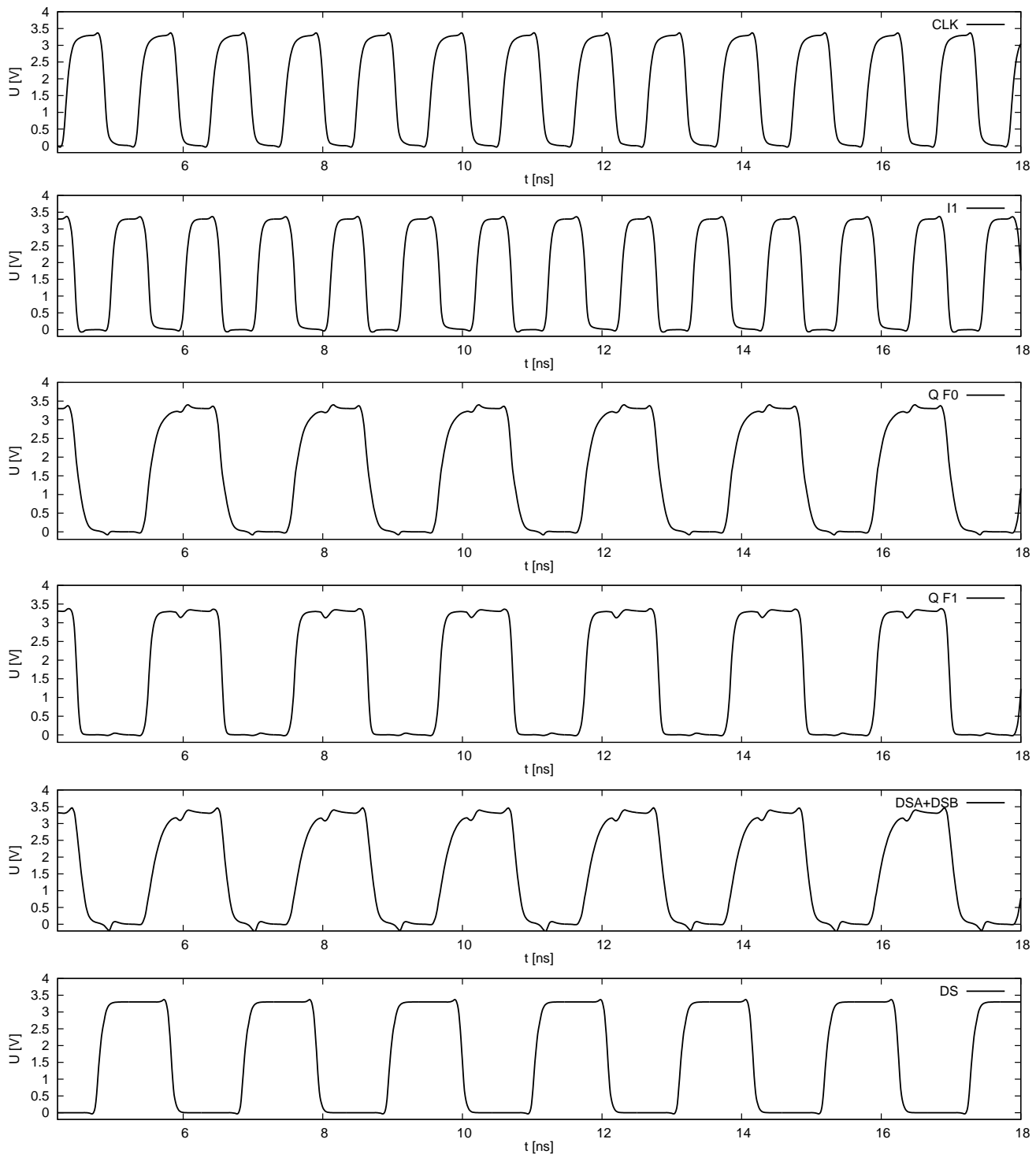
z zegarem podstawowym 480 MHz), co już nieraz stwierdzono. Z kolei odległość z boczka zegara od opadającego z boczka sygnału M6 jest sumą tego czasu propagacji i opóźnienia z boczka WRI względem CLK powstałego w dzielniku i również stałego w funkcji częstotliwości. Stąd opóźnienie pomiędzy z boczka CLK \uparrow - M6 \uparrow jest w przybliżeniu stałe dla każdego trybu i szybkości pracy i wynosi około 600 ps. Taki czas jest w zupełności wystarczający dla poprawnego zapisu danych równoległych nawet przy ewentualnych rozrzutach parametrów technologicznych.

opóźnienie między sygnałami [ps]	960 MHz	
	"half-rate"	"single-rate"
WRI - M6	327	323
M6 \downarrow - CLK \uparrow	507	1516
CLK \uparrow - M6 \uparrow	569	625

Tabela 3.20: Opóźnienia pomiędzy przebiegami przy przepisywaniu danych równoległych z bufora do rejestru.

Bramki transmisyjne TG2, TG3 i inwertery I1, I2 są elementami wspólnymi dla obu 4-bitowych rejestrów i mają za zadanie wytworzyć przebiegi sterujące pracą bramki transmisyjnej TG1 (i odpowiadającej jej bramki w drugim rejestrze). Bramka TG1 ma za zadanie zablokować wyjście przerzutnika na czas połowy okresu zegara CLK. W przypadku pokazanej na schemacie 3.195 części B rejestru bramka jest sterowana w taki sposób, by była w stanie przewodzenia na wysokim stanie linii CLK. Sterowanie bramki w drugim rejestrze (też z wyjść inwerterów I1 i I2) jest podpięte na odwrót, dzięki czemu na stanie niskim CLK przekazywane są dane z rejestru A. Sumarycznie podczas jednego okresu zegara CLK na wejście inwertera I3 podawane są dwa bity - jeden z rejestru A i jeden z B, każdy o czasie trwania połowy okresu.

Elementy TG2, I1 (i odpowiednio TG3 i I2) zostały wprowadzone by w przybliżeniu zrównoważyć czas przełączania się przerzutnika. Przy zmianie poziomu zegara z niskiego na wysoki dana zgromadzona na pojemności wewnętrznej przerzutnika musi zostać przetransmitowana przez bramkę transmisyjną i inwerter wyjściowy (opis w rozdziale 2.6). Stąd użycie takich samych elementów w torze sterowania wyjściowej bramki TG1. Należy jednak zauważyć, że zrównoważenie czasu nie jest pełne, bo bramki TG2 i TG3 są zawsze w stanie przewodzenia, podczas gdy w przerzutniku do czasu opóźnienia dochodzi jeszcze czas przełączenia bramki. Nie jest to jednak tak istotne, co pokazują wyniki symulacji tej części rejestru, przedstawione na rysunku 3.198. Dane wejściowe były w przypadku tej symulacji równe "11001100". Dobrano je w taki sposób by na wejścia analizowanego fragmentu podawane były dane "1010" (gdyż do pojedynczego rejestru trafia co drugi bit). Stany przerzutników przełączają się więc na przeciwne co każdy takt zegara, co umożliwia pomiar zależności czasowych zebranych w tabeli 3.21. Jak widać zależności czasowe nie różnią się zanadto pomiędzy trybami pracy (pomijając oczywiście czas trwania pojedynczego bitu), stąd nie prezentowano wyników dla mniejszych częstotliwości.



Rysunek 3.198: Praca bramek transmisyjnych na wyjściu układu "serializer'a" w trybie "half-rate" przy danych wejściowych "11001100".

Ponieważ przy bajcie danych równym "11001100" na wejścia rejestrów podawane są takie same ciągi "1010", tak więc na wyjściach Q ostatnich przerzutników obu rejestrów (F0 i F1) otrzymuje się identyczne przebiegi. Bramki transmisyjne przełączane sygnałem I1 łączą te dwa przebiegi w jeden. Ponieważ wyjście jednego rejestru (DSA lub DSB) jest dołączone do wspólnej linii przez pół okresu, ale oba wyjścia mają ten sam stan logiczny, więc przebieg wyjściowy DS

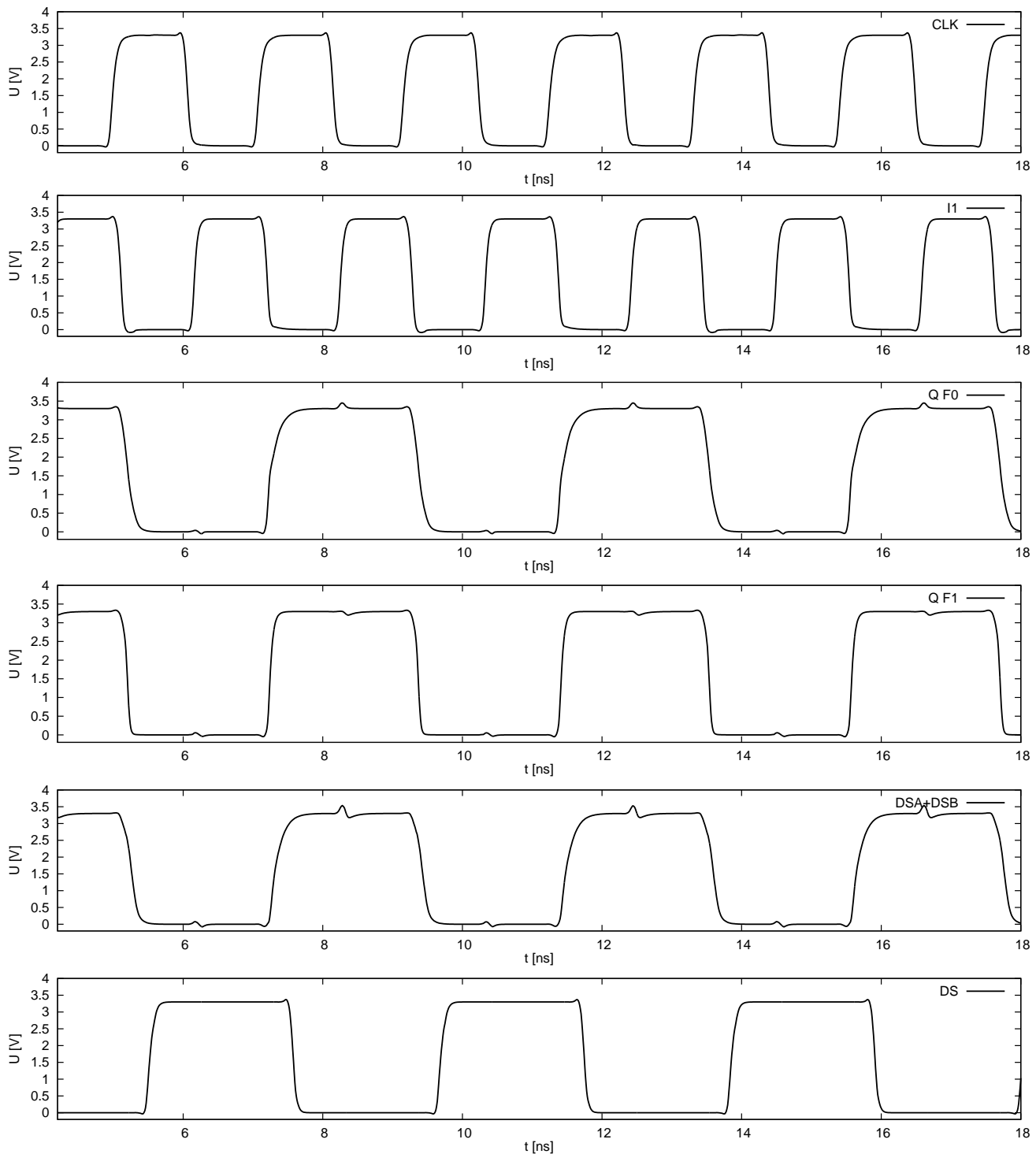
opóźnienie między sygnałami [ps]	960 MHz	
	"half-rate"	"single-rate"
CLK - Q F0	145	172
CLK - Q F1	129	159
CLK - I1	106	106
czasy trwania stanów [ps]		
DSA+DSB stan wysoki	1045	2103
DSA+DSB stan niski	1032	2063
DS stan wysoki	1032	2050
DS stan niski	1058	2111

Tabela 3.21: Czasy trwania stanów i opóźnienia pomiędzy przebiegami sterującymi i danych bramek transmisyjnych na wyjściu "serializer'a".

również, tak jak przerzutniki, zmienia swój stan co jeden okres. Zgadza się to z założeniami trybu "half-rate", gdzie jeden bit powinien trwać pół okresu. Ponieważ dane wejściowe składają się z powtarzanych naprzemiennie par bitów "11" lub "00", więc jeden stan (0 lub 1) na linii szeregowej DS powinien mieć długość jednego okresu.

Wspomniany wyżej problem nierównoważenia czasów propagacji przerzutnika i układu TG2, I1 widać w wynikach zamieszczonych w tabeli 3.21. Różnica opóźnień zbocza danych na wyjściach przerzutników F0 i F1 względem zbocza CLK wynika z tego, że na wysokim poziomie zegara przerzutnik F0 jest obciążony będącą w stanie przewodzenia bramką transmisyjną i wejściem inwertera I3. Bramka transmisyjna połączona z wyjściem Q F1 jest w stanie odciążenia i znacznie mniej obciążony inwerter wyjściowy przerzutnika szybciej wystawia stan wysoki. Różnica czasów propagacji między wyjściem Q F0 a I1, wynosząca 39 ps nie ma wpływu na pracę układu (na co wskazuje prawidłowy przebieg danych wyjściowych DS). Do czasu propagacji układu TG2, I1 trzeba bowiem doliczyć jeszcze pewne niezerowe czasy przełączania się bramki TG1 (i jej odpowiednika w drugim rejestrze) i przeładowania pojemności wejściowej inwertera I3 z wyjścia przerzutnika. Miejsca przełączenia bramek transmisyjnych widać na przebiegu ich wyjść DSA+DSB w postaci delikatnych przerzutów. Stąd zastosowano układ inwerterów I3-5, który ma na celu między innymi wygładzić przebieg danych. Drugą przyczyną jego użycia było dostarczenie odpowiednio dużego prądu na wyjściową linię szeregową bez nadmiernego obciążania wnętrza rejestru.

Istotnym zagadnieniem w przypadku łączenia dwóch przebiegów w jeden jest zapewnienie równych długości trwania bitów pochodzących z górnego i dolnego rejestru. Jak widać z tabeli 3.21 w trybie "half-rate" rozbieżność czasu trwania niskiego i wysokiego stanu na linii szeregowej DS wynosi 26 ps, czyli 5% czasu trwania jednego bitu. Nieco gorzej jest w trybie "half-rate", gdzie różnica ta wynosi 61 ps, czyli 6%. Relacje te zmieniają się jednak po narysowaniu ma-

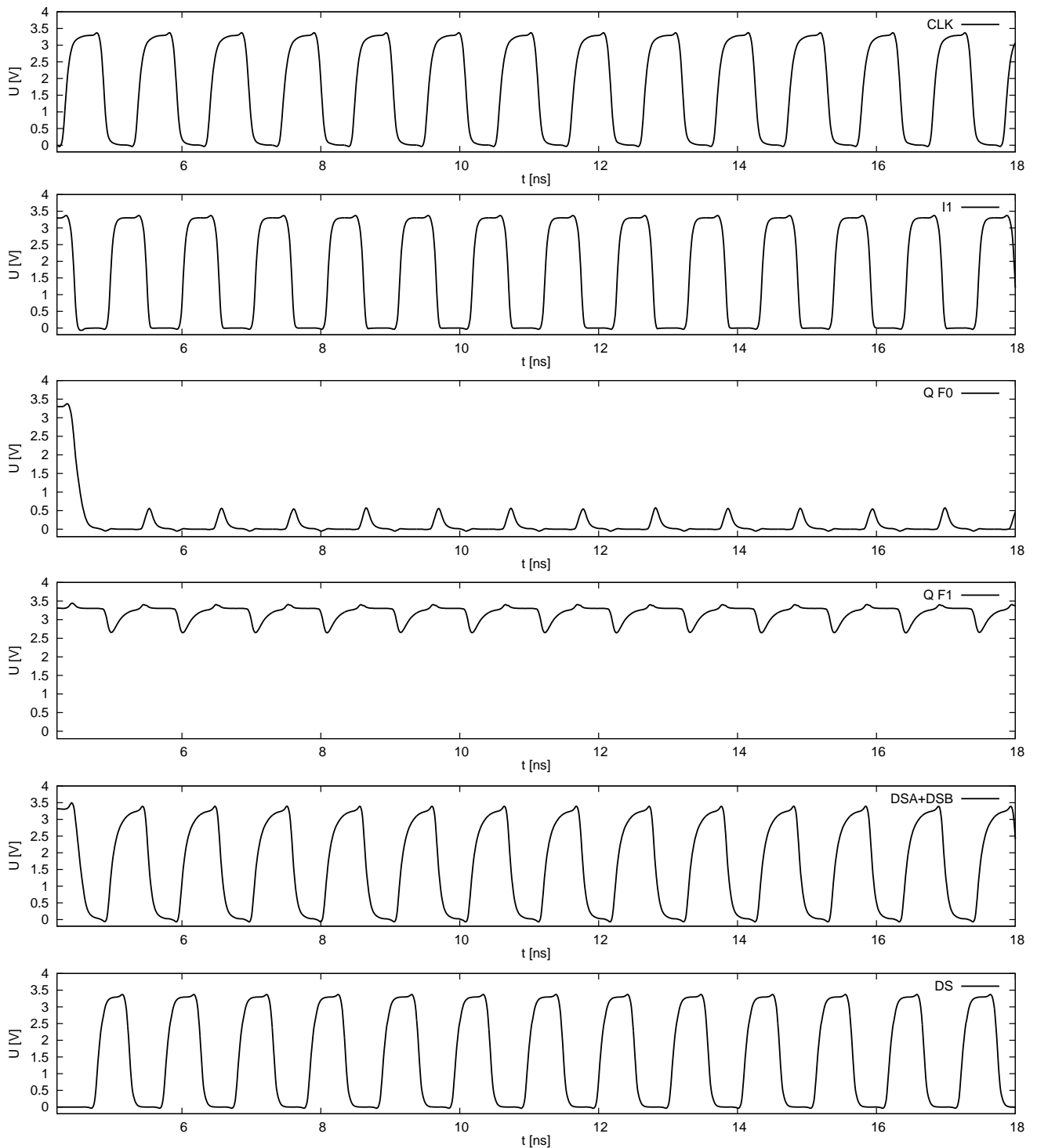


Rysunek 3.199: Praca bramek transmisyjnych na wyjściu układu "serializer'a" w trybie "single-rate" przy danych wejściowych "11001100".

sek technologicznych i wymiary końcowych inwerterów zostały tak dobrane, by otrzymać jak najlepsze wypełnienie przebiegu danych w symulacjach "post-layout", a nie schematowych. Na rysunku 3.199 przedstawiono przebiegi w trybie "single-rate" na potwierdzenie stawianej już tezy, że nie różnią się one (poza skalą czasową) od przebiegów w trybie "half-rate".

Największą szybkość działania układu bramek wyjściowych rejestru uzyskuje się dla danych

wejściowych równych "10101010". Wówczas zmiany poziomów na linii szeregowej następują co jeden bit, czyli co pół okresu dla trybu "half-rate" i co pełny okres w trybie "single-rate". Działanie układu wyjściowego rejestru dla takich danych w trybie "half-rate" przedstawia rysunek 3.200. Przy danych "10101010" jeden z rejestrów otrzymuje na wejścia ciąg "1111", zaś drugi "0000". Stąd wyjścia przerzutników F0 i F1 są ciągle w stanie, odpowiednio, niskim i



Rysunek 3.200: Praca bramek transmisyjnych na wyjściu układu "serializer'a" w trybie "half-rate" przy danych wejściowych "10101010".

wysokim. Wahnięcia stanów widoczne na przebiegach wyjściowych przerzutników wynikają z nieopisanego wcześniej efektu rozplywu lub wstrzykiwania ładunku zgromadzonego na pojemności wejściowej końcowego inwertera przerzutnika. Przy zmianie stanu zegara CLK z niskiego na wysoki do stanu przewodzenia przechodzi druga bramka transmisyjna w przerzutniku (rysunek 2.49 w rozdziale 2.6). Modyfikuje to chwilowo ładunek zgromadzony w poprzednim cyklu pracy na pojemności wejściowej końcowego inwertera powodując niewielkie zmiany napięcia na jego wyjściu. Zmiany te są jednak na tyle małe (rzędu 400 mV) i krótkie, że nie wpływają na dalsze przebiegi układu.

Bramki transmisyjne na wyjściach rejestrów, przełączanie przebiegiem I1 o częstotliwości 960 MHz tworzą z dwóch ustalonych stanów wyjść przerzutników F0 i F1 periodyczny sygnał danych o częstotliwości również 960 MHz . Wynika stąd, że jeden bit (czyli ustalony stan linii DS) trwa pół okresu (521 ps), co zgadza się z założeniami trybu "half-rate". Rzeczywiste czasy trwania niskiego i wysokiego stanu na linii szeregowej DS w obu trybach przedstawia tabela 3.22.

czasy trwania stanów [ps]	960 MHz	
	"half-rate"	"single-rate"
DSA+DSB stan wysoki	542	1074
DSA+DSB stan niski	503	1005
DS stan wysoki	503	1019
DS stan niski	542	1058

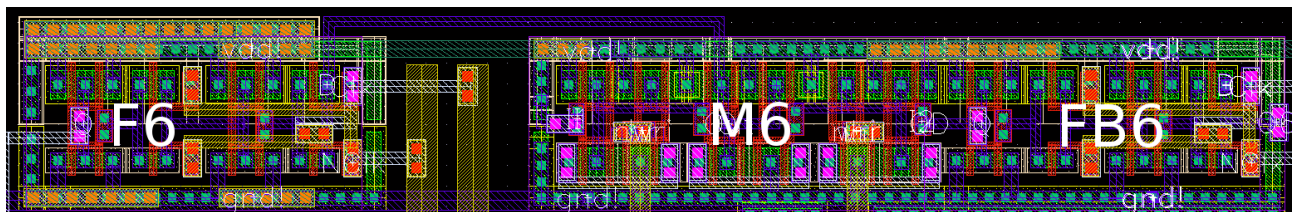
Tabela 3.22: Czasy trwania stanów niskiego i wysokiego na linii szeregowej DS przy danych typu "10101010".

W tym przypadku również można odnotować pewne nierówności czasu trwania obu stanów. W przypadku trybu "half-rate" różnica wynosi 39 ps , czyli $7,5\%$ teoretycznego czasu trwania jednego bitu, a dla trybu "single-rate" też 39 ps co w tym przypadku daje $3,3\%$. Trzeba jednak jeszcze raz przypomnieć, że parametry wyjściowych elementów zostały dobrane do wyników symulacji "post-layout" co zwiększyło rozbieżności przedstawiane dla symulacji schematu.

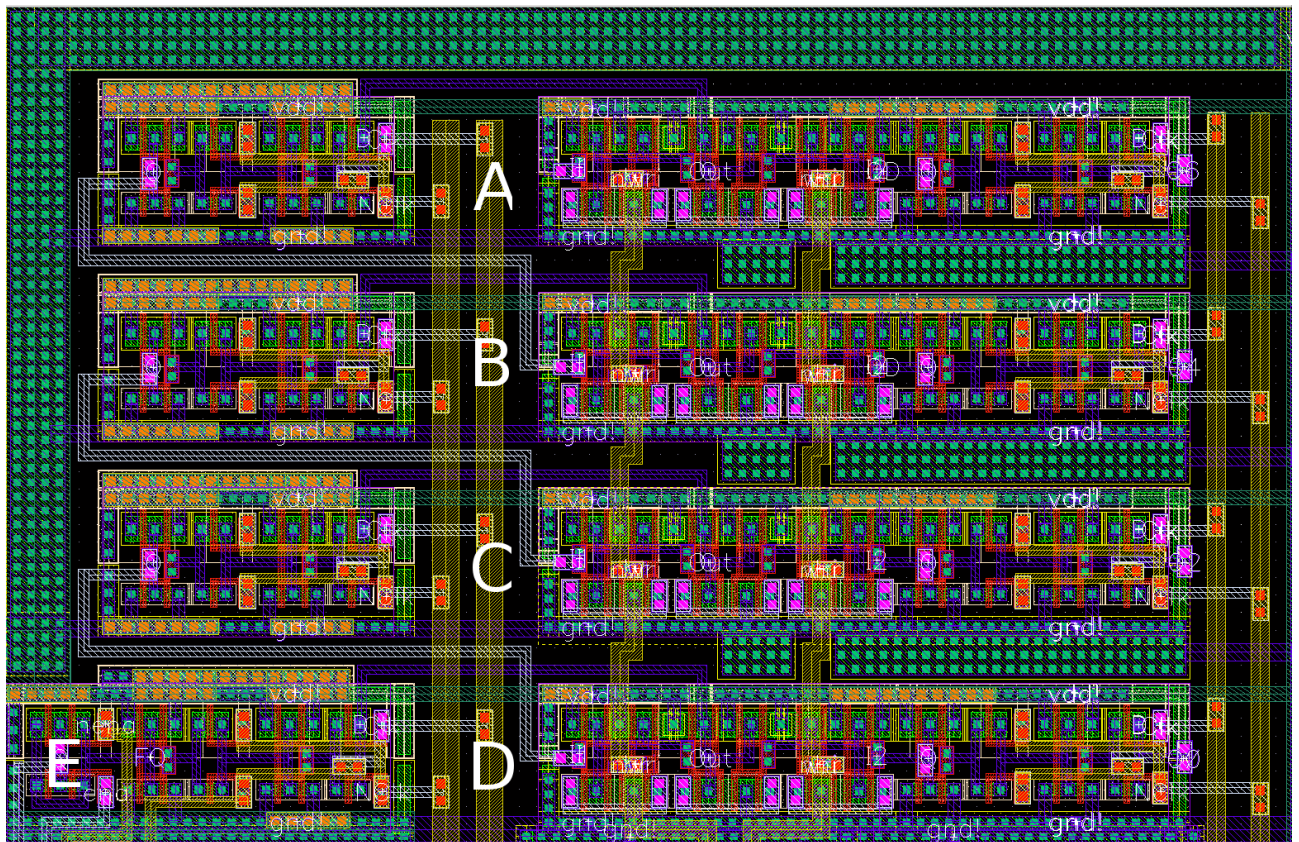
3.12.2 b) Maski technologiczne

Rysunek 3.201 przedstawia maski technologiczne pojedynczego stopnia rejestru. Podobnie jak w układzie "deserializer'a" wykorzystano budowę przerzutnika w postaci wąskiego paska i dostosowano do niej maski multipleksera. Zwiększyło to szerokość paska, a więc i układu (jak widać multiplekser jest nawet szerszy od przerzutnika), ale nie miało to znaczenia. Istotne było jak największe zbliżenie kolejnych stopni w pionie, bo decydowało to o długości ścieżek zegara. Maski technologiczne jednego z dwóch bliźniaczych rejestrów przedstawia rysunek 3.202. Litera-

mi A-D oznaczone zostały kolejne stopnie rejestru, zaś literą E wyjściowa bramka transmisyjna (TG1). Linie zegara CLK i NCLK (widoczne pod literami oznaczającymi stopnie) mają znacznie większą szerokość niż inne połączenia metaliczne. Wynika to ze znacznych maksymalnych prądów pobieranych przez wejścia zegarowe przerzutnika (dokładna analiza prądów pobieranych przez rejestry została przeprowadzona w rozdziale dotyczącym "deserializer'a" 3.11 i nie będzie tu powtarzana). Znacznie cieńsze są widoczne z prawego brzegu linie CLKD i NCLKD. Pomimo iż przerzutniki FB6 i F6 są takie same (a więc stanowią takie samo obciążenie dla linii zegara) to czterokrotnie niższa częstotliwość tych linii zegarowych powoduje zmniejszenie prądów przez nie płynących.



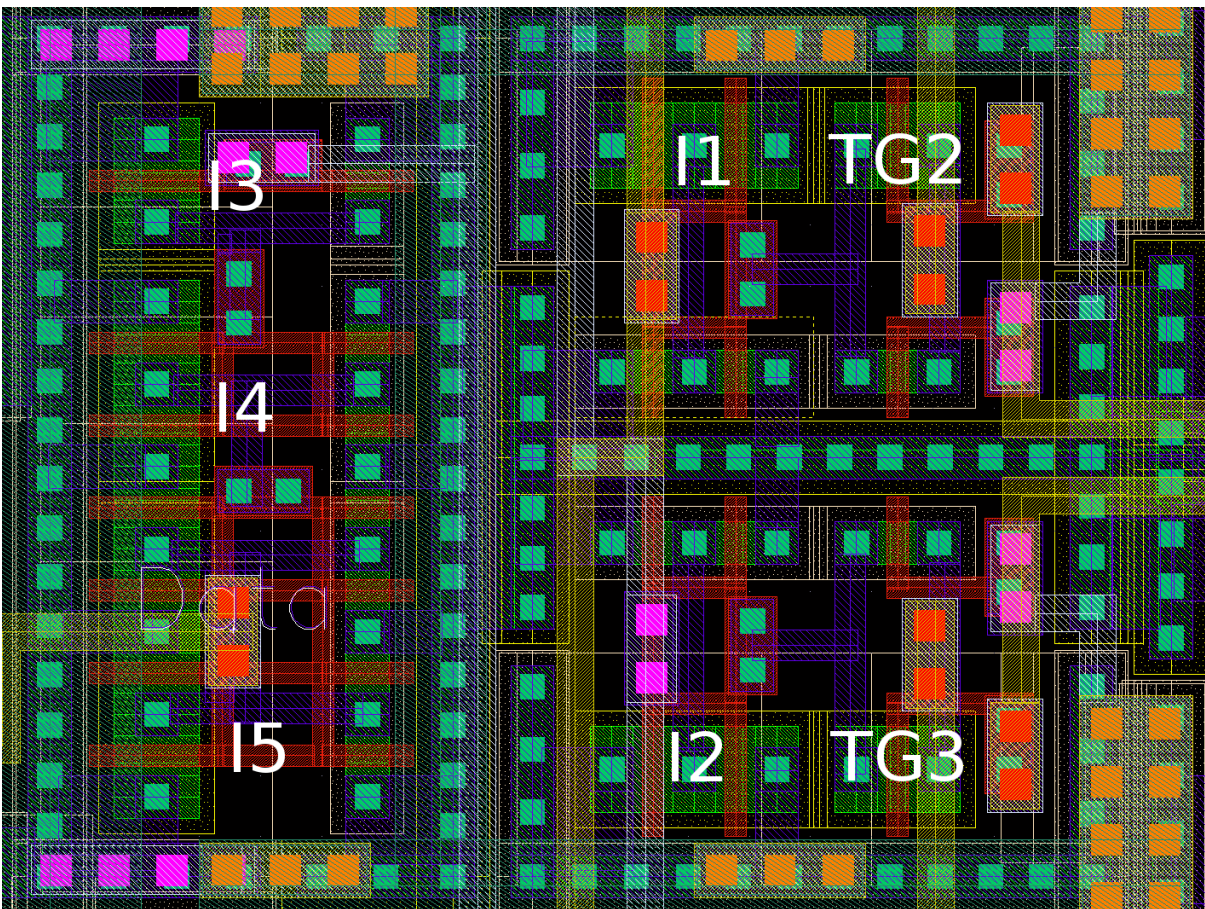
Rysunek 3.201: Maski technologiczne pojedynczego stopnia rejestru ($63 \times 10 \mu\text{m}^2$).



Rysunek 3.202: Maski technologiczne jednego 4-bitowego rejestru ($73 \times 48 \mu\text{m}^2$).

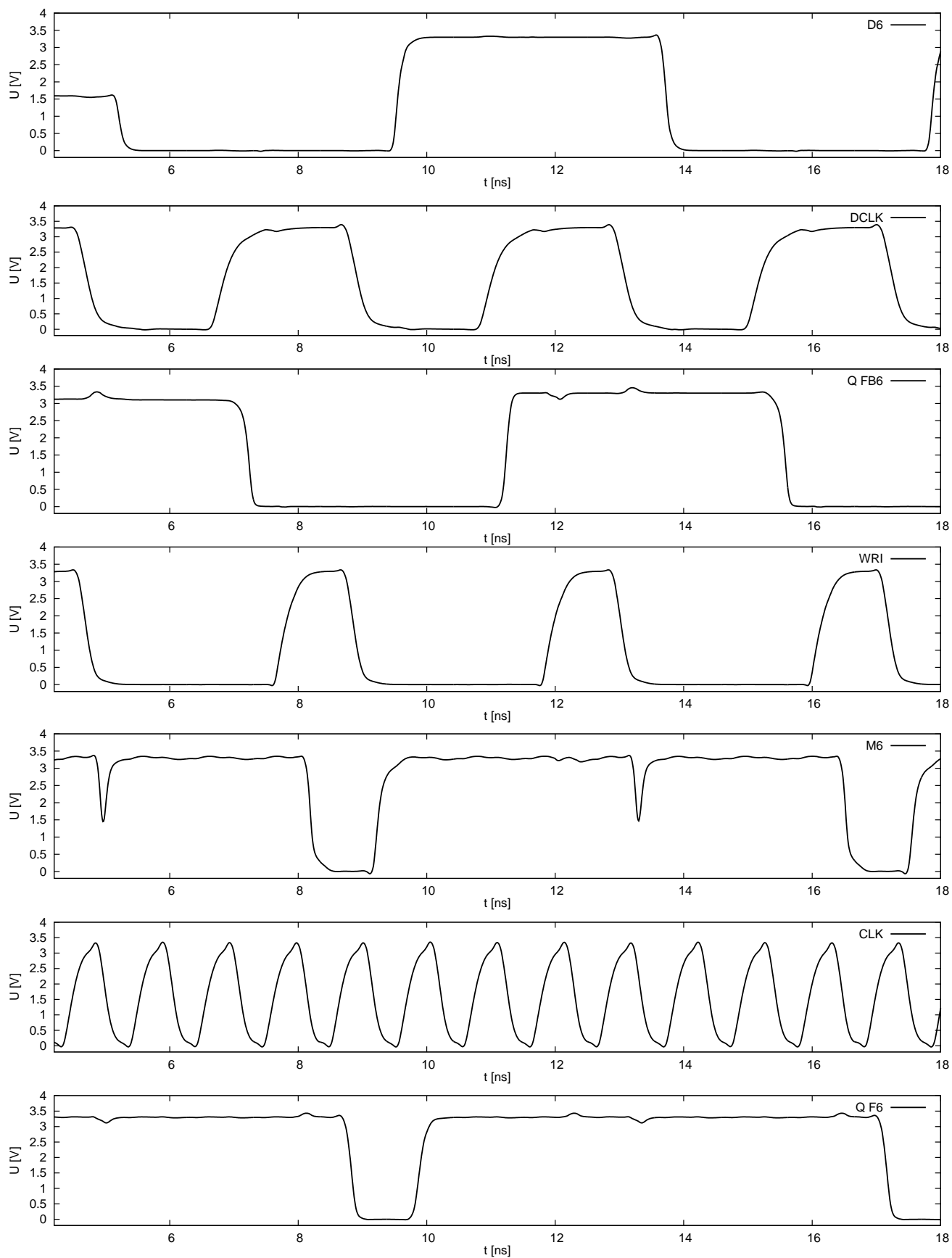
Rysunek 3.203 przedstawia maski technologiczne wspólnego dla obu rejestrów układu sterowania bramkami wyjściowymi. Maski zostały tak zaprojektowane, by w przybliżeniu oddawać

układ bramka transmisyjna - inwerter na wyjściu przerzutnika. W przerzutniku po lewej stronie bramki transmisyjnej znajdują się kontakty do bramek tranzystorów, tymczasem w tym układzie zostały one umieszczone po prawej. Tą drobną różnicę wymusiła konieczność dopasowania masek do pozostałych elementów "serializer'a". Nie ma to jednak żadnego wpływu, gdyż jak wykazano dokładne dopasowanie opóźnień układu sterowania i przerzutnika nie jest potrzebne. Po lewej stronie układu znajdują się inwertery wyjściowe linii danych DS (na rysunku nazwanej "Data"). Wzrastające kolejno rozmiary inwerterów (I3 najmniejszy, I5 największy) umożliwiają wspomniane wcześniej wysterowanie linii DS dużym prądem z inwertera I5 przy małym obciążeniu wyjścia bramek transmisyjnych inwerterem I3.

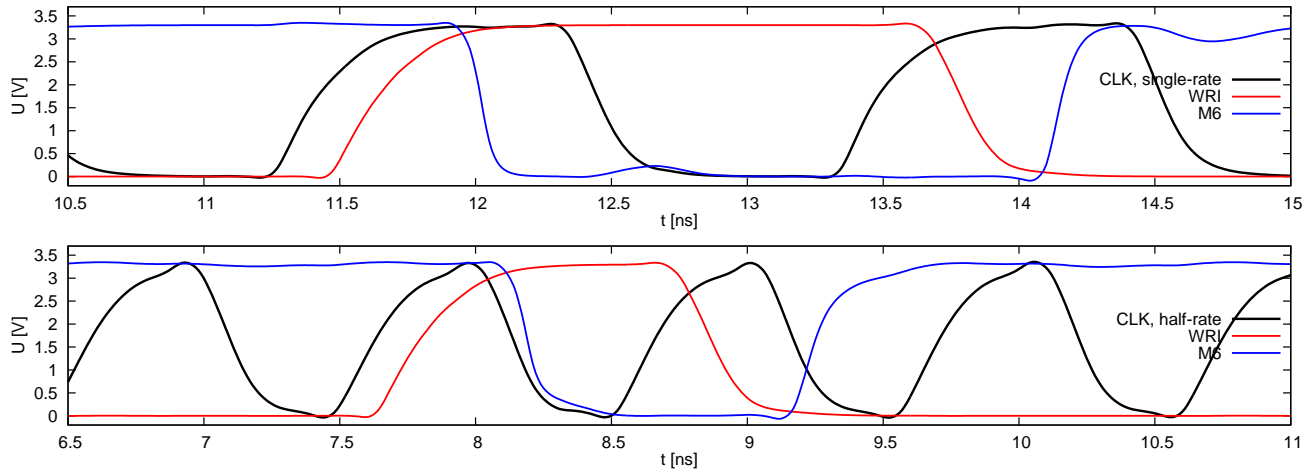


Rysunek 3.203: Maski technologiczne układu sterowania bramkami transmisyjnymi na wyjściach rejestrów ($20 \times 15 \mu\text{m}^2$).

Rysunek 3.204 przedstawia przebiegi czasowe zapisu danych do bufora magistrali i przekazywanie ich do rejestru równoległo-szeregowego w trybie "half-rate" 960 MHz w symulacjach "post-layout". Można zauważyć pewną degradację zboczy przebiegów (w szczególności zegara CLK), lecz nie wpływają one zanadto na działanie układu, zaś same przebiegi są mocno zbliżone do wyników symulacji schematu (rys. 3.196). Jak wspomniano wyżej, najważniejsze dla pracy tej części rejestru są zależności pomiędzy sygnałami CLK, WRI i zmianami danych na wyjściu multipleksera M6. Wykres przebiegów w obu trybach pracy, analogiczny do schematowego (rys. 3.197) przedstawia rysunek 3.205.



Rysunek 3.204: Zależności czasowe między przebiegami zapisywania i przekazywania danych w rejestrze w symulacjach "post-layout".



Rysunek 3.205: Porównanie przebiegów CLK, WRI i M6 przy częstotliwości 960 MHz w obu trybach w symulacjach "post-layout".

W przypadku wykresu dla trybu "half-rate" została przesunięta skala czasowa. Przesunięcie to zrobiono w celu ukazania tego samego fragmentu przebiegów co w symulacjach schematu, zaś fizyczne przemieszczenie zależności w czasie wynika z różnicy warunków początkowych obu symulacji. Przerzutnik generujący bit D6 danych startuje od stanu nieustalonego (około 1,3 V na wyjściu) i przechodzi stochastycznie do jednego z dwóch ustalonych stanów (wysokiego lub niskiego). Jak widać z porównania przebiegów na wykresach 3.196 i 3.204, w przypadku symulacji schematu wyjście przerzutnika ustaliło się na stanie wysokim, w symulacjach "post-layout" w stanie niskim. Wyniknęło stąd przesunięcie przebiegów o około 4 ns, czyli jeden okres zegara CLKD.

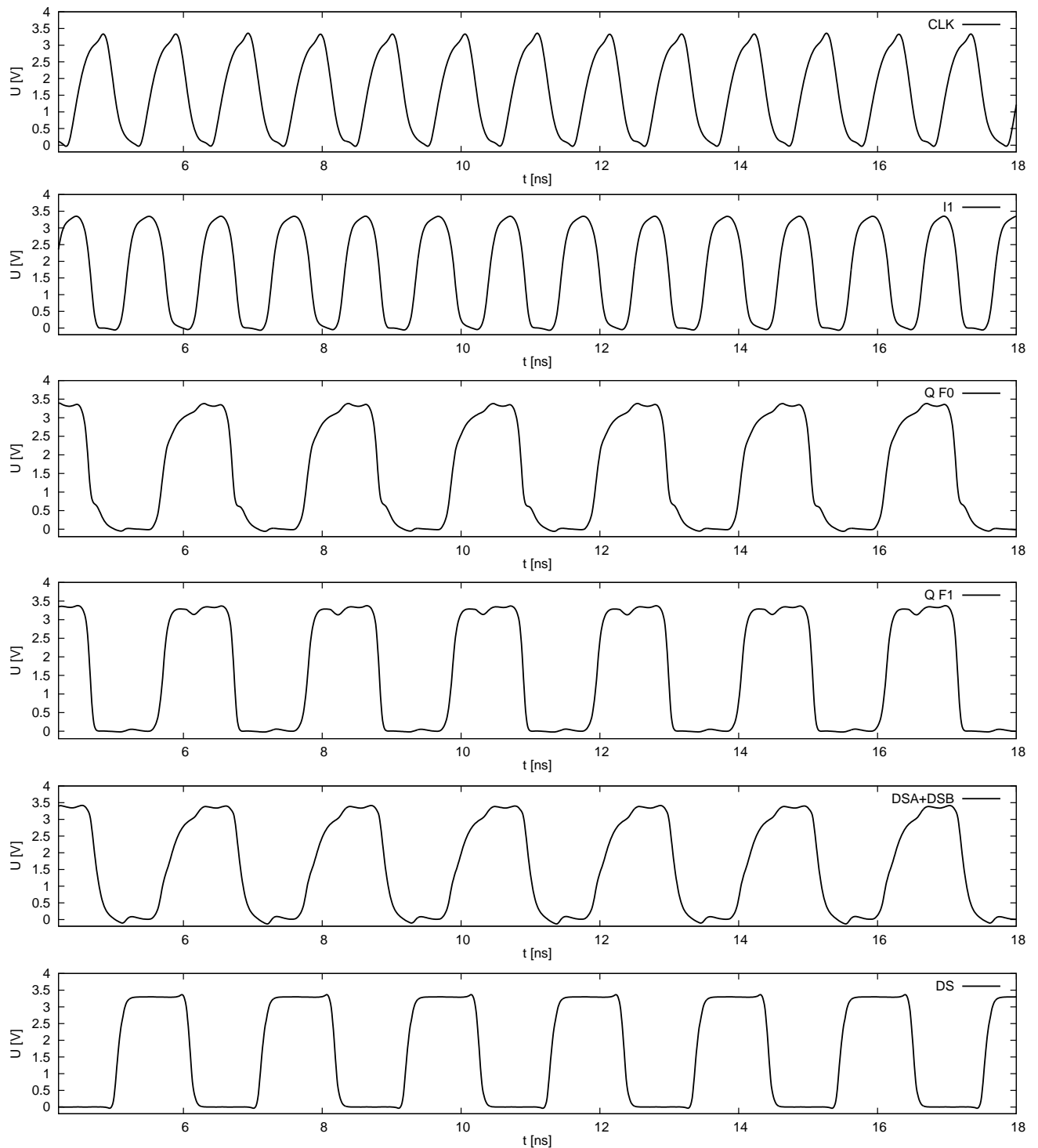
opóźnienie między sygnałami [ps]	960 MHz	
	"half-rate"	"single-rate"
WRI - M6	387	384
M6 ↓ - CLK ↑	463	1455
CLK ↑ - M6 ↑	595	628

Tabela 3.23: Opóźnienia pomiędzy przebiegami przy przepisywaniu danych równoległych z bufora do rejestru w symulacjach "post-layout".

Jak widać z rysunku 3.205 zboczy zegara CLK jest prawidłowo umiejscowione względem zboczy danych na wyjściu multiplexera M6. Potwierdzają to czasy opóźnień między przebiegami przedstawione w tabeli 3.23, w odniesieniu do odpowiednich wyników symulacji schematu z tabeli 3.190. Odległość zboczy CLK ↑ - M6 ↑ wynosząca ponad 0,5 ns jest wystarczająca do prawidłowej pracy rejestru w każdym warunkach.

Rysunek 3.206 przedstawia przebiegi danych i sygnałów sterujących na wyjściowych bram-

kach transmisyjnych rejestru w trybie "half-rate" przy danych wejściowych "11001100". Nie różnią się one znacząco od wyników symulacji schematu (rys. 3.198), nie publikowano więc przebiegów w trybie "single-rate", a jedynie przedstawiono w tabeli 3.24 najważniejsze zależności czasowe między przebiegami w obu trybach pracy. Odpowiadają one czasom zmierzonym dla symulacji schematu i przedstawionym w tabeli 3.21.



Rysunek 3.206: Praca bramek transmisyjnych na wyjściu układu "serializer'a" w trybie "half-rate" przy danych wejściowych "11001100" w symulacjach "post-layout".

opóźnienie między sygnałami [ps]	960 MHz	
	"half-rate"	"single-rate"
CLK - Q F0	172	212
CLK - Q F1	172	225
CLK - I1	193	189
<hr/>		
czasy trwania stanów [ps]		
DSA+DSB stan wysoki	1045	2090
DSA+DSB stan niski	1032	2077
DS stan wysoki	1032	2097
DS stan niski	1045	2116

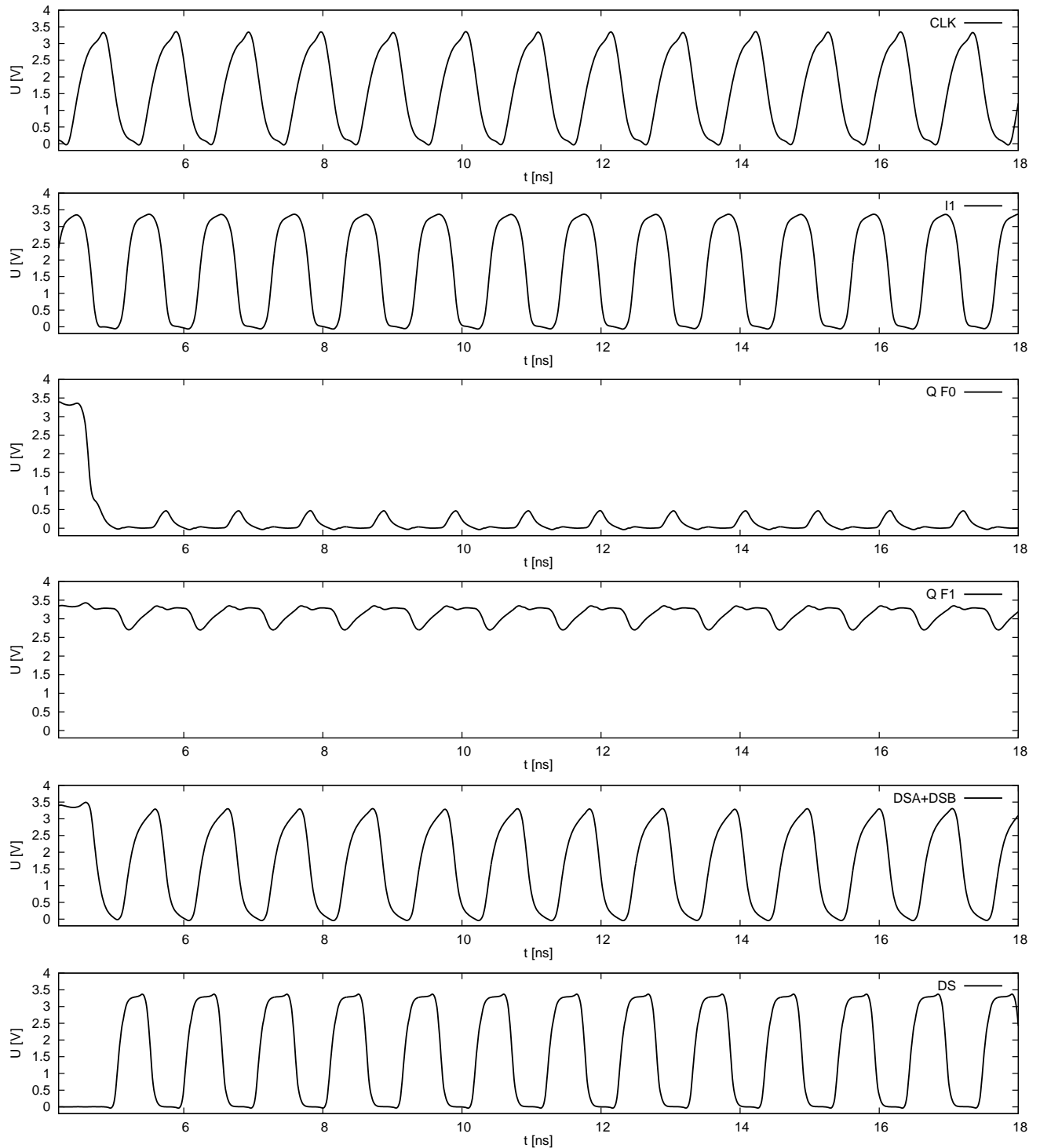
Tabela 3.24: Czasy trwania stanów i opóźnienia pomiędzy przebiegami sterującymi i danych bramek transmisyjnych na wyjściu "serializer'a" w symulacjach "post-layout".

Jak należało się spodziewać czasy propagacji sygnałów uległy zwiększeniu po narysowaniu masek technologicznych. Znacząco (niemal dwukrotnie) wzrosły czasy opóźnienia sygnału zegarowego przez układ TG2, I1. Wynika to z dużego obciążenia wyjścia inwertera pojemnościami pasożytniczymi połączeń z bramkami transmisyjnymi. Dzięki temu czasy opóźnienia układu TG2, I1 i przerzutnika stają się bardziej zbliżone niż w symulacjach schematu co poprawia stabilność pracy bramek wyjściowych.

W symulacjach "post-layout" przebieg na linii szeregowej DS charakteryzuje się znacznie większą symetrią czasów trwania stanów niskiego i wysokiego niż ma to miejsce w symulacjach schematu. W trybie "half-rate" różnica czasowa między stanem niskim a wysokim wynosi 13 ps, czyli 2,5% czasu trwania pojedynczego bitu. W przypadku trybu "single-rate" różnica ta jest równa 19 ps, co stanowi 1,8%. Tak niewielkie odchyłki od idealnego wypełnienia przebiegu danych są nieistotne z punktu widzenia pracy odbiornika.

czasy trwania stanów [ps]	960 MHz	
	"half-rate"	"single-rate"
DSA+DSB stan wysoki	542	1085
DSA+DSB stan niski	529	922
DS stan wysoki	516	1025
DS stan niski	519	1071

Tabela 3.25: Czasy trwania stanów niskiego i wysokiego na linii szeregowej DS przy danych typu "10101010" w symulacjach "post-layout".



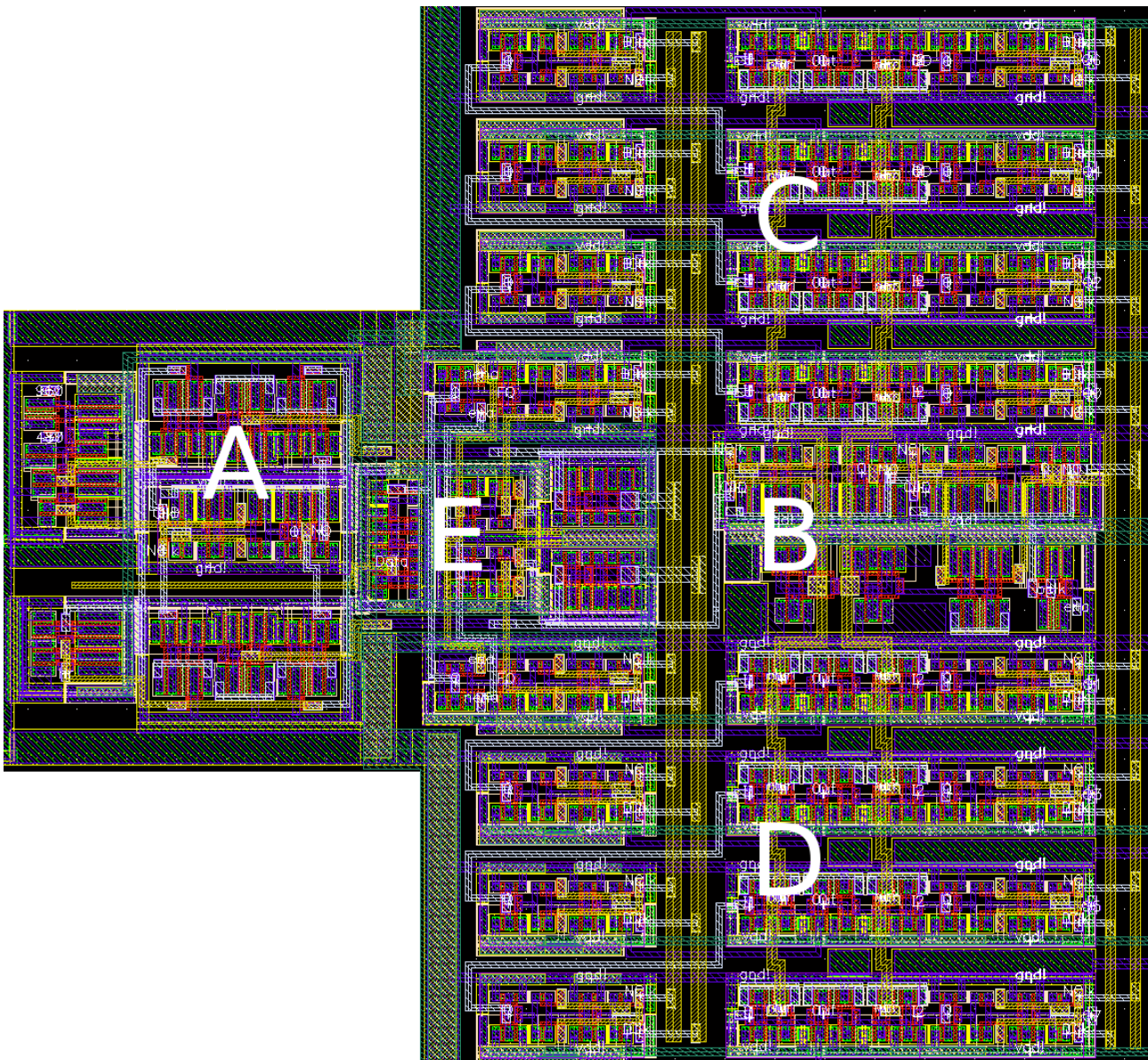
Rysunek 3.207: Praca bramek transmisyjnych na wyjściu układu "serializer'a" w trybie "half-rate" przy danych wejściowych "10101010" w symulacjach "post-layout".

Przebiegi czasowe dla najszybszego możliwego przebiegu danych "10101010" w trybie "half-rate" przedstawia rysunek 3.207, zaś czasy obrazujące wypełnienie przebiegu danych w tej symulacji zebrano w tabeli 3.25.

W tym przypadku różnica czasów trwania stanów niskiego i wysokiego wynosi w trybie

"half-rate" zaledwie 3 ps, zaś w trybie "single-rate" 46 ps. Stanowi to odpowiednio 0,6% i 4,4% czasu trwania pojedynczego bitu. Różnica dla trybu "single-rate" jest już znacząca, lecz wciąż na tyle mała że nie zaburza pracy odbiornika danych. Uznano jednak że istotniejsza będzie optymalizacja czasów dla trybu "half-rate", stąd przyjęto różnicę 46 ps będącą kosztem uzyskania niemal idealnego wypełnienia przebiegu "half-rate". W symulacjach "post-layout" widać wpływ wymiarowania końcowych inwerterów I3-5 na czasy trwania stanów niskiego i wysokiego. Na linii DSA+DSB, szczególnie w trybie "single-rate" widoczne są duże rozbieżności czasowe, są one jednak niwelowane przez dobór odpowiednich stosunków szerokości kanałów tranzystorów PMOS i NMOS w wyjściowych inwerterach.

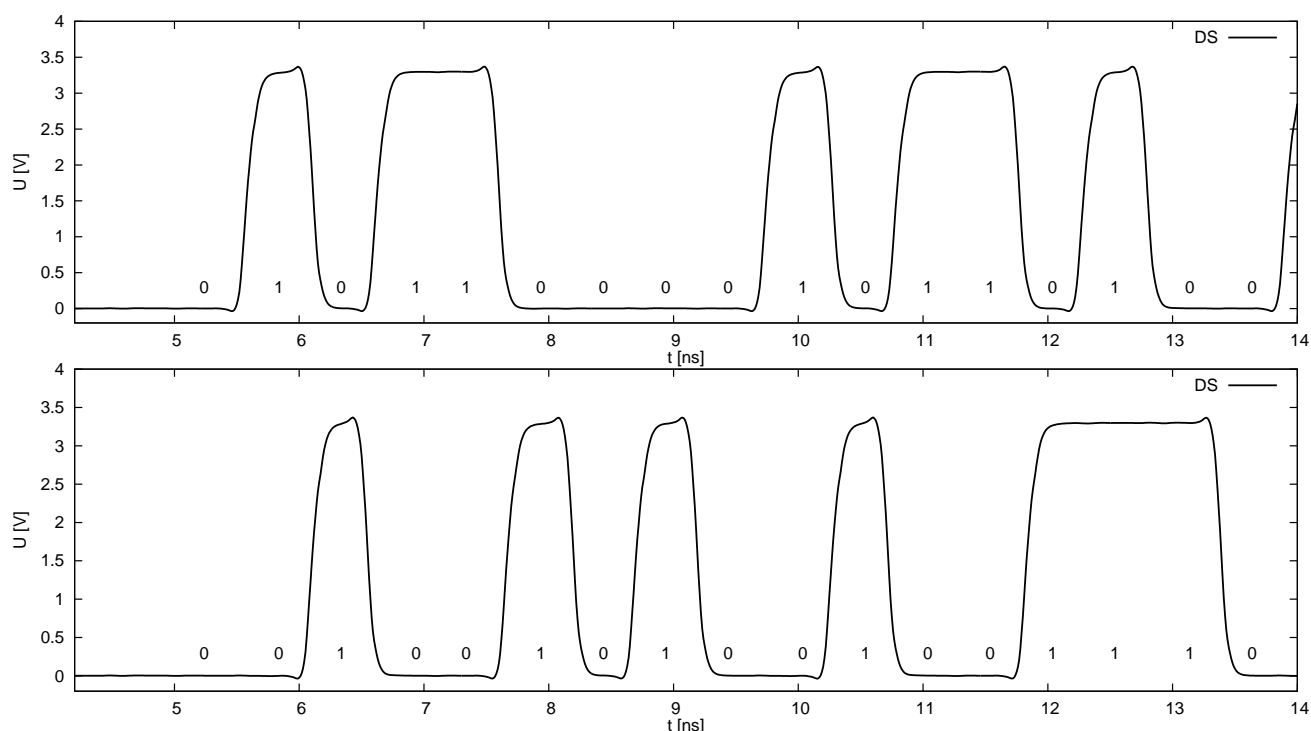
3.12.3 Maski technologiczne "serializer'a"



Rysunek 3.208: Maski technologiczne "serializer'a" ($117 \times 107 \mu\text{m}^2$).

Rysunek 3.208 przedstawia maski technologiczne całego bloku "serializer'a". Literą A oznaczono pierwszą część dzielnika częstotliwości przygotowującą odpowiedni przebieg zegarowy w zależności od trybu pracy. Druga część dzielnika została oznaczona literą B. Dwa 4-bitowe rejestry oznaczono literami C i D. Górny rejestr przyjmuje parzyste bity danych zaś dolny nieparzyste. Literą E oznaczony został układ sterowania wyjściowymi bramkami transmisyjnymi. Choć na pierwszy rzut oka wydaje się że poszczególne bloki "serializer'a" są rozrzucone na maskach technologicznych, to jednak takie ich rozmieszczenie było jak najbardziej celowe. Główny blok dzielnika B dostarczający sygnały zegarowe CLK i CLKD (oraz ich negacje) jest położony pomiędzy rejestrami C i D, co zapewnia maksymalne możliwe skrócenie połączeń zegarowych. Podobnie umieszczono blok E zapewniając krótkie połączenia linii sterujących pracą bramek wyjściowych rejestru. Oddalenie wstępnej części dzielnika A od głównej B nie ma znaczenia z punktu widzenia pojemności połączeń pomiędzy nimi, zaś takie położenie bloku A umożliwiło dopasowanie masek technologicznych "serializer'a" do pozostałych części układu nadajnika.

W celu zobrazowania pracy nadajnika przeprowadzono dwie symulacje w trybie "half-rate" z przykładowymi wartościami danych wejściowych. W pierwszym przypadku podano naprzemiennie bajty "11100101" i "10100101", zaś w drugim "01011011" i "00011011". Przebiegi czasowe na linii szeregowej danych przedstawia rysunek 3.209.



Rysunek 3.209: Przykładowe przebiegi danych wyjściowych w trybie "half-rate" 960 MHz w symulacjach "post-layout".

Sygnały na prezentowanej linii DS stanowią negację rzeczywistych danych szeregowych. Bity z danego bajtu są przesyłane w kolejności *LSB* \rightarrow *MSB*. Stąd pierwszym danym "11100101" i

"10100101" odpowiadać powinien rzeczywisty ciąg bitów "10100111 10100101", zaś po negacji "01011000 01011010". W drugim przypadku rzeczywiste dane powinny być postaci "11011010 11011000", po negacji "00100101 00100111". W obu przypadkach takie właśnie ciągi bitów otrzymuje się na linii DS co obrazuje poprawną pracę układu w najbardziej krytycznym trybie "half-rate" 960 MHz. Ponieważ linia początkowo jest w stanie niskim to początkowe zera w obu ciągach nie są widoczne. Zaznaczono je jednak na wykresie wiedząc, że transmisja danych zaczyna się w okolicy 5 ns.

Pierwszy zestaw bajtów			Drugi zestaw bajtów		
Wartości bitów DS	Czas trwania [ps]	Wartość teoretyczna [ps]	Wartości bitów DS	Czas trwania [ps]	Wartość teoretyczna [ps]
0	519	521	00	1026	1042
1	523	521	1	511	521
0	518	521	00	1024	1042
11	1019	1042	1	524	521
0000	2051	2084	0	511	521
1	521	521	1	509	521
0	521	521	00	1079	1042
11	1024	1042	1	509	521
0	516	521	00	1018	1042
1	517	521	111	1553	1563
00	1018	1042	-	-	-

Tabela 3.26: Czasy trwania stanów niskiego i wysokiego na linii szeregowej DS dla przykładowych danych w trybie "half-rate" 960 MHz w symulacjach "post-layout".

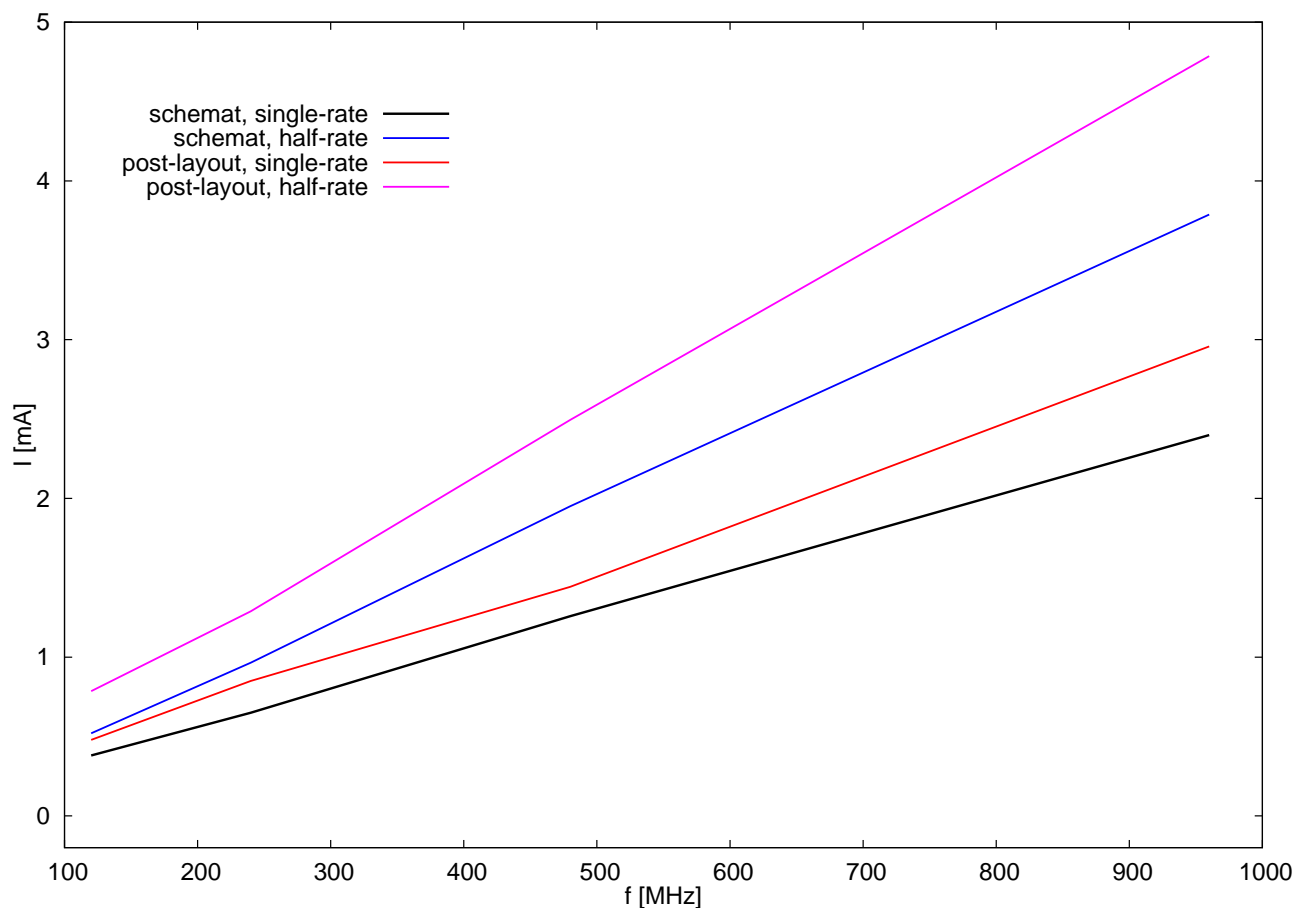
Tryb pracy	Symulacje	
	schemat	"post-layout"
120 MHz, "single-rate"	0,38	0,48
120 MHz, "half-rate"	0,52	0,79
240 MHz, "single-rate"	0,65	0,85
240 MHz, "half-rate"	0,97	1,29
480 MHz, "single-rate"	1,26	1,44
480 MHz, "half-rate"	1,95	2,49
960 MHz, "single-rate"	2,39	2,96
960 MHz, "half-rate"	3,78	4,79

Tabela 3.27: Średni pobór prądu w [mA] przez blok "serializer'a".

W tabeli 3.26 zebrano czasy trwania poszczególnych stanów na linii szeregowej w zestawieniu z wartościami teoretycznymi. Czasy początkowych nierozróżnialnych stanów niskich zmie-

rzo w kolejnym cyklu danych wejściowych. Jak widać z tabeli 3.26 czasy trwania poszczególnych bitów różnią się nieznacznie między sobą i wartościami teoretycznymi. Są to jednak na tyle małe odchyłki że nie mają one istotnego wpływu na pracę układu odbiornika.

Tabela 3.27 przedstawia globalny pobór prądu w [mA] przez blok "serializer'a" we wszystkich trybach pracy. W szczególności w symulacjach "post-layout", tryby "half-rate" i "single-rate" sąsiednich częstotliwości (np. 120 MHz i 240 MHz) wykazują mniejszą różnicę w poborze prądu niż dwa tryby dla tej samej częstotliwości, co wynika z zasady działania "serializer'a". Rejestry danych w takim przypadku pracują bowiem z taką samą częstotliwością, zaś jedynie wstępny blok dzielnika działa na różnych częstotliwościach referencyjnych przez co pobór prądu w szybszym trybie jest nieco większy. Rysunek 3.210 przedstawia średni pobór prądu "serializer'a" w obu trybach ("single-" i "half-rate") w funkcji częstotliwości. Jak widać prądy skalują się prawie liniowo ze wzrostem częstotliwości, podobnie jak miało to miejsce w bloku "deserializer'a" (rys. 3.186). W tym przypadku jednak tryb "half-rate" w symulacjach schematowych od najniższych częstotliwości wykazuje większy pobór prądu niż tryb "single-rate" w symulacjach "post-layout". Wynika stąd, że istotniejszy dla poboru prądu jest dwukrotny wzrost częstotliwości pracy rejestrów występujący pomiędzy trybami niż wpływ pojemności pasożytniczych połączeń w pojedynczym trybie.



Rysunek 3.210: Średni pobór prądu przez blok "serializer'a" w funkcji częstotliwości.

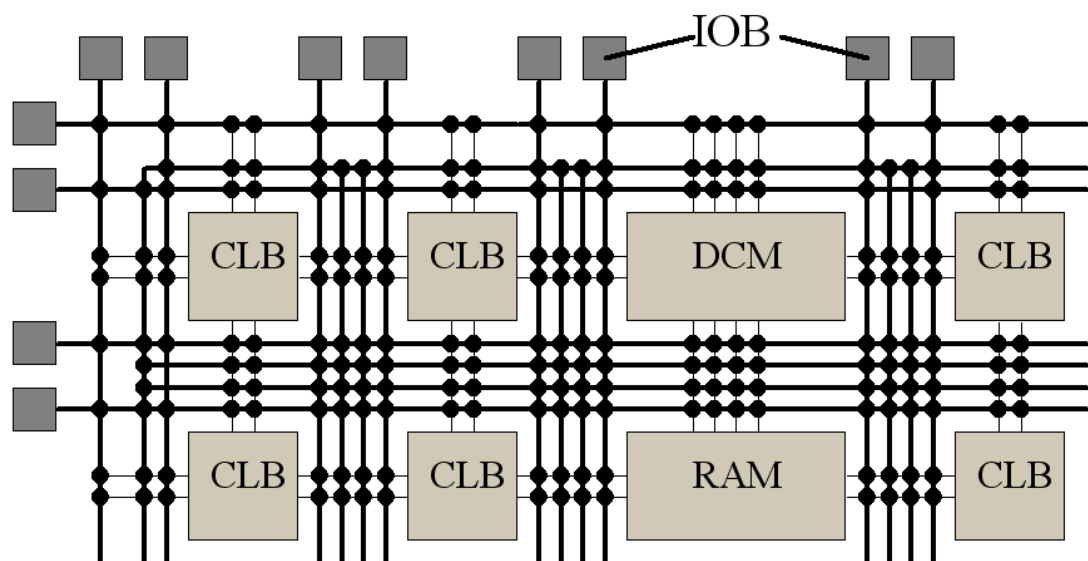
Rozdział 4

Przygotowanie systemu pomiarowego i akwizycji danych

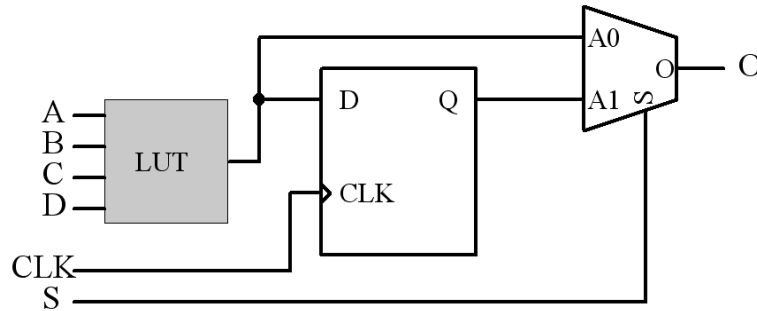
4.1 Szybka logika testowa na układzie FPGA

4.1.1 Układy FPGA

Układy FPGA (ang. "Field Programmable Gate Array" - programowalna matryca bramek logicznych) umożliwiają realizację niemal dowolnych funkcji logicznych bez potrzeby tworzenia specjalizowanego ASIC'u. Ze względu na uniwersalność pracują przy niższych częstotliwościach niż dedykowane układy scalone, ale zapewniają równocześnie nieporównywalnie krótszy czas wykonania projektu. Ponadto, dzięki możliwości wielokrotnego programowania pozwalają na łatwą i szybką zmianę konfiguracji projektu (co w przypadku ASIC'ów nie jest możliwe).



Rysunek 4.1: Przykładowa architektura układu FPGA.



Rysunek 4.2: Przykładowa budowa programowalnej celi logicznej CLB.

Przykładowa architektura układu FPGA została przedstawiona na rysunku 4.1. Układ taki składa się z rozmieszczonych regularnie konfigurowalnych cel logicznych (CLB, ang. "Configurable Logic Block") wraz z pomocniczymi specjalizowanymi blokami, takimi jak układ zarządzania zegarem (DCM, ang. "Digital Clock Manager"), pamięci RAM i inne. Poszczególne bloki i cele są łączone poprzez magistrale sygnałowe, których konfigurację połączeń można w dowolny sposób zmieniać. Komunikację z zewnętrznymi urządzeniami zapewniają bufory wejścia/wyjścia (IOB, ang. "Input/Output Buffer"). W rzeczywistości architektura współczesnych układów FPGA jest zdecydowanie bardziej skomplikowana, jednak niniejszy rozdział ma na celu przybliżenie jedynie podstawowych pojęć, jako że układy FPGA nie były głównym tematem pracy.

Pojedyncza cewa CLB (przedstawiona na rys. 4.2) zawiera zazwyczaj kilkuwejściową tablicę wartości funkcji (LUT, "Look-up Table"), przerzutnik typu D i wyjściowy multipleksjer. Tablica wartości funkcji stanowi de facto szesnastobitową pamięć RAM adresowaną wejściami logicznymi A, B, C i D. W każdej komórce pamięci zapisywana jest wartość jaką powinno przyjąć wyjście w odpowiedzi na daną kombinację sygnałów wejściowych. Jest to więc sposób fizycznej reprezentacji tablic prawdy. Dzięki takiemu rozwiązaniu w łatwy sposób można zaprogramować w celi dowolną funkcję logiczną. Wzbogacenie celi o przerzutnik typu D umożliwia jej synchroniczną pracę z przebiegiem zegarowym. Realizacja bardziej skomplikowanych struktur polega na podziale ich pomiędzy pojedyncze cele, a następnie odpowiednim połączeniu bloków wewnątrz układu FPGA.

Na potrzeby systemu testowego użyto układu VFX30T-1FFT665 z rodziny Virtex-5 firmy Xilinx[12]. Układ ten, wykonany w technologii 65 nm, posiada 20 480 pojedynczych cel CLB, 306 kB wewnętrznej pamięci RAM i 360 programowalnych portów wejścia/wyjścia. Dwa układy CMT ("Clock Management Tile", każdy zawierający dwa układy DCM i jedną pętlę PLL) zapewniają generację wewnętrznych przebiegów zegarowych z gwarantowaną przez producenta maksymalną częstotliwością 550 MHz. Podczas testów, przy relatywnie prostym projekcie, udało się jednak uzyskać częstotliwość ponad 1 GHz.

Układ FPGA był umieszczony na płycie ewaluacyjnej Virtex-5 FXT Evaluation Kit fir-

my Avnet[13]. Na potrzeby projektu nie był wykorzystywany żaden z peryferyjnych układów umieszczonych na płycie, została ona natomiast wybrana do realizacji układu testowego ze względu na specjalizowane złącze do szybkiej komunikacji różnicowej w standardzie EXP[14] (QTE-060-XX-F-D-A firmy Samtec¹). Złącze to wykorzystano do połączenia z płytką bazową ASIC'u.

4.1.2 Środowisko projektowe i język Verilog

Do wykonania projektu i jego implementacji na układzie FPGA użyto środowiska ISE 11.5 firmy Xilinx². Jest to zestaw oprogramowania automatyzujący większość procesów związanych z programowaniem układów FPGA. Takie rozwiązanie umożliwia programowanie w języku wysokiego poziomu (np. Verilog), zaś pracę związaną ze wspomnianym rozdziałem funkcji logicznych między cele CLB i wykonaniem mapy połączeń przejmuje środowisko. Xilinx ISE oferuje znacznie więcej narzędzi niż opisany tu podstawowy proces implementacji projektu, jednak nie były one w niniejszej pracy wykorzystywane. Cała szybka logika testowa została stworzona za pomocą języka Verilog, czyli równoległego języka opisu układów cyfrowych.

Poniżej został przedstawiony przykładowy kod modułu 8-bitowego, kasowalnego licznika binarnego w języku Verilog. Kod można podzielić na dwa podstawowe bloki. W lewej kolumnie znajduje się blok opisujący wejścia (`input`) i wyjście (`output`) licznika. Blok w prawej kolumnie zawiera opis funkcjonalny modułu, określający dokładnie jego zachowanie w odpowiedzi na sygnały wejściowe (ustaw zero na wyjściu licznika na zboczu narastającym sygnału `rst`, lub zwiększ wartość licznika o jeden na zboczu narastającym `clk`).

```
1 module cnt8(
2     input clk,
3     input rst,
4     output reg [7:0] out
5 );
6
7
8     always @(posedge clk, posedge rst) begin
9         if (rst)
10            out <= 0;
11        else
12            out <= out + 1;
13    end
14 endmodule
```

4.1.3 Projekt szybkiej logiki testowej

Na potrzeby testów zaprojektowanego ASIC'a konieczna była budowa systemu zdolnego wygenerować pewną ilość określonych danych, przesłać je przez transceiver, a następnie sprawdzić zgodność odebranych danych z nadanymi. Ze względów praktycznych do generacji i analizy danych najlepiej nadaje się komputer wyposażony w odpowiedni program (rozdział 4.4), co pozwala na łatwe operowanie danymi i ich graficzną prezentację. Niestety ze względu na szybkość przesyłu danych przez ASIC (do 240 MBps), a także standard elektryczny transmisji (LVDS) nie było możliwe bezpośrednie połączenie transceiver'a z komputerem. Wymusiło to budowę

¹www.samtec.com/ftppub/pdf/QTE.pdf

²http://www.xilinx.com/support/documentation/dt_ise11-1.htm

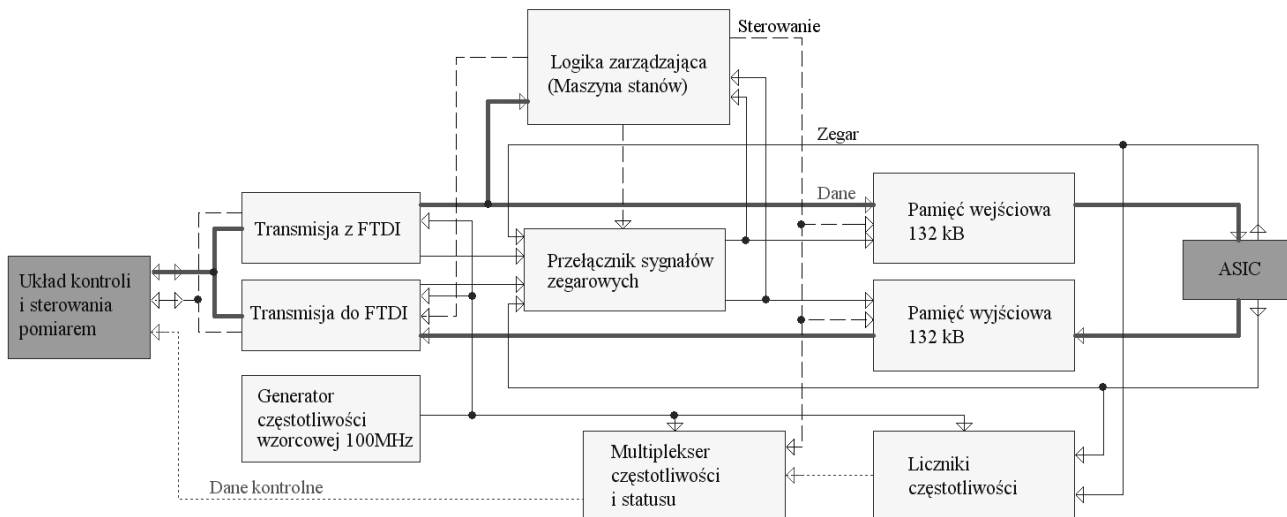
układu pośredniczącego, czyli szybkiej logiki testowej na układzie FPGA. Ponieważ szybkość transmisji ASIC'a jest nieosiągalna przez żaden używany powszechnie standard portów wejścia/wyjścia w komputerze, nie ma możliwości przesyłania danych w czasie rzeczywistym. Stąd działanie logiki testowej można podzielić na trzy etapy:

1. odbiór danych z komputera i gromadzenie ich w wejściowej pamięci RAM;
2. przesłanie do układu transceiver'a zawartości pamięci wejściowej i odbiór przetransmitowanych danych z zapisaniem do pamięci wyjściowej;
3. odesłanie odebranych danych do komputera.

Szybkość transmisji w etapach 1. i 3. może być dzięki takiemu rozwiązaniu niska i jest determinowana przez użyty w projekcie konwerter FTDI (rozdział 4.3.1). Z drugiej strony pamięć RAM zapewnia wystarczającą szybkość działania logiki testowej na etapie 2, gdy dane są z pełną prędkością przesyłane przez ASIC.

Ze względu na skończony rozmiar pamięci RAM w układzie FPGA, jednorazowo może zostać przesłane z komputera do 132 kB danych. Aby zwiększyć użyteczność układu testowego wprowadzono minimalistyczny protokół transmisji pomiędzy komputerem a logiką testową. Pierwsze trzy bajty danej ramki danych zawierają jej rozmiar, czyli ilość znajdujących się w niej bajtów. Dzięki temu logika nie czeka na zapełnienie pamięci RAM, ale po odebraniu z komputera zadeklarowanej ilości danych przechodzi do dalszych etapów transmisji. Umożliwia to szybkie testy na małej ilości bajtów.

4.1.3 a) Schemat blokowy



Rysunek 4.3: Schemat blokowy szybkiej logiki testowej.

Rysunek 4.3 przedstawia schemat blokowy szybkiej logiki testowej. Ciemnym kolorem wyróżniono zewnątrz układy transceiver'a oraz kontroli i sterowania pomiarem. Głównym blokiem jest zarządzająca pracą maszyna stanów skończonych. Decyduje ona o przejściu do kolejnego etapu transmisji na podstawie ilości odebranych danych. Dwa bloki odpowiadają za obsługę transmisji do i z komputera zgodnie ze standardem układów FTDI. Przełącznik sygnałów zegarowych odpowiada za taktowanie pamięci RAM odpowiednim przebiegiem, w zależności od etapu transmisji. Dodatkowymi blokami są liczniki podające przybliżoną częstotliwość zegarów ASIC'a i multiplexer umożliwiający przesłanie tych wartości wraz z aktualnym etapem transmisji do mikrokontrolera. Generator referencyjnej częstotliwości 100 MHz znajduje się na płycie ewaluacyjnej na zewnątrz układu FPGA, jednak został dla jasności przedstawiony na schemacie blokowym logiki testowej.

4.1.3 b) Maszyna stanów

Poniżej przedstawiono blok kodu zawierający opis funkcjonalny maszyny stanów. Selekcja aktualnego stanu, przechowywanego w rejestrze `state` dokonywana jest w bloku decyzyjnym `case`. W pierwszej fazie transmisji przełącznik sygnałów zegarowych łączy wejście `clk_r1` maszyny z zegarem generowanym po każdym odebranych bajcie przez układ transmisji z FTDI.

```

1  always @(posedge clk_r1) begin
2      (* PARALLEL_CASE, FULL_CASE *) case (state)
3      4'b0000 : begin
4          bytedec <= rx_data * 1024;
5          state <= 1;
6          st <= 1;
7      end
8      4'b0001 : begin
9          bytedec <= bytedec + (rx_data * 256);
10         state <= 2;
11     end
12     4'b0010 : begin
13         bytedec <= bytedec + rx_data;
14         r1_ena <= 1;
15         state <= 4;
16     end
17     4'b0100 : begin
18         if (r1_addr < bytedec - 1) begin
19             r1_addr <= r1_addr + 1;
20         end else begin
21             r1_addr <= 0;
22             sel <= 1;
23             st <= 2;
24             r1_ena <= 0;
25             state <= 5;
26         end
27     end
28     4'b0101 : begin
29         r2_ena <= 1;
30         state <= 6;
31     end
32     4'b0110 : begin
33         if (r1_addr < bytedec - 1) begin
34             r1_addr <= r1_addr + 1;
35         end else if (rec_ok == 1) begin
36             r1_addr <= 0;
37             r2_ena <= 0;
38             state <= 7;
39         end
40     end
41     4'b0111 : begin
42         if (r2_addr == 0) begin
43             state <= 8;
44         end
45     end
46     4'b1000 : begin
47         sel <= 2;
48         st <= 3;
49         ena_tx <= 1;
50         state <= 9;
51     end
52     4'b1001 : begin
53         if (rec_ok == 0) begin
54             sel <= 0;
55             bytedec <= 0;
56             ena_tx <= 0;
57             state <= 0;
58             st <= 0;
59         end else begin
60             ena_tx <= 1;
61         end
62     end
63 endcase
64 end

```

Jak wspomniano pierwsze trzy bajty zawierają rozmiar ramki (od MSB do LSB), stąd stany 0, 1 i 2 odpowiadają za wpisanie ich wartości do rejestru `bytedec` z odpowiednim mnożnikiem. Stan 3 został zarezerwowany na potrzeby ewentualnego dodatkowego bajtu kontrolnego. Równocześnie z zakończeniem stanu 2 wystawiany jest sygnał wysoki na linię `r1_ena` co zezwala pamięci wejściowej na zapis danych. Odbiór ramki następuje w stanie 4. Każdy odebrany bajt powoduje zwiększenie licznika `r1_addr` adresującego wejściową pamięć RAM aż do zadeklarowanego rozmiaru ramki.

Z chwilą zakończenia stanu 4 przełącznik sygnałów zegarowych doprowadza do wejść `clk_r1` i `clk_r2` maszyny stanów sygnały zegarowe generowane przez nadajnik i odbiornik ASIC'a. Drugi blok kodu maszyny obsługujący pamięć wyjściową przedstawiono poniżej.

```

1  always @(posedge clk_r2) begin
2    (* PARALLEL_CASE, FULL_CASE *) case (state)
3      4'b0000 : begin
4        rec_ok <= 0;
5      end
6      4'b0110 : begin
7        if (r2_addr < bytedec - 1) begin
8          r2_addr <= r2_addr + 1;
9          rec_ok <= 0;
10       end else begin
11         r2_addr <= bytedec;
12         rec_ok <= 1;
13       end
14     end
15     4'b0111 : begin
16       r2_addr <= 0;
17     end
18     4'b1001 : begin
19       if (r2_addr < bytedec-1) begin
20         r2_addr <= r2_addr + 1;
21         rec_ok <= 1;
22       end else begin
23         r2_addr <= 0;
24         rec_ok <= 0;
25       end
26     end
27   endcase
28 end

```

Ponieważ bajt na wyjściu pamięci RAM jest wystawiany tylko na zboczu narastającym zegara, więc samo skasowanie adresu `r1_addr` na końcu stanu 4 nie powoduje zmiany wyjścia pamięci i znajduje się na nim ostatni bajt odebranej ramki. Stąd potrzebny jest stan 5 w którym jeden cykl zegara ASIC'a wystawia z pamięci wejściowej bajt o adresie zero. Dopiero w stanie 6 rozpoczyna się równoczesne zwiększanie adresów `r1_addr` i `r2_addr` obu pamięci. Po opróżnieniu pamięci wejściowej (gdy `r1_addr` jest równy `bytedec`) główny blok maszyny oczekuje na odebranie całej zadeklarowanej ilości bajtów przez blok obsługujący pamięć wyjściową, co jest to sygnalizowane stanem wysokim `rec_ok`. Podobnie jak stan 5, stany 7 i 8 są wykorzystywane do wyzerowania adresów obu pamięci dodatkowymi cyklami zegara. Ponadto w stanie 8 maszyna informuje układ transmisji do FTDI o potrzebie przesłania danych (sygnałem `ena_tx`) oraz dołącza do obu wejść `clk_r1` i `clk_r2` sygnał zegarowy generowany przez ten układ.

W stanie 9 główną rolę przejmuje blok kontrolujący pamięć wyjściową. Jej adres `r2_addr` jest zwiększany aż do osiągnięcia zadeklarowanego rozmiaru ramki, co jest sygnalizowane zmianą stanu linii `rec_ok`. Oczekujący na ten sygnał główny blok zeruje wszystkie zmienne przechodząc do stanu 0 oczekiwania na początek nowej transmisji

Wyjście ze stanu podstawowego 0, czyli początek odbioru danych jest sygnalizowany odpowiednią wartością linii `st` multiplexerowi częstotliwości i statusu. Podobnie dzieje się przy przejściu do przekazywania danych przez ASIC (stany 5-7) oraz przy retransmisji danych do

komputera (stany 8, 9). Pozwala to układowi kontroli i sterowania pomiarem sygnalizować aktualny etap transmisji.

4.1.3 c) Blok kontroli transmisji z układu FTDI

Poniżej przedstawiono kod bloku odpowiedzialnego za odbiór danych z układu FTDI. Jest on wykonywany co każde zbocze narastające zegara referencyjnego 100 MHz *clki*. Jak opisano w rozdziale 4.3.1 stan wysoki na linii RXF układu, odpowiadającej sygnałowi *sel* w kodzie oznacza brak danych do odbioru. Wówczas, zgodnie z protokołem, linia *clko* odpowiadająca wejściu RD# układu FTDI jest utrzymywana w stanie wysokim, zaś zegar *clksm* generowany przez blok dla reszty logiki na poziomie niskim.

```

1  always @(posedge clki) begin
2    if(sel) begin
3      cnt <= 0;
4      clko <= 1;
5      clksm <= 0;
6    end else begin
7      if (cnt<2) begin
8        clko <= 0;
9        clksm <= 0;
10     end
11     if (cnt==50) begin
12       clksm <= 1;
13     end
14     if (cnt == 75) begin
15       clko <= 1;
16     end
17     if (cnt==100) begin
18       cnt <= 0;
19       clko <= 1;
20       clksm <= 0;
21     end else begin
22       cnt <= cnt + 1;
23     end
24   end
25 end

```

Przejście sygnału *sel* w stan niski oznacza oczekujące w buforze układu FTDI bajty. Sygnał *clko* opada powodując wystawienie na wyjścia układu pierwszego z oczekujących bajtów. Równocześnie zwiększana jest wartość licznika *cnt* odpowiedzialnego za podział zegara wzorcowego 100 MHz przez sto. W połowie okresu podziału (*cnt* równe 50) w stan wysoki przechodzi linia *clksm* generując tym samym zbocze narastające zapisujące bajt w pamięci RAM i taktujące maszynę stanów. W trzech czwartych okresu (*cnt* równe 75) w stan wysoki przechodzi sygnał *clko*, tak, by czas trwania wysokiego poziomu zegara na wejściu RD# układu FTDI był odpowiednio długi. Po osiągnięciu przez licznik *cnt* wartości 100 (co odpowiada częstotliwości 1 MHz) blok przechodzi do oczekiwania na kolejny bajt z układu FTDI.

4.1.3 d) Blok kontroli transmisji do układu FTDI

```

1  always @(posedge clki) begin
2    if(sel==0 && ena==1) begin
3      if (cnt<2) begin
4        clko <= 1;
5        clksm <= 0;
6      end
7      if (cnt==25) begin
8        clksm <= 1;
9      end
10     if (cnt == 75) begin
11       clko <= 0;
12     end
13
14     if (cnt==100) begin
15       cnt <= 0;
16       clko <= 0;
17       clksm <= 0;
18     end else begin
19       cnt <= cnt + 1;
20     end
21     if (cnt==75) begin
22       cnt <= 0;
23       clko <= 0;
24       clksm <= 0;
25     end
26   end

```

Działanie bloku kontroli transmisji do układu FTDI, którego kod przedstawiono powyżej, jest analogiczne do bloku odbierającego dane. W tym przypadku linia `sel` odpowiada sygnałowi `TXE#` układu FTDI. Stan niski na tej linii, w połączeniu z wystawianym przez maszynę stanów zezwoleniem na nadawanie (linia `ena` w stanie wysokim) uruchamia proces generacji sygnałów zegarowych. W tym przypadku fazy zegarów są odwrócone, tzn. najpierw wewnętrzny zegar logiki `clksm` przechodzi w stan wysoki generując zbocze wypisujące bajt z pamięci RAM, zaś następujące później przejście sygnału `clk` w stan niski powoduje zapisanie go w buforze układu FTDI (sygnał ten odpowiada wejściu `WR` układu).

4.1.3 e) Licznik częstotliwości i multiplexer statusu

Działanie licznika częstotliwości opiera się na zliczaniu zboczy narastających zegara generowanego przez ASIC. Blok zawiera też drugi licznik, który jest taktowany przebiegiem referencyjnym 100 MHz . Po osiągnięciu przez drugi licznik wartości $100\,000\,000$, co odpowiada upłygnięciu 1 s , ilość zliczonych zboczy zegara ASIC'u jednoznacznie reprezentuje jego częstotliwość. Zliczona wartość zostaje przepisana do rejestru wyjściowego i cały proces zaczyna się od początku. Kod bloku jest prosty i nie został przedstawiony. Dokładność pomiaru częstotliwości opiera się na stabilności zegara referencyjnego. Ponieważ jest on pobierany ze standardowego generatora kwarcowego, więc uzyskiwana wartość jest bardziej wskazaniem niż rzeczywistym pomiarem częstotliwości. Mimo wszystko stanowi pewną informację o działaniu ASIC'a.

Ze względu na problem przesłuchów między liniami zegarowymi na drodze do liczników częstotliwości, przebiegi generowane przez ASIC są wstępnie dzielone przerzutnikami umiejscowionymi blisko buforów wejściowych FPGA. Stąd wskazania bloków stanowią połowę rzeczywistej częstotliwości, zaś realna wartość jest odtwarzana w mikrokontrolerze przez mnożenie wyniku przez dwa.

```

1  always @(posedge sel) begin
2    (* PARALLEL_CASE, FULL_CASE *) case (state)
3      4'b0000 : begin
4        atmega[9:0] <= c1[9:0];
5        atmega[13:10] <= 4'b0000;
6        state <= 1;
7      end
8      4'b0001 : begin
9        atmega[9:0] <= c1[19:10];
10       atmega[13:10] <= 4'b0001;
11       state <= 2;
12     end
13     4'b0010 : begin
14       atmega[9:0] <= c1[29:20];
15       atmega[13:10] <= 4'b0010;
16       state <= 3;
17     end
18     4'b0011 : begin
19       atmega[9:0] <= c2[9:0];
20       atmega[13:10] <= 4'b0011;
21       state <= 4;
22     end
23     4'b0100 : begin
24       atmega[9:0] <= c2[19:10];
25       atmega[13:10] <= 4'b0100;
26       state <= 5;
27     end
28     4'b0101 : begin
29       atmega[9:0] <= c2[29:20];
30       atmega[13:10] <= 4'b0101;
31       state <= 6;
32     end
33     4'b0110 : begin
34       atmega[1:0] <= fsm_state[1:0];
35       atmega[9:2] <= 8'b00000000;
36       atmega[13:10] <= 4'b0110;
37       state <= 0;
38     end
39   endcase
40 end

```

Działanie bloku multipleksera częstotliwości i statusu, którego kod przedstawiono powyżej, opiera się na przedstawionej już idei maszyny stanów. Wejściami bloku są dwie 30-bitowe magistrale `c1[29:0]` i `c2[29:0]` będące wyjściami liczników częstotliwości, oraz dwubitowa `fsm_state[1:0]` przynosząca informację o stanie transmisji z maszyny stanów. Komunikacja z mikrokontrolerem odbywa się za pomocą 14-bitowej magistrali `atmega[13:0]` podzielonej na 4-bitowy numer ramki `atmega[13:10]` i 10-bitową zawartość `atmega[9:0]`. Stąd do przesłania wszystkich danych potrzeba siedmiu stanów maszyny, po trzy na każdy licznik oraz jeden dla statusu transmisji. W każdym stanie przesyłany jest adres ramki oraz odpowiedni fragment rejestrów liczników, bądź dwubitowy status dopełniony do 10 bitów ramki zerami. Przełączanie pomiędzy stanami odbywa się za pomocą zegara `sel` o częstotliwości 10 Hz tworzonego przez dzielnik z przebiegu referencyjnego 100 MHz .

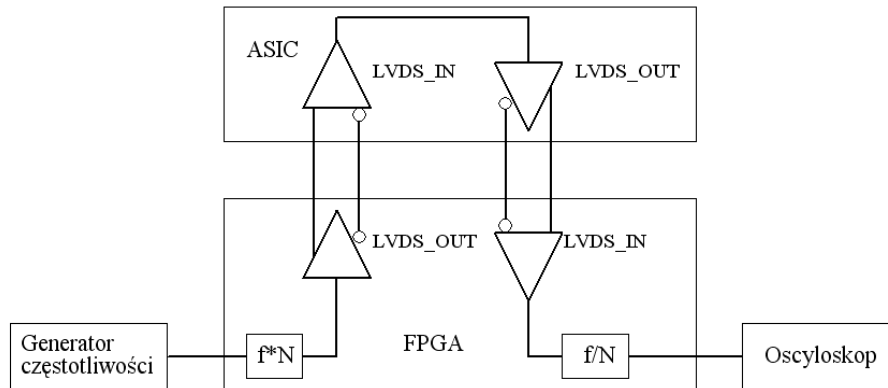
4.1.3 f) Bufory wejścia i wyjścia

Wymiana danych z układem FTDI przebiega poprzez 8-bitową dwukierunkową magistralę. Z tego względu w układzie FPGA użyte zostały przełączane bufony wejścia/wyjścia. Każdy z nich składa się z dwóch równoległych buforów: wejściowego, odbierającego dane z portu FPGA w trybie ciągłym oraz trójstanowego wyjściowego. W zależności od sygnału sterującego, taki bufor wystawia dane na port FPGA lub ustawia swoje wyjście w stan wysokiej impedancji, pozwalając na sterowanie stanem portu przez zewnętrzne urządzenie. Przełączania kierunku transmisji dokonuje maszyna stanów tym samym sygnałem, który powiadamia blok kontroli transmisji do FTDI o konieczności przesłania danych. Do komunikacji z transceiver'em użyto specjalnych buforów do transmisji różnicowej LVDS. Wykorzystano osiem buforów wyjściowych dla transmisji danych do ASCII'a oraz dziesięć do odbioru danych i sygnałów zegarowych. Porty FPGA stowarzyszone z buforami (po dwa na każdy, zgodnie ze standardem transmisji różnicowej) zostały wyprowadzone przez producenta płytki ewaluacyjnej na specjalistyczne złącze EXP, co było głównym powodem jej wyboru na platformę testową ASIC'a.

4.1.3 g) Testy systemu

Wstępnym testem systemu było sprawdzenie poprawności transmisji różnicowej pomiędzy buforami LVDS układu FPGA i wersji zaprojektowanej w Zespole Elektroniki Jądrowej i Detekcji Promieniowania. W tym celu wykorzystano wykonany wcześniej ASIC zawierający m.in. parę buforów LVDS (wejściowy i wyjściowy) połączoną wewnątrz ASIC'a. W układzie FPGA generowana była częstotliwość stanowiąca multiplikację przebiegu wzorcowego podawanego z generatora. Zegar ten nadawano następnie do ASIC'a i odbierano ponownie w układzie FPGA (schemat na rysunku 4.4). Odebrany przebieg był dzielony i przesyłany do oscyloskopu, gdzie mierzono częstotliwość i sprawdzano, czy zgadza się z nadawaną. Testy udało się przeprowadzić

do częstotliwości 1096 MHz, dalej zaś wystąpiły trudności z generacją przebiegu w układzie FPGA. Niemniej do tej granicy otrzymywano poprawny sygnał, co w zupełności było wystarczające na potrzeby testów (maksymalna częstotliwość 240 MHz).

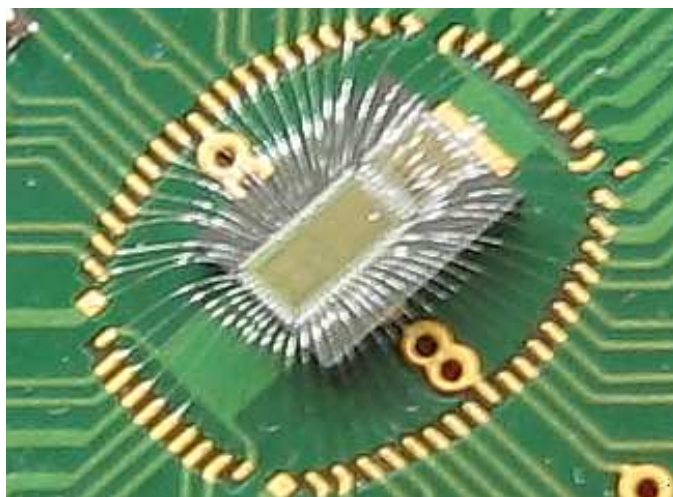


Rysunek 4.4: Schemat stanowiska do wstępnych testów.

Testy gotowego układu szybkiej logiki wykonano spinając bezpośrednio (bez udziału transceiver'a) wejścia i wyjścia danych z układu FPGA, a wcześniej łącząc bezpośrednio pamięci RAM w układzie. Przebiegi zegarowe ASIC'a symulowano z zewnętrznego generatora poprzez konwerter do standardu LVDS. Ponieważ graniczna częstotliwość konwertera była niska (dziesiątki MHz) wykonano też testy z szybszym sygnałem zegarowym (250 MHz) generowanym wewnątrz układu FPGA. Stwierdzono, że w takiej konfiguracji układu testowego wysłana z komputera ramka danych jest zawsze poprawnie transmitowana.

4.2 Płytki bazowa do pomiarów ASIC'a

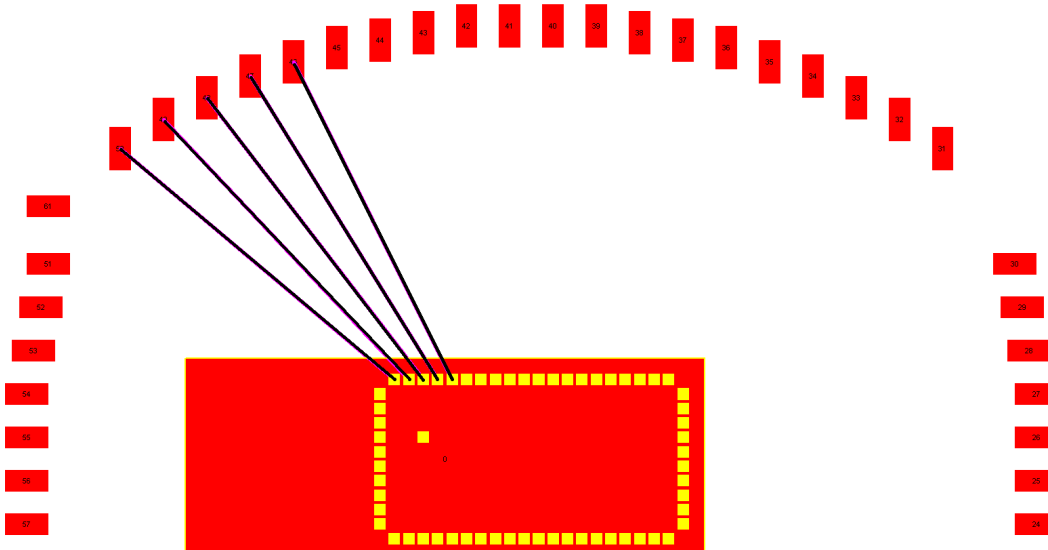
Projektowany ASIC (Application Specific Integrated Circuit) ma działać na dużych częstotliwościach, dochodzących wewnątrz jego struktury do 1 GHz . Na zewnątrz ASIC'a dostępne są sygnały o podzielonej częstotliwości rzędu 240 MHz . Tak duża częstotliwość eliminuje możliwość działania układu, gdyby został on wmontowany w klasyczną, używaną w przemyśle obudowę z metalowymi wyprowadzeniami. Pojemności wyprowadzeń w takiej sytuacji byłyby zbyt duże, nie wspominając o pasożytniczej indukcyjności linii zasilania i braku dopasowania długości połączeń. Dlatego w praktyce zaprojektowany ASIC został przyklejony (za pomocą kleju przewodzącego) bezpośrednio do dedykowanej dla niego płytki bazowej i połączony z nią elektrycznie za pomocą operacji bondowania. Wygląd gotowego do testów ASIC'a przedstawia fotografia 4.5. Sama płytka bazowa jest czterowarstwowa i została wykonana przez firmę Ha-



Rysunek 4.5: Zaprojektowany ASIC na swojej płytce bazowej

tron³, na podstawie przygotowanego wcześniej projektu. Technologia użyta przy wykonywaniu obwodów drukowanych pozwala wykonać minimalne ścieżki o szerokości $150\ \mu\text{m}$, z odstępem między nimi również $150\ \mu\text{m}$. Daje to kolejne wyprowadzenia na płytce w odległości (pitch'u) $300\ \mu\text{m}$, co stanowi problem, gdyż wyprowadzenia zaprojektowanego ASIC'a rozmieszczone są co $100\ \mu\text{m}$. Wymagane jest zatem zrobienie konstrukcji, która widoczna jest na rysunku 4.6. Przedstawia on fragment ułożenia padów kontaktowych na płytce w stosunku do wyprowadzeń ASIC'a, a także pokazuje przykładowe połączenia jakie muszą zostać wykonane między ASIC'em a płytką. Wyprowadzenia na płytce muszą być rozmieszczone naturalnie szerzej, aby spełnić reguły projektowe, a zatem ułożone są one po łuku, co jednocześnie zapewnia jednakowe długości połączeń dla każdego wyprowadzenia z chipu. Ważne są tutaj także długości bondów, gdyż ich indukcyjność w przypadku połączeń zasilania i masy wpływa w znacznym stopniu na stabilność napięcia zasilania.

³<http://www.hatron.com.pl/>

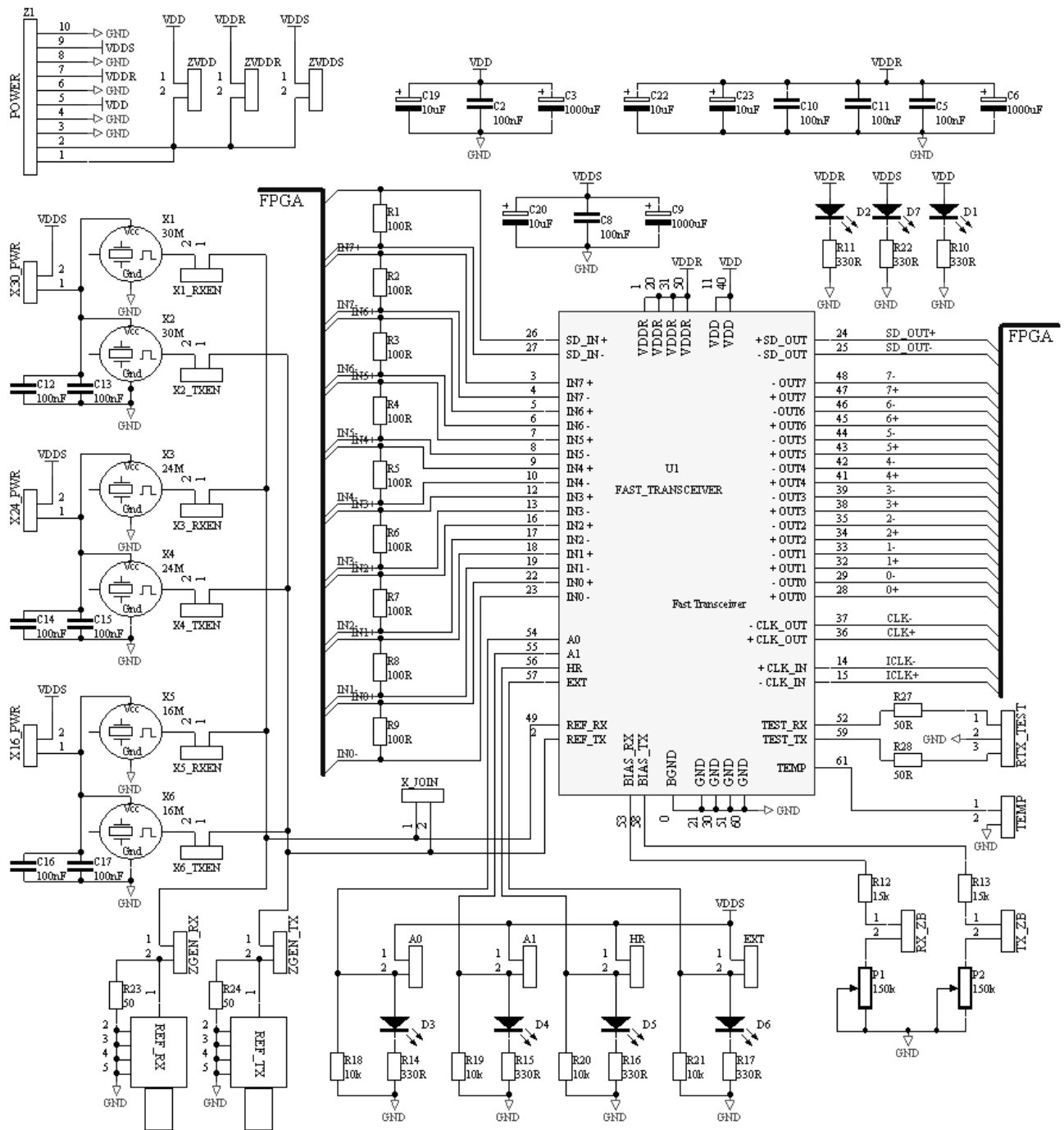


Rysunek 4.6: Fragment rozmieszczenia padów kontaktowych na płytce. Kolor czerwony oznacza pady na płytce, natomiast kolorem żółtym zaznaczone zostały pady kontaktowe ASIC'a. Czarne linie to przykład połączeń (bondów) jakie muszą zostać wykonane

4.2.1 Schemat płytki bazowej

Płytką bazową oprócz zaprojektowanego ASIC'a zawiera także dodatkowe elementy potrzebne do jego poprawnej pracy. Schemat ideowy płytki bazowej przedstawiony jest na rysunku 4.7. Wielostykowe złącze umożliwiające komunikację płytki bazowej z układem szybkiej logiki testowej zostało pominięte ze względu na miejsce na schemacie. Najważniejsze dla działania ASIC'a, a w zasadzie konieczne do poprawnej transmisji danych do niego, są rezystory R1-R9. Służą one jako rezystory terminujące odbiorników LVDS⁴. Bez rezystorów terminujących nie jest możliwy odbiór danych testowych z układu FPGA. Wszystkie sygnały danych oraz przebiegi zegarowe podłączone są do specjalnego 120-pinowego złącza, które zbudowane jest w standardzie umożliwiającym szybką komunikację różnicową między dwoma wspomnianymi płytkami. Zworki A0, A1, HR i EXT pozwalają ustawić odpowiedni tryb pracy ASIC'a. Diody D3-D6 stanowią kontrolki, ustawianych zworkami poziomów logicznych. Rezystory R14-R17 ograniczają prąd diod, natomiast R18-R21 zapewniają niski poziom logiczny w momencie rozwarcia zworki. W praktyce zamiast zworek tryby pracy przełączane są w sposób automatyczny za pośrednictwem układu kontroli i sterowania pomiarem, którego opis zamieszczony jest w podrozdziale 4.3. Projektowany ASIC do poprawnej pracy wymaga podania dwóch częstotliwości referencyjnych (osobno dla nadajnika i odbiornika). Na płytce rozwiązują ten problem generatory kwarcowe X1-X6. Pracują one z częstotliwościami 30 MHz, 24 MHz i 16 MHz, pozwalając zmieniać warunki pracy pętli fazowych zarówno w odbiorniku jak i nadajniku zaprojektowanego ASIC'a. Często-

⁴działanie układów LVDS, które stanowią w zaprojektowanym ASIC'u standard przesyłania sygnałów zegarowych i danych, zostało opisane w podrozdziale 2.7



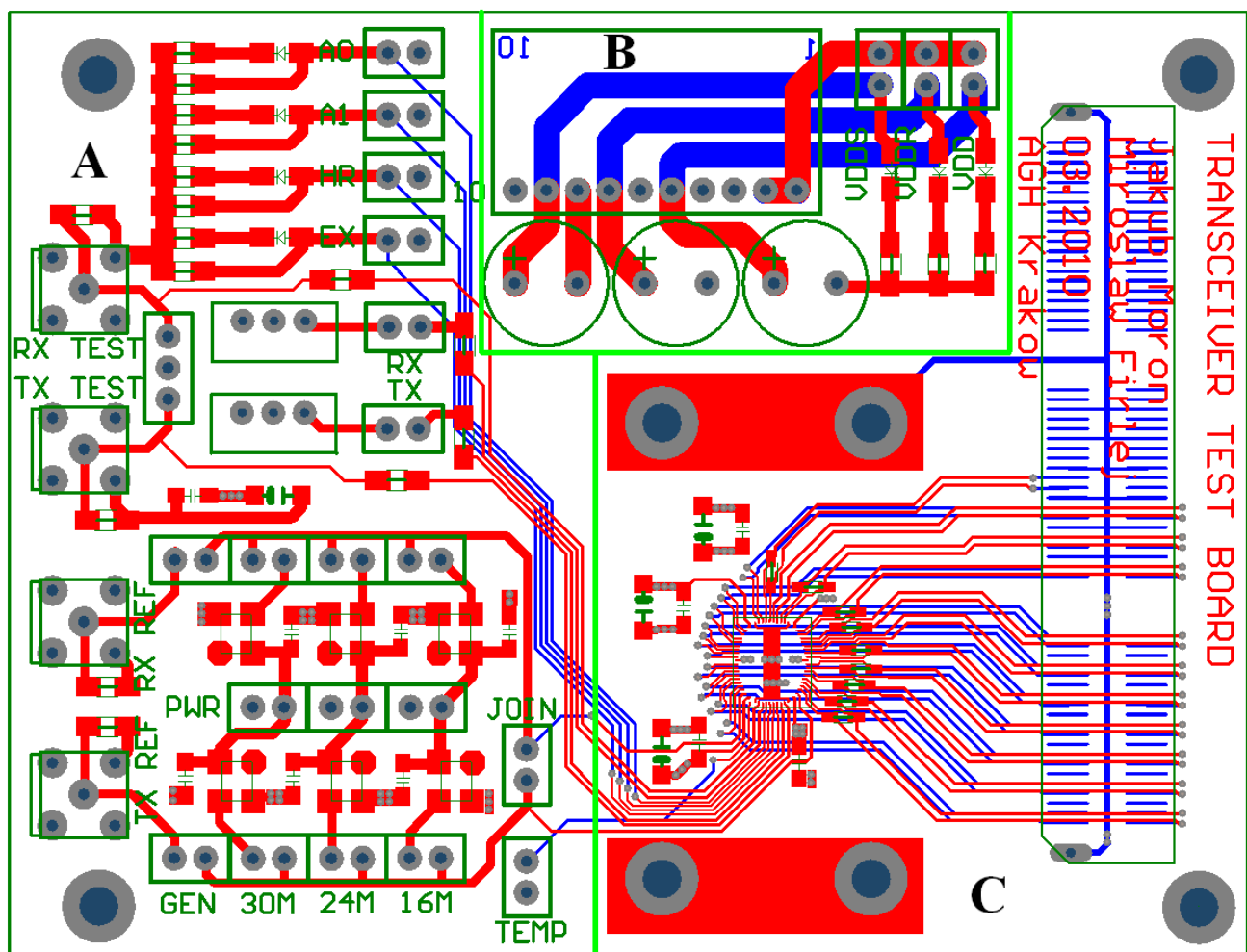
Rysunek 4.7: Uproszczony schemat ideowy płytki bazowej dla zaprojektowanego ASIC'a. Na schemacie połączenia oznaczone FPGA trafiają na specjalne złącze, umożliwiające komunikację z szybką logiką testową

tliwością nominalną jest tutaj 30 MHz. Kondensatory C12-C17 filtrują zasilanie generatorów kwarcowych. Sieć zworek umożliwia włączenie zasilania (X30_PWR, X24_PWR, X16_PWR) do każdej z par generatorów osobno, umożliwia także dołączenie ich wyjść do odpowiedniego wyprowadzenia w ASIC'u, oraz zwarcie obu linii przebiegu referencyjnego razem (X_JOIN). Połączenie przebiegów referencyjnych daje możliwość sprawdzenia różnic w synchronizacji obu pętli fazowych wchodzących w skład ASIC'a. Dodatkowo oprócz generatorów kwarcowych o

ściśle ustalonej częstotliwości, na płycie znajdują się dwa złącza BNC (REF_RX, REF_TX), umożliwiające w łatwy sposób podłączyć przestrajany generator fali prostokątnej. Rezystory R23 i R24 pozwalają dopasować wejście do impedancji kabla koncentrycznego, natomiast rezystory R12, R13 i potencjometry P1, P2 pozwalają dostroić prądy polaryzujące oscylatory VCO w pętach fazowych zaprojektowanego ASIC'a. Rezystory R27 i R28 zabezpieczają wyjście częstotliwości testowej przed przypadkowym zwarcie. Przebieg testowy dostępny jest na złączu RTX_TEST.

4.2.2 Projekt ścieżek na płycie bazowej

Zaprojektowany ASIC podczas normalnej pracy może generować przebiegi sygnałów o częstotliwościach dochodzących do 240 MHz (960 MHz w zewnętrznym połączeniu szeregowym). Nakłada to duże wymaganie nie tylko na ułożenie kontaktów wokół chipu ale także na prowadzenie ścieżek, rozmieszczenie pojemności filtrujących i standardy złącz użytych do komunikacji



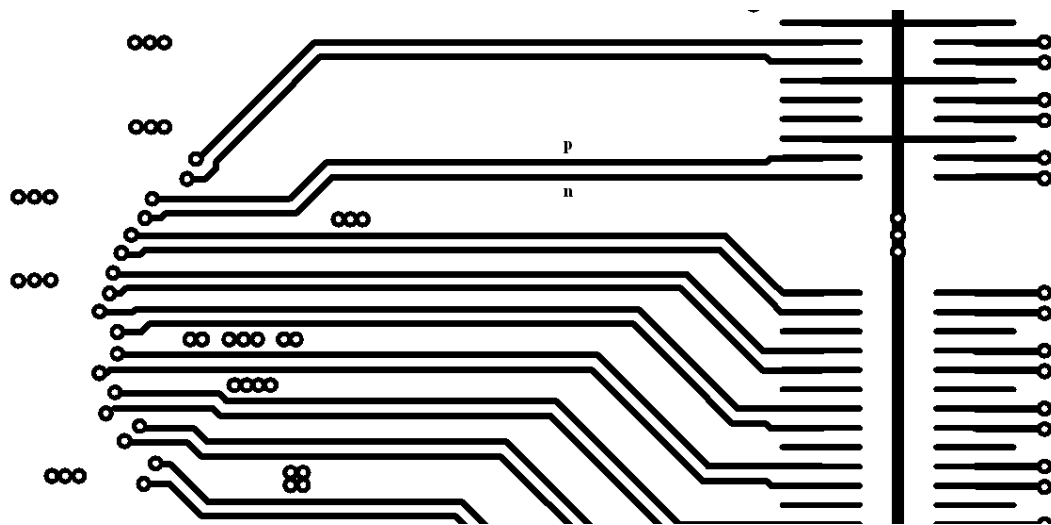
Rysunek 4.8: Wygląd ścieżek płytki bazowej. Zielone linie wprowadzają umowny podział płytki na 3 fragmenty: A - referencje i sterowanie, B - zasilanie, C - połączenie sygnałowe wysokiej częstotliwości

z układami zewnętrznymi. Na rysunku 4.8 widać projekt połączeń drukowanych na płytce bazowej ASIC'a. Kolorem czerwonym oznaczone są ścieżki znajdujące się na górnej powierzchni płytki (top), natomiast niebieskim położone od spodu płytki (bottom). Płytki zawiera jeszcze dwie warstwy, które nie są pokazane na omawianym rysunku. Zawierają one połączenia zasilania i obwody masy dla całego układu. Płytki jest umownie podzielona na trzy fragmenty, z których pierwszy (A) zawiera wszystkie podzespoły pracujące na niskich częstotliwościach, ustalające prądy polaryzujące oraz pracujące na stałych poziomach logicznych. W skład bloku B, zajmującego się zasilaniem można zaliczyć złącze zasilające, duże kondensatory filtrujące oraz zworki do włączania napięć, wraz z kontrolkami zasilania. Fragment oznaczony jako C stanowi najważniejszą i najbardziej krytyczną część całej płytki bazowej, gdyż zawiera wysokoczęstotliwościowe połączenia między buforami LVDS w zaprojektowanym ASIC'u a złączem umożliwiającym komunikację z szybką logiką w układzie FPGA. Na rysunku 4.9 widać złącze QSE-120, które wykorzystywane jest do komunikacji z układem FPGA. Każda para różnicowa



Rysunek 4.9: Standard złącza do komunikacji płytki bazowej z szybką logiką testową

jest oddzielona potencjałem masy lub zasilania, co zmniejsza wpływ zakłóceń między parami. Styki pokryte są warstwą złota, w celu zapewnienia najlepszego kontaktu elektrycznego z wtykiem. Zastosowanie takiego gniazda na płytce bazowej umożliwia zrealizowanie transmisji z wymaganą prędkością, wykorzystując do tego celu bufor LVDS. Na rysunku 4.10 został



Rysunek 4.10: Prowadzenie ścieżek różnicowych. Symbolami p i n zostały oznaczone dwie ścieżki z jednej pary różnicowej

przedstawiony fragment połączeń pracujących na wysokich częstotliwościach. Takie same ścieżki prowadzone są na drugiej warstwie płytki. Przy transmisji sygnałów na wysokich częstotliwościach, nawet niewielki kawałek przewodu, czy ścieżki staje się już linią transmisyjną. Dlatego bardzo ważne jest zapewnienie odpowiedniej impedancji falowej pary różnicowej, zarówno impedancji własnej pojedynczej ścieżki, jak i impedancji różnicowej między ścieżkami w parze. Zaprojektowany ASIC posiada na wyjściu bufory LVDS z rezystancją terminującą 100Ω , co wymaga dopasowania impedancji własnej pojedynczej ścieżki do wartości 50Ω oraz impedancji różnicowej między ścieżkami do wartości 100Ω . Oba te parametry można wyliczyć w oparciu o znajomość szerokości ścieżek, grubości laminatu, przenikalności dielektrycznej laminatu i kilku innych parametrów. Impedancja własna i różnicowa wyrażają się następującymi półempirycznymi wzorami⁵:

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \cdot \ln \left(\frac{5.98 \cdot H}{0.8 \cdot W + T} \right) \quad (4.1)$$

$$Z_{diff} = 2 \cdot Z_0 \left(1 - 0.48 \cdot e^{-0.96 \frac{S}{H}} \right) \quad (4.2)$$

gdzie: Z_0 , Z_{diff} - impedancja własna i różnicowa

ϵ_r - przenikalność dielektryczna laminatu (dla laminatu FR4 $\epsilon_r = 4.6$)

H - grubość laminatu (w tym przypadku $H = 0.2 \text{ mm}$)

T - grubość miedzi (w tym przypadku $T = 35 \mu\text{m}$)

W - szerokość ścieżek

S - odległość między ścieżkami

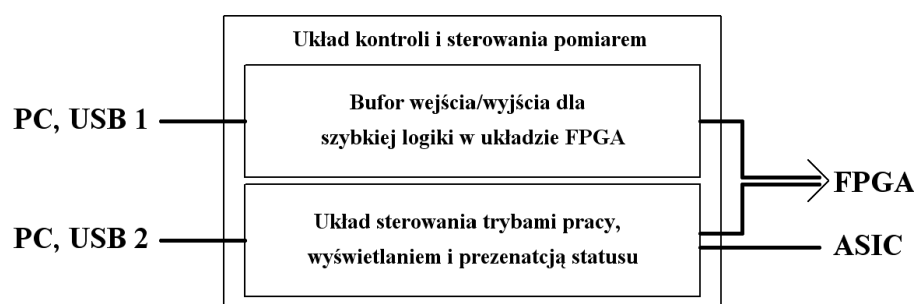
W projekcie płytki bazowej ścieżki pary różnicowej o szerokości 0.22 mm zostały narysowane w odległości 0.33 mm , co po uwzględnieniu pozostałych parametrów dało impedancję własną równą 54.29Ω , oraz różnicową 97.36Ω .

Oprócz problemów z uwzględnianiem impedancji falowej ścieżek bardzo ważne są także różnice w długości połączeń w poszczególnych parach oraz między parami. Różnice w opóźnieniu, jakie reprezentują sobą kolejne pary różnicowe mogą sprawić problemy podczas odczytu stanów logicznych przy transmisji równoległej. Szczególnie objawia się to dla dużych częstotliwości pracy. Sygnał na niektórych bitach może pojawiać się później niż na innych i gdy zbocze zegara próbkujące te stany nie będzie miało odpowiedniego marginesu bezpieczeństwa to część bitów będzie z nowego bajtu, a część jeszcze z poprzedniego.

⁵<http://www.technick.net>

4.3 Układ kontroli i sterowania pomiarem

Układ kontroli i sterowania pomiarem można podzielić na dwie części. Jedną zajmuje się odbieraniem danych testowych poprzez USB z komputera i przesyłaniem ich w sposób równoległy do układu FPGA, stanowiącego szybka logikę testującą opracowany ASIC. Drugą część układu kontroli i sterowania pomiarem, zbudowaną w oparciu o mikrokontroler jednocukładowy ATmega16⁶, zajmuje się wyświetlaniem statusu systemu pomiarowego, automatyczną bądź ręczną zmianą trybów pracy ASIC'a oraz odczytami mierzonej w układzie FPGA częstotliwości pracy rejestrów wyjściowych ASIC'a. Schemat blokowy całego układu widać na rysunku 4.11. Każda z wymienionych części systemu kontroli i sterowania pomiarem wykorzystuje jeden port



Rysunek 4.11: Schemat blokowy układu kontroli i sterowania pomiarem

USB w komputerze. Na wyjściu oba niezależne fragmenty układu połączone są za pomocą wspólnego złącza do płytki szybkiej logiki pomiarowej. Dodatkowo układ sterowania trybami pracy jest połączony bezpośrednio z płytką bazową ASIC'a.

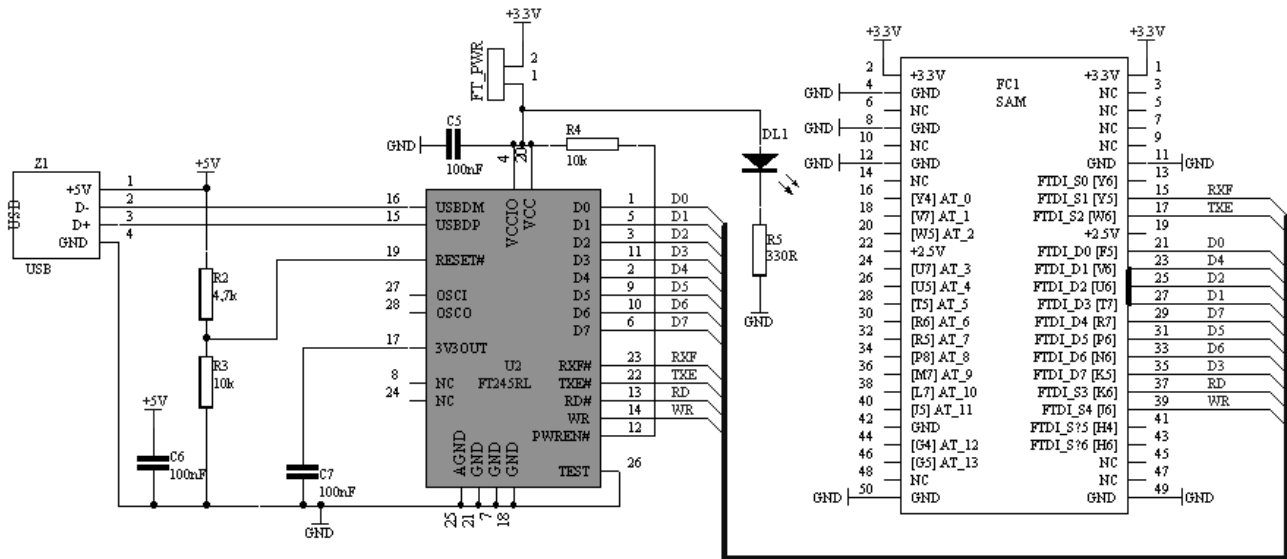
4.3.1 Bufor wejścia/wyjścia dla szybkiej logiki pomiarowej

Pierwsza część układu została przedstawiona na rysunku 4.12. Jedynym aktywnym elementem występującym w tym fragmencie obwodu jest układ scalony FT245RL (U2) firmy FTDI⁷. Zajmuje się on zarządzaniem i kontrolą transmisji wykorzystującej port USB, odbieraniem danych testowych z komputera do swojej wewnętrznej pamięci RAM (bufora FIFO) i wysyłaniem zawartości bufora do komputera. Jest to w istocie konwerter standardu RS-232 na wyjście w postaci bufora FIFO, gdyż w komputerze układ widziany jest jako wirtualny port szeregowy. Transmitowane z komputera dane podawane są bajt po bajcie na magistralę równoległą D0-D7, lub w przypadku działania w drugim kierunku, odczytywane z tej magistrali. Do sterowania przepływem danych wykorzystywane są 4 sygnały logiczne: RXF, TXE#, RD# oraz WR. Kiedy sygnał TXE# jest w stanie wysokim, bufor wewnętrzny FT245RL jest pełny i układ zewnętrzny

⁶ ATmega16 - 8-bitowy mikrokontroler firmy Atmel, układ programowalny zawierający 16kB programowalnej pamięci flash, timery i 32 programowalne wyjścia/wejścia. Jego działanie opiera się na sekwencyjnym wykonywaniu rozkazów, zapisanych w pamięci flash w momencie programowania

⁷ <http://www.ftdichip.com/>

nie może wpisywać kolejnych bajtów. Stan niski na tym wyjściu daje zezwolenie do wpisywania danych i oznacza, że poprzednie bajty zostały już wysłane lub są wysyłane. Wysyłanie danych



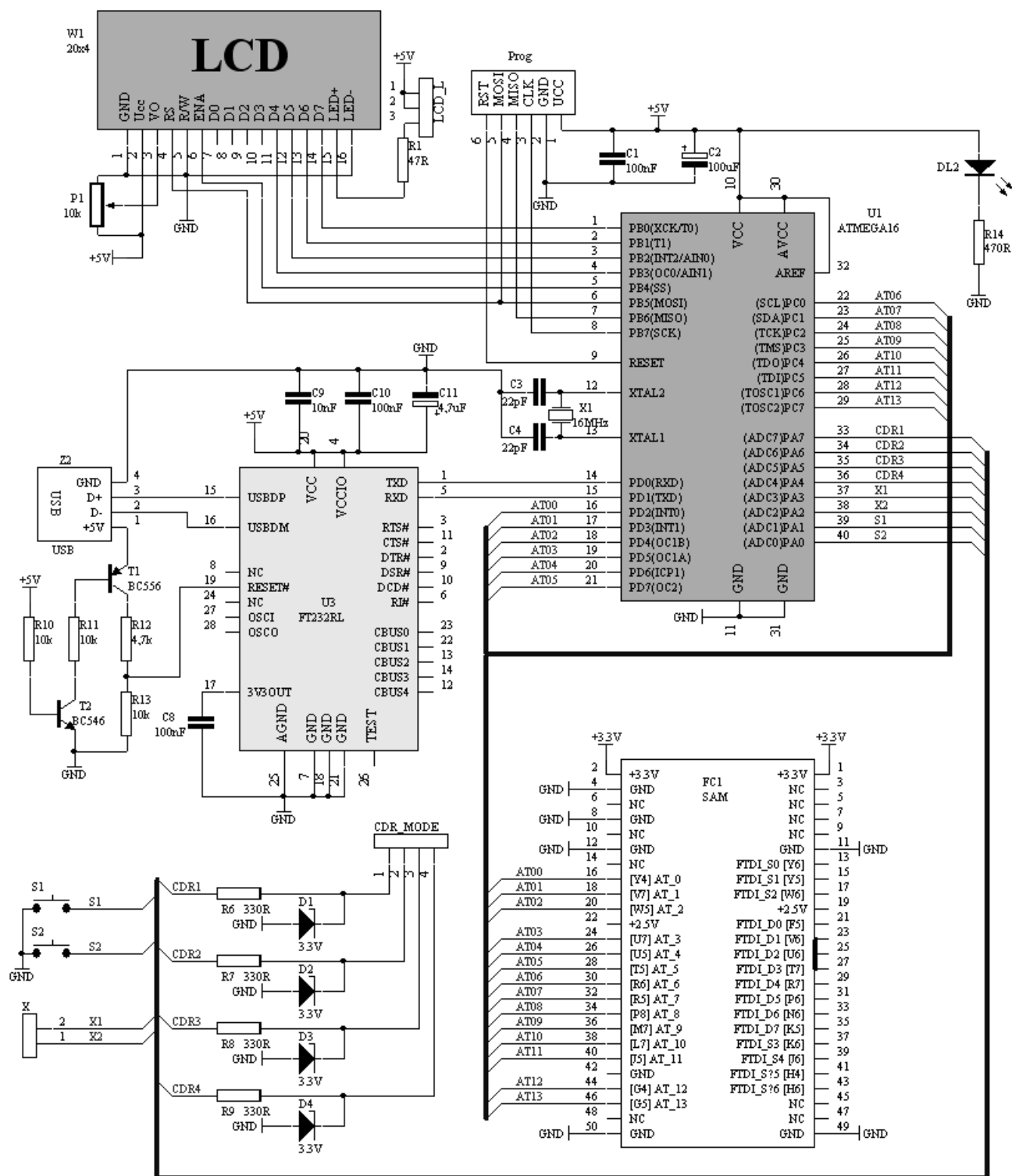
Rysunek 4.12: Schemat ideowy bufora wejścia/wyjścia dla szybkiej logiki na układzie FPGA

dokonywane jest na każdym zboczu opadającym sygnału WR. Podczas odbierania danych, niski poziom logiczny na wyjściu RXF informuje o możliwości odczytu bajtów z bufora FIFO układu FT245RL. Kiedy na RXF jest stan wysoki, to bufor jest pusty i nie ma żadnych danych do odczytu. Wspomniana magistrala D0-D7 oraz cztery sygnały sterujące, podłączone są do układu FPGA, zawierającego szybką logikę testującą ASIC. Podłączenie między płytkami wykonane jest za pośrednictwem złącza FC1, które jest wspólne dla obu części układu kontroli i sterowania pomiarem. Opis tej logiki zawarty jest w podrozdziale 4.1.3.

Do działania układu konwertera U2 wymagane jest zastosowanie kilku elementów dyskretnych. Złącze Z1 umożliwia podłączenie przewodu USB i jednocześnie zapewnia zasilanie 5 V dla drugiej części układu kontroli i sterowania pomiarem. Sam układ scalony FT245RL zasilany jest napięciem 3.3 V z płytki na której pracuje układ FPGA. Rozwiązuje to jednoznacznie problem dopasowania poziomów logicznych między 5 V a 3.3 V. Dzielnik rezystancyjny R2-R3 ustawia potencjał 3.3 V na wejściu reset układu U2 po włączeniu zasilania (podłączeniu przewodu USB do komputera). Kondensatory C5 i C6 filtrują napięcie zasilania, odpowiednio 3.3 V i 5 V. Rezystor R4 podciąga wejście PWREN# układu FT245RL do napięcia zasilania. Dioda DL1 stanowi kontrolkę obecności napięcia. Jej prąd ograniczany jest przez R5.

4.3.2 Układ sterowania trybami pracy, wyświetlaniem i prezentacją statusu

Drugi fragment opisywanej płytki stanowi układ sterowania trybami pracy, wyświetlaniem i prezentacją statusu. Jego schemat przedstawiony jest na rysunku 4.13. Głównym elementem



Rysunek 4.13: Schemat ideowy układu sterującego trybami pracy oraz zajmującego się wyświetlaniem statusu pomiaru

układu jest mikrokontroler ATmega16 oznaczony na schemacie jako U1. Jest to programowalny układ scalony, a jego program przedstawiony jest w podrozdziale 4.3.4. Ponieważ mikrokontroler pracuje ze standardem napięć 5 V, a zaprojektowany chip zasilany jest napięciem 3.3 V, koniecznym stało się dopasowanie poziomów logicznych. Zadanie to spełniają diody Zenera D1-D4 oraz rezystory R6-R9, które ograniczają prąd do wymaganej wartości. Do automatycznej

zmiany trybów pracy wykorzystywany jest protokół RS-232, gdyż od strony mikrokontrolera jest on prosty do implementacji w programie. Przesyłanie rozkazów w formie określonych liczb steruje pracą układu. Ze względu na wygodę podłączania, został zastosowany układ U3. Jest to konwerter FT232RL firmy FTDI, umożliwiający stworzenie w komputerze wirtualnego portu szeregowego, wykorzystującego do komunikacji magistralę USB. Od strony programowej na komputerze oba zastosowane układy firmy FTDI nie różnią się między sobą, z tym że FT232RL zamiast równoległego bufora FIFO na wyjściu, posiada nadajnik i odbiornik zgodny z protokołem RS-232. Na wyjściu układu U3 dostępne są wszystkie sygnały portu szeregowego, jednak w opisywanym układzie wykorzystywana jest najprostsza forma transmisji (bez kontroli przepływu), a zatem do mikrokontrolera podłączone są jedynie sygnały danych RxD i TxD. Zaletą zastosowania układu FT232RL jest automatyczne zapewnienie poprawnej obsługi protokołu USB, a z punktu widzenia oprogramowania na komputerze, działanie nie różni się od klasycznego portu szeregowego.

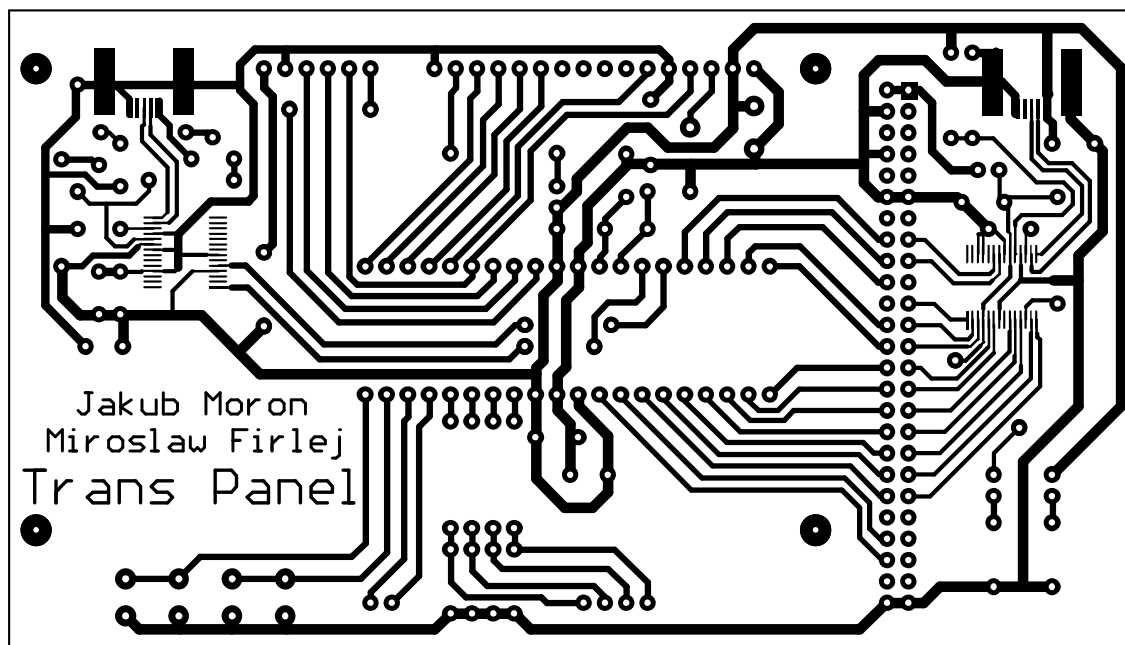
Do poprawnej pracy konwertera FT232RL konieczne są dodatkowe elementy dyskretne. Kondensatory C9-C11 filtrują jego napięcie zasilania, a kondensator C8 jest wymagany dla wewnętrznych obwodów stabilizacji napięcia. Złącze Z2 umożliwia podłączenie układu do portu USB w komputerze. tranzystory T1 i T2 oraz rezystory R10-R13 stanowią najprostszą realizację bramki AN. Sygnał resetu, realizowany przez dzielnik R12-R13, zostanie podany tylko wtedy, gdy zasilanie 5 V jest włączone (złącze Z1 podłączone jest do USB, rysunek 4.12) i gdy pojawi się 5 V na drugim złączu USB (Z2). Umożliwia to prawidłowe wykrycie obu konwerterów w systemie operacyjnym.

Kondensatory C1 i C2 filtrują napięcie zasilania mikrokontrolera, natomiast dioda DL2 jest kontrolką obecności zasilania. Jej prąd ograniczany jest przez rezystor R14. Złącze Prog umożliwia zaprogramowanie pamięci flash układu U1. Wszystkie informacje o działaniu systemu testowego pokazywane są na ciekłokrystalicznym wyświetlaczu W1. Potencjometrem P1 można ustawić kontrast liter na wyświetlaczu. Rezystor R1 ogranicza prąd segmentów LED, podświetlających wyświetlacz W1. Komunikację z układem szybkiej logiki zapewniają dwa porty wejścia/wyjścia mikrokontrolera (port C i port D, z wyłączeniem dwóch bitów). Ponieważ wszystkie te wyprowadzenia są wyjściami, nie ma konieczności dopasowania standardów napięć. Mikrokontroler pracujący na zasilaniu 5 V z powodzeniem czyta stany logiczne w standardzie 3.3 V. Do ręcznej zmiany trybów pracy zaprojektowanego ASIC'a wykorzystywane są przyciski S1 i S2.

4.3.3 Płytką drukowana układu kontroli i sterowania pomiarem

Oba fragmenty układu kontroli i sterowania pomiarem wykonane są w postaci jednej płytki drukowanej i podłączone za pomocą jednego złącza z szybką logiką sterującą, za pomocą wie-

łożyłowego przewodu taśmowego. Płytką została wykonana w amatorski sposób na laminacie jednostronnym. Zawiera ona komponenty przewlekane, jak i takie do montażu powierzchniowego. Widok ścieżek przedstawiony jest na rysunku 4.14, natomiast fotografia przedstawiona jest na rysunku 4.15. Mimo że druga część opisywanej płytki jest projektem dodatkowym,



Rysunek 4.14: Widok płytki układu kontroli i sterowania pomiarem



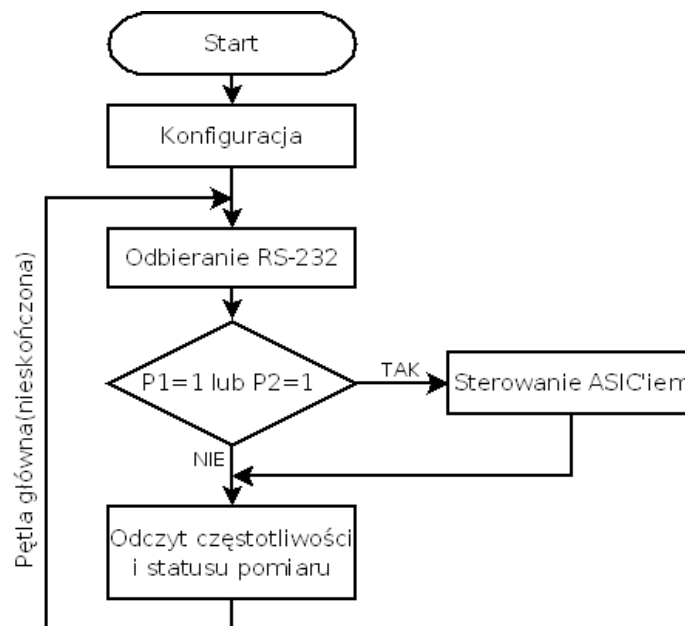
Rysunek 4.15: Fotografia gotowej płytki układu kontroli i sterowania pomiarem

to stanowi ona nieocenioną pomoc podczas testowania zaprojektowanego ASIC'a. Wyświetla aktualny tryb pracy i pokazuje na jakiej faktycznie częstotliwości pracuje badany ASIC. Wyświetlanie statusu działania całego systemu testowego jest bardzo ważne z punktu widzenia

pomiarów, gdyż w przeciwnym wypadku nie wiadomo czy dane testowe są aktualnie wysyłane do komputera, czy przesyłane przez ASIC i w przypadku zawieszenia się systemu testowego trudno jest zdiagnozować i rozwiązać problem.

4.3.4 Oprogramowanie mikrokontrolera układu kontroli i sterowania pomiarem

Jak zostało wcześniej napisane układ U1 widoczny na schemacie 4.13 jest mikrokontrolerem jednoukładowym, bez rozkazów zapisanych w jego pamięci flash, nie wykonuje on żadnej operacji i nie przedstawia sobą żadnej funkcji logicznej. Programowanie wewnętrznej pamięci flash odbywa się poprzez wgrywanie specjalnie przygotowanego pliku *.hex, zawierającego rozkazy dla mikrokontrolera w postaci kolejnych liczb. Program został napisany w BASCOM AVR firmy MCS Electronics⁸, który jest kompilatorem języka QBASIC, uzupełnionym o specjalne rozkazy umożliwiające wykorzystanie zasobów sprzętowych programowanego układu. Wybór BASCOM AVR jako środowiska programistycznego podyktowany był wcześniejszym doświadczeniem w pisaniu programów właśnie w tym języku. Na rysunku 4.16 widać uproszczony algorytm działania programu. Na starcie konfigurowane są wszystkie potrzebne rejestry, w tym ustawiane są funk-



Rysunek 4.16: Uproszczony algorytm działania programu mikrokontrolera U1

cje poszczególnych wyprowadzeń, deklarowane jest miejsce podłączenia wyświetlacza LCD, tryb pracy sprzętowego licznika/timera oraz zmienne używane w programie. Bardzo ważne jest także poprawne ustawienie prędkości transmisji po RS-232 i poprawne zadeklarowanie częstotliwości dołączonego rezonatora kwarcowego. Po wykonaniu rozkazów początkowych mikrokontroler

⁸<http://www.mcselec.com/>

rozpoczyna właściwą część programu, jaką jest nieskończona pętla. Cyklicznie wykonywane są następujące zadania:

- Odczyt danych z portu RS-232, jeśli jakiegokolwiek bajty zostały odebrane do bufora odczytu i ustawienie odpowiednich stanów logicznych na wyprowadzeniach mikrokontrolera, sterujących trybami pracy badanego ASIC'a.
- Jeżeli którykolwiek z przycisków P1 lub P2 został wciśnięty to następuje uruchomienie procedur obsługi menu z wyborem trybu pracy, a następnie ustawiane są odpowiednie stany logiczne sterujące trybami pracy chipu, tak jak to ma miejsce po odbiorze konfiguracji przez port szeregowy.
- Kolejny fragment zajmuje się odczytem mierzonej w układzie FPGA częstotliwości zegara generowanego przez ASIC, a także odczytuje status logiki testującej

Niezależnie od wykonywania rozkazów w pętli głównej w mikrokontrolerze działa dodatkowo sprzętowy licznik/timer, który po każdorazowym doliczeniu do odpowiedniej, ustawionej wcześniej wartości, przerywa działanie głównego programu i skacze do specjalnej procedury⁹. W opisywanym programie skok ten następuje co 4 ms, a procedura ta odczytuje stan z dwuprzyciskowej klawiatury i przedstawia się następująco:

```
1 P1ms:
2   Timer0 = 5
3   If Pina.0 = 0 Then
4     Incr Lp1
5     If Lp1 = 20 Then
6       P1 = 1
7     End If
8   Else
9     Lp1 = 0
10  End If
11  If Pina.1 = 0 Then
12    Incr Lp2
13    If Lp2 = 200 Then
14      P2 = 1
15    End If
16  Else
17    Lp2 = 0
18  End If
19  Return
```

Na początku do licznika/timera wpisywana jest wartość 5 (linia 2), aby skrócić cykl licznika 8-bitowego do wartości 250, co daje równy podział częstotliwości 16 MHz, taktującej pracę mikrokontrolera. Jeżeli na pinie A.0 mikrokontrolera (linia 3) będzie stan niski (przycisk wciśnięty zwiera wyprowadzenie do masy) to po każdym wystąpieniu przerwania będzie zwiększana zmienna Lp1 (linia 4), a po doliczeniu do 20 (linia 5) ustawi się zmienna bitowa P1 na wartość 1 (linia 6), co spowoduje odpowiednią reakcję pętli głównej i zmianę trybu pracy ASIC'a.

⁹Skok do innego fragmentu programu wykonany z opisywanego powodu, nazywany jest popularnie przerwaniem, a procedura do której ten skok następuje nosi miano obsługi przerwania. Przerwania mogą zostać zgłaszane po wystąpieniu różnych zdarzeń, jednak tutaj jest to licznik sprzętowy mikrokontrolera

Gdy pin A.0 będzie w stanie wysokim, to zmienna Lp1 będzie oczekiwała na chwilę kolejnego naciśnięcia przycisku, trzymając wartość równą 0 (linia 9). Ponieważ przerwanie wykonywane jest co 4 ms, to przycisk zareaguje po czasie około 80 ms ($20 \cdot 4$ ms). Krótsze naciśnięcie nie jest brane pod uwagę, ponieważ takie działanie jest konieczne ze względu na eliminację drgań styków w przycisku. Podobnie zachowuje się odczyt przycisku drugiego podłączonego do pinu A.1 w mikrokontrolerze. Odpowiednia zmienna licznikowa Lp2 zwiększa swoją wartość do 200, co daje czas reakcji na wciśnięcie przycisku około 800 ms. Podsumowując: procedura obsługi przerwania odczytuje stan logiczny z pinów do których zostały podłączone przyciski, jeśli naciśnięcie jest wykryte to w każdym kolejnym przerwaniu zwiększana jest odpowiednia zmienna licznikowa, a po doliczeniu odpowiedniej ilości przerwań następuje reakcja na wciśnięcie przycisku.

Wycinek pętli głównej odpowiedzialny za odbiór danych z portu szeregowego przedstawiony jest poniżej:

```

1  L = Ischarwaiting()
2  If L > 0 Then
3    L = Inkey()
4    Porta.4 = L.1
5    Porta.5 = L.2
6    Porta.6 = L.3
7    Porta.7 = L.4
8    Lm = 1
9  End If

```

Procedura jest bardzo prosta, ponieważ wykorzystuje bufor sprzętowy mikrokontrolera do przechowywania odebranego bajtu konfiguracyjnego. W linii 1 do zmiennej pomocniczej L zapisywany jest wynik sprawdzenia, czy w buforze jest jakaś wartość. Jeśli wynik sprawdzanie jest pozytywny (linia 2), to następuje odczyt tej wartości do tej samej zmiennej pomocniczej L (linia 3). Ostatecznie 4 wybrane bity tej zmiennej stanowią sygnały logiczne do sterowania chipu (linie 4-7).

Najbardziej skomplikowanym fragmentem kodu jest odbiór danych na temat mierzonych częstotliwości i statusu z szybkiej logiki testowej. Odpowiedni fragment kodu przedstawiony jest poniżej:

```

1  Msb = Pinc
2  Lsb = Pind
3  A = Msb And &B11110000
4  A = A / 16
5  Tmp = Msb And &B00001111
6  Tmp = Tmp * 64
7  Msb = Lsb And &B11111100
8  Msb = Msb / 4
9  Tmp = Tmp + Msb
10 If B <> A Then
11   B = A
12   Select Case A
13     Case 0:
14       Tmp3 = Tmp
15     Case 1:
16       Tmp2 = Tmp * 1024

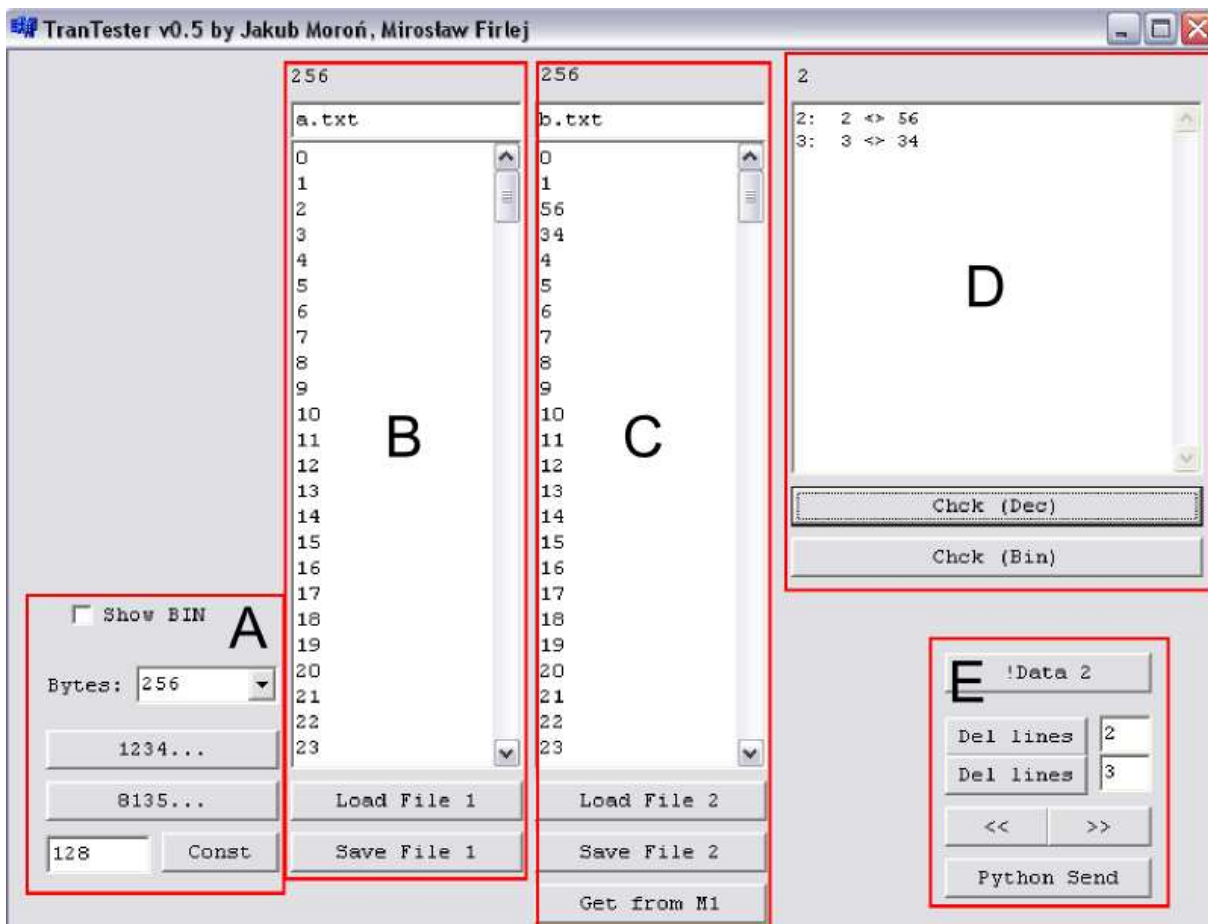
```

```
17         Tmp3 = Tmp3 + Tmp2
18     Case 2:
19         Tmp2 = Tmp * 1048576
20         Tmp3 = Tmp3 + Tmp2
21         If H1 <> Tmp3 Then
22             H1 = Tmp3
23             L = 1
24             Gosub Lcdmhz:
25         End If
26     Case 3:
27         Tmp3 = Tmp
28     Case 4:
29         Tmp2 = Tmp * 1024
30         Tmp3 = Tmp3 + Tmp2
31     Case 5:
32         Tmp2 = Tmp * 1048576
33         Tmp3 = Tmp3 + Tmp2
34         If H2 <> Tmp3 Then
35             H2 = Tmp3
36             L = 2
37             Gosub Lcdmhz:
38         End If
39     Case 6:
40         L = Tmp And &B00000011
41         If H3 <> L Then
42             H3 = L
43             Locate 3 , 1
44             Select Case L
45                 Case 0:
46                     Lcd "Idle. Waiting... "
47                 Case 1:
48                     Lcd "Receiving data..."
49                 Case 2:
50                     Lcd "Transmitting...  "
51                 Case 3:
52                     Lcd "Sending back...  "
53             End Select
54         End If
55     End Select
56 End If
```

Dane odbierane są za pomocą 14-bitowej magistrali w sposób sekwencyjny. Najpierw stany logiczne z całych portów C i D mikrokontrolera odczytywane są do dwóch 8-bitowych zmiennych Msb i Lsb (linie 1 i 2), a następnie obliczany jest adres A (4 bity) i wartość Tmp (10 bitów) aktualnie odbieranego pakietu (linie 3-9). Adres mówi o tym czego dotyczą odebrane bity danych i identyfikuje w sumie 7 pakietów danych, zawierających informacje o dwóch 30-bitowych licznikach (6 pakietów) do pomiaru częstotliwości oraz o statusie systemu (1 pakiet). Dalsza część programu polega na odpowiednim przeliczeniu otrzymanych danych w zależności od wartości adresu A. Linie 13-24 zawierają polecenia, które na podstawie trzech pakietów o adresach 0-2 obliczają 30-bitową wartość, odzwierciedlającą mierzoną częstotliwość (jest to ilość impulsów w czasie 1s, podzielona przez 2). Następnie specjalna procedura Lcdmhz (linia 24) zajmie się wyświetleniem tej wartości, przeliczając ją na *MHz*. Podobnie jest wyliczana częstotliwość drugiego przebiegu zegarowego, ale tym razem na podstawie pakietów o adresach 3-5 (linie 26-37). Ostatnia paczka danych o adresie A=6 zawiera informacje o statusie pracy systemu i służy do prezentacji informacji tekstowych na wyświetlaczu LCD (linie 40-52).

4.4 Oprogramowanie do analizy danych testowych

Ze względu na specyficzny charakter systemu testowego, oprócz przygotowania stanowiska testowego pod względem sprzętowym, został napisany dedykowany program testowy. Cały czas jest on w wersji rozwojowej, gdyż aktualnie rozpoczęte testy zaprojektowanego ASIC'a narzucają na bieżąco funkcjonalność jaką powinien posiadać opisywany tutaj program. Obecnie zadaniem programu TranTester v0.5 jest generacja danych w postaci ciągu bajtów, przesyłanie ich do pamięci RAM w sprzętowej części systemu testowego, odczytywanie danych przetransmitowanych przez zaprojektowany ASIC oraz porównywanie otrzymanych bajtów z wcześniej wysłanymi. Program został napisany w okienkowym środowisku C++ Builder 6 firmy Borland¹⁰ (z małym podprogramem w języku Python), ze względu na znajomość tego narzędzia i ograniczony czas jaki można było przeznaczyć na stworzenie programu testowego. Na ry-



Rysunek 4.17: Widok programu do analizy danych testowych

sunku 4.17 przedstawiony jest widok programu do analizy danych testowych. Składa się on w istocie z dwóch części, przy czym główna część aplikacji odpowiedzialna za komunikację z użytkownikiem, generację danych oraz ich analizę została napisana w środowisku C++ Builder 6, natomiast sama komunikacja ze sprzętową częścią systemu pomiarowego zrealizowana jest

¹⁰<http://www.borland.pl/>

poprzez niewielki podprogram napisany w języku Python. Współpraca między fragmentami napisanymi w odrębnych językach odbywa się poprzez zapis i odczyt bajtów z pliku tekstowego. Główna aplikacja generuje zestaw danych, po czym zostaje on zapisany do pliku tekstowego. Drugi fragment programu odczytuje wspomniany plik, wysyła go bajt po bajcie do części sprzętowej systemu, po czym zapisuje otrzymane takim samym sposobem dane do drugiego pliku. Główny program odczytuje plik z przesłanymi przez ASIC danymi i umożliwia porównanie zawartości obu plików oraz wykrycie błędów w transmisji.

W skład bloku A na rysunku 4.17 wchodzi kontrolki do generacji zestawu danych testowych. Możliwe jest tutaj ustawienie ilości powstałych bajtów (od 1 do 132000) oraz wybranie sposobu ich prezentacji (binarnie lub dziesiętnie). Same dane mogą zostać utworzone w postaci kolejnych liczb (0-255), losowych wartości z tego samego przedziału lub określonej stałej. Bajty generowane są bezpośrednio w oknie edycyjnym B, gdzie można jednocześnie zmodyfikować, zapisać lub otworzyć plik z danymi testowymi. Drugie okno edycyjne, oznaczone jako C, posiada podobne możliwości jednak służy ono do wczytywania pliku, który powstaje po transmisji danych przez zaprojektowany ASIC. Symbolem D oznaczone zostało okno błędów, pokazujące różnice między plikiem źródłowym, a uzyskanym po pomiarze. Pozwala ono sprawdzić w której linii wystąpił błąd i porównać wartości dziesiętne lub binarne błędnych bajtów (na rysunku widać przykładową prezentację błędu powstałego w linii 2 i 3). Ostatni blok przycisków, oznaczony jako E, umożliwia wykonywanie prostych operacji na odebranych pliku danych (negacja, usuwanie błędnych linii z początku oraz przesuwanie bitowe¹¹). Najważniejszy w całym programie jest przycisk "Python Send", uruchamiający podprogram przesyłający dane do sprzętowej części systemu pomiarowego i zapisujący wyniki w wyjściowym pliku tekstowym.

Kod źródłowy programu nie zostanie umieszczony w niniejszej pracy ze względu na obiektowy charakter programu w C++ Builder 6 i długość kodu jaka dzięki temu powstała. Zamieszczanie natomiast fragmentów programu, wyrwanych z kontekstu, nie przyczyniłoby się do lepszego zrozumienia jego działania. Ważniejszy fragment stanowi podprogram wymieniający dane między szybką logiką testującą a programem analizującym. Kod tego podprogramu, ze względu na małą objętość, został w całości zamieszczony poniżej:

```
1 speed = 1000000
2 ser = serial.Serial("COM9", speed, parity=serial.PARITY_NONE,
3                   stopbits = serial.STOPBITS_ONE, timeout=None)
4
5 #pliki wejsciowy i wyjsciowy
6 fin = 'a.txt'
7 fout = 'b.txt'
8
9 count = len(open(fin, 'rU').readlines())
10 print "bytes: %d, speed: %d"%(count,speed)
11 temp = ""
```

¹¹operacja przesunięcia bitowego wszystkich bajtów jest konieczna ze względu na szeregowy charakter transmisji danych przez zaprojektowany ASIC. Może się tak zdarzyć, że kilka (kilkanaście) początkowych bitów zostanie utraconych na początku transmisji, co skutkuje przesunięciem pozostałych bitów

```
12 ser.write(chr(count/1024))
13 u=count - (count/1024)*1024
14 ser.write(chr(u/256))
15 ser.write(chr(u%256))
16
17 for i in range(count):
18     temp = temp + chr(int(linecache.getline(fin, i+1)))
19 ser.write(temp)
20
21
22 print "Read"
23 plik = open(fout, 'w')
24 inp=ser.read(count)
25 for i in range(count):
26     try:
27         x=ord(inp[i])
28         plik.write(str(x) + '\n')
29     except:
30         pass
31 plik.close()
```

Jak wcześniej zostało napisane w podrozdziale 4.3, system testowy komunikuje się z komputerem poprzez porty USB. Dokładniej, z punktu widzenia oprogramowania na komputerze, są to wirtualne porty szeregowy (RS-232¹²). Program na początku ustawia wirtualny port (w tym przypadku COM9) do pracy z transmisją 8-bitową, bez kontroli parzystości i z jednym bitem stopu. Szybkość transmisji po tym wirtualnym porcie szeregowym określona jest na 1Mb/s (linie 1-3). Następnie przypisywane są nazwy dla pliku wejściowego i wyjściowego (linie 6-7). Zanim plik zostanie odczytany i wysłany bajt po bajcie (linia po linii, ponieważ jeden bajt został zapisany w jednej linii), zostanie obliczona rzeczywista ilość danych jaka zostanie wpisana do pamięci w szybkiej logice testującej oraz wysłana w postaci 3 bajtów początkowych (linie 9-15).

W dalszej kolejności następuje tworzenie zmiennej tymczasowej (przechowującej łańcuch znaków), w której każdy kolejny znak odpowiada jednemu bajtowi wysyłanych danych (linie 17-18). W dalszej kolejności następuje wysyłanie tak przygotowanej paczki danych na wirtualny port szeregowy w komputerze (linia 19). Bezpośrednio po tym program przechodzi w tryb odczytu, czekając aż nie zostanie odebrany łańcuch znaków o długości takiej samej jak przy wysyłaniu. Jednocześnie znaki konwertowane są na postać liczby dziesiętnej i zapisywane w drugim pliku (linie 22-31). Po zakończeniu zapisu do pliku działanie podprogramu się kończy. W dalszej kolejności działanie przejmuje główny program, który pracuje już na gotowym pliku tekstowym.

Przedstawiony tutaj opis programu analizującego i przesyłającego dane stanowi tylko zarys jego działania, ponieważ jak już wcześniej zostało napisane, kod źródłowy tego programu ulega częstym modyfikacjom.

¹²http://www.lammertbies.nl/comm/info/RS-232_specs.html

Rozdział 5

Wstępne pomiary transceiver'a

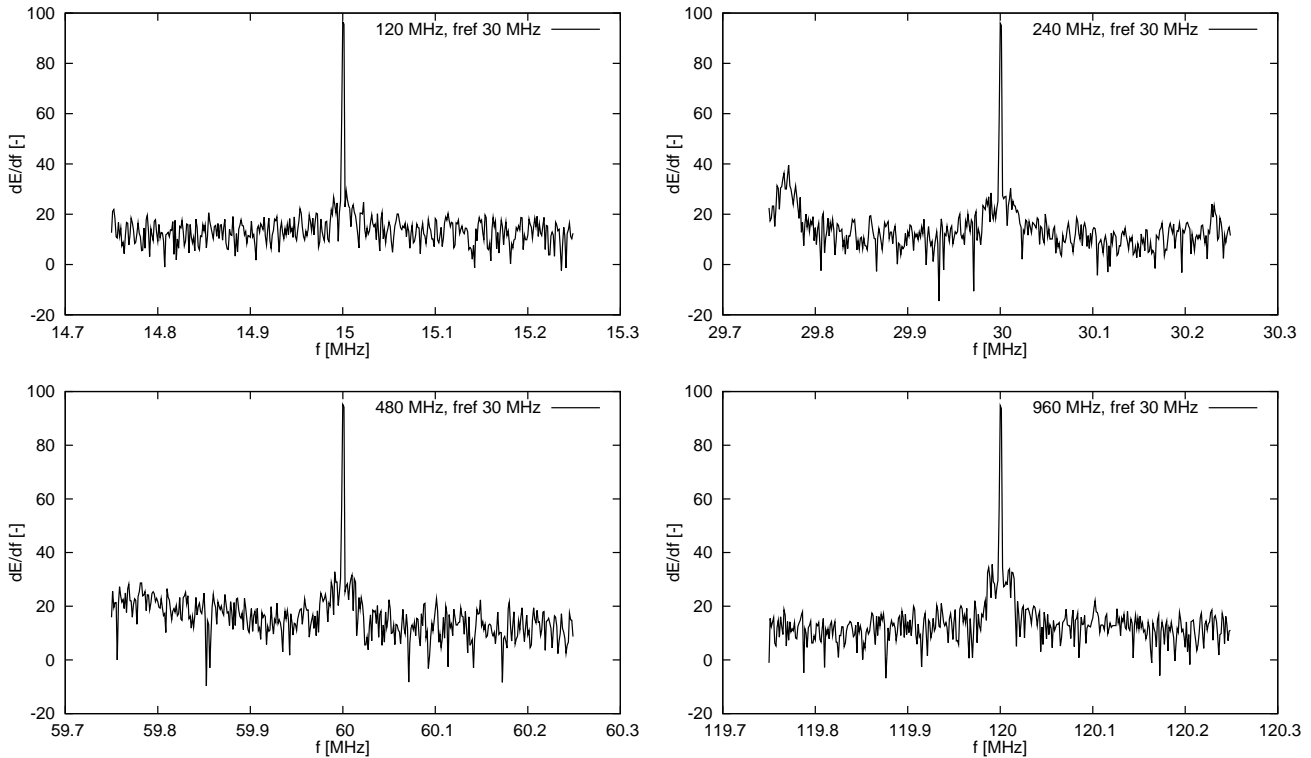
Niniejszy rozdział przedstawia wyniki pierwszych testów i pomiarów ASIC'a wykonanego na podstawie projektu opisanego w tej pracy. Ze względu na ograniczony czas, jaki pozostał autorom pomiędzy wyprodukowaniem ASIC'a a terminem złożenia niniejszej pracy, wykonane zostały jedynie początkowe testy przesyłu danych oraz najważniejszych z punktu widzenia działania układu bloków funkcjonalnych, czyli pętli fazowej i układu CDR. Pomiary ASIC'a były utrudnione ze względu na ograniczoną liczbę wyjść testowych. Z tego względu potrzebne było zaprojektowanie i wykonanie pomiarów umożliwiających określenie parametrów pracy układu na podstawie dostępnych z zewnątrz sygnałów. Pomiary opisane poniżej nie dają kompletnego opisu zachowania wykonanego układu transceiver'a. Wymagane są dalsze testy funkcjonalności zaprojektowanego układu, jednak zostaną one wykonane poza ramami pracy magisterskiej.

5.1 Układ pętli fazowej nadajnika

Główna częstotliwość generowana przez pętlę fazową nie była dostępna na zewnątrz układu, podobnie jak napięcie na wyjściu filtra dolnoprzepustowego LPF. Wyjście testowe z dzielnika pętli, ze względu na wysoki stopień podziału ($f/64$), niosło jedynie informację o średniej częstotliwości pracy układu, zaś ewentualne krótkofalowe oscylacje okresu przebiegu zegarowego zostały by w nim uśrednione. Z tego względu skorzystano z wyjścia zegara taktującego równoległą magistralę danych wejściowych w nadajniku. Dostarcza ono również podzieloną częstotliwość główną pętli, jednak w tym przypadku stopień podziału wynosi osiem co pozwala na dokładniejszą ocenę pracy pętli fazowej PLL.

Pomiary częstotliwości wykonywane były za pomocą analizatora widma. Dopasowanie rozkładu normalnego do zebranych danych umożliwiło precyzyjne określenie częstotliwości pracy pętli (położenie maksimum rozkładu) i jej dyspersji (szerokość połówkowa FWHM). Na wejście referencyjne pętli podawano przebieg prostokątny z generatora częstotliwości. Na podstawie

dopasowania określono precyzyjnie, że częstotliwość pracy generatora wynosiła $29\,999\,993\text{ Hz}$ z dyspersją $2,8\text{ Hz}$, czyli była o 7 Hz niższa od założonej (30 MHz).



Rysunek 5.1: Widma częstotliwości pętli dla typowych warunków pracy w trybach 120 MHz , 240 MHz , 480 MHz i 960 MHz .

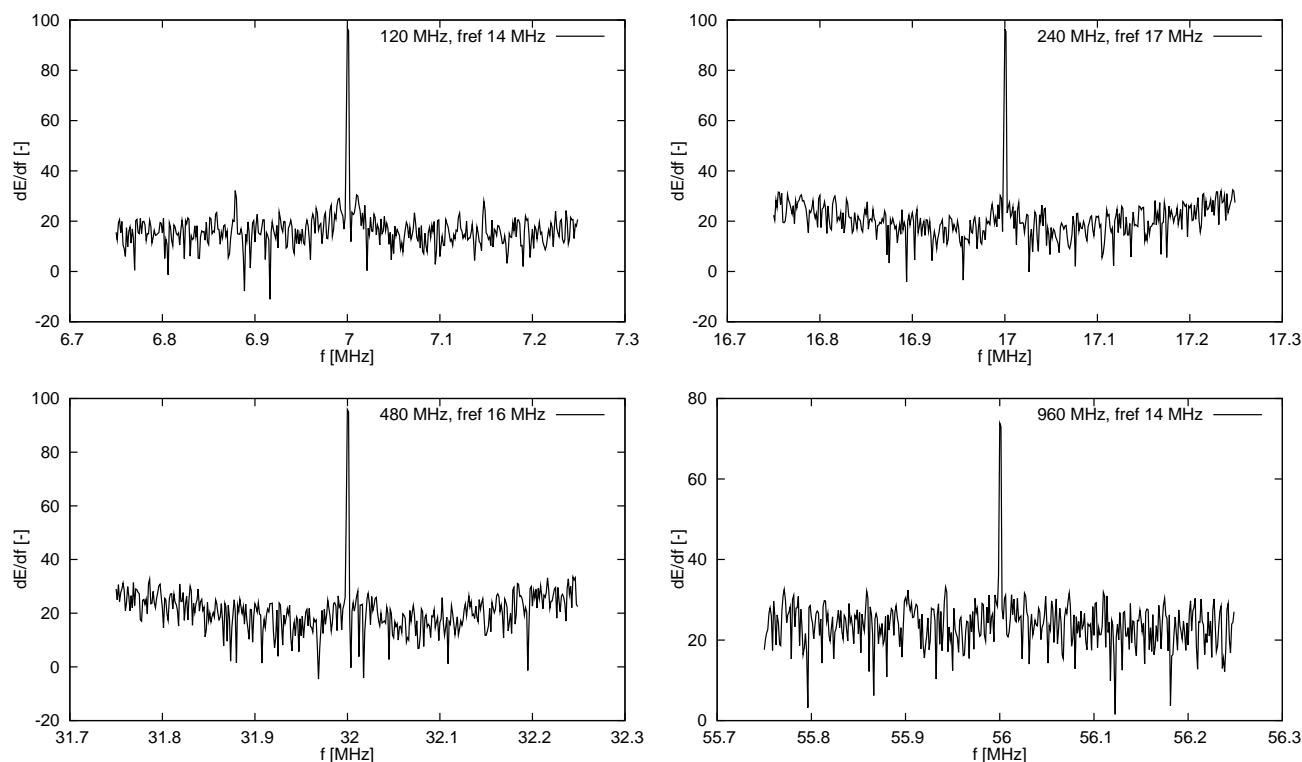
Rysunek 5.1 przedstawia widma częstotliwości dla czterech trybów pracy układu. W każdym z nich pętla pracuje prawidłowo generując oczekiwaną częstotliwość. Do każdego z widm dopasowano rozkład normalny, zaś otrzymane parametry przedstawiono w tabeli 5.1. Dla porównania w ostatniej kolumnie tabeli zawarto wartość teoretyczną obliczoną na podstawie rzeczywistej częstotliwości generatora. W każdym z trybów częstotliwość pracy pętli zgadza się w granicy dyspersji z teoretyczną, zaś sam rozrzut jest znikomy. Należy przy tym pamiętać, że przebieg zegarowy jest dzielony przez osiem w bloku "serializer'a".

tryb	częstotliwość pracy [Hz]	dyspersja [Hz]	wartość teoretyczna [Hz]
120 MHz	14 999 995	3,4	14 999 997
240 MHz	29 999 990	3,2	29 999 993
480 MHz	59 999 983	3,4	59 999 986
960 MHz	119 999 969	3,8	119 999 972

Tabela 5.1: Parametry przebiegów częstotliwości pętli w typowych warunkach pracy.

Aby ocenić zakres poprawnej pracy pętli w każdym z trybów wyznaczono minimalną i maksymalną częstotliwość przebiegu referencyjnego, przy której odpowiedź pętli była jeszcze

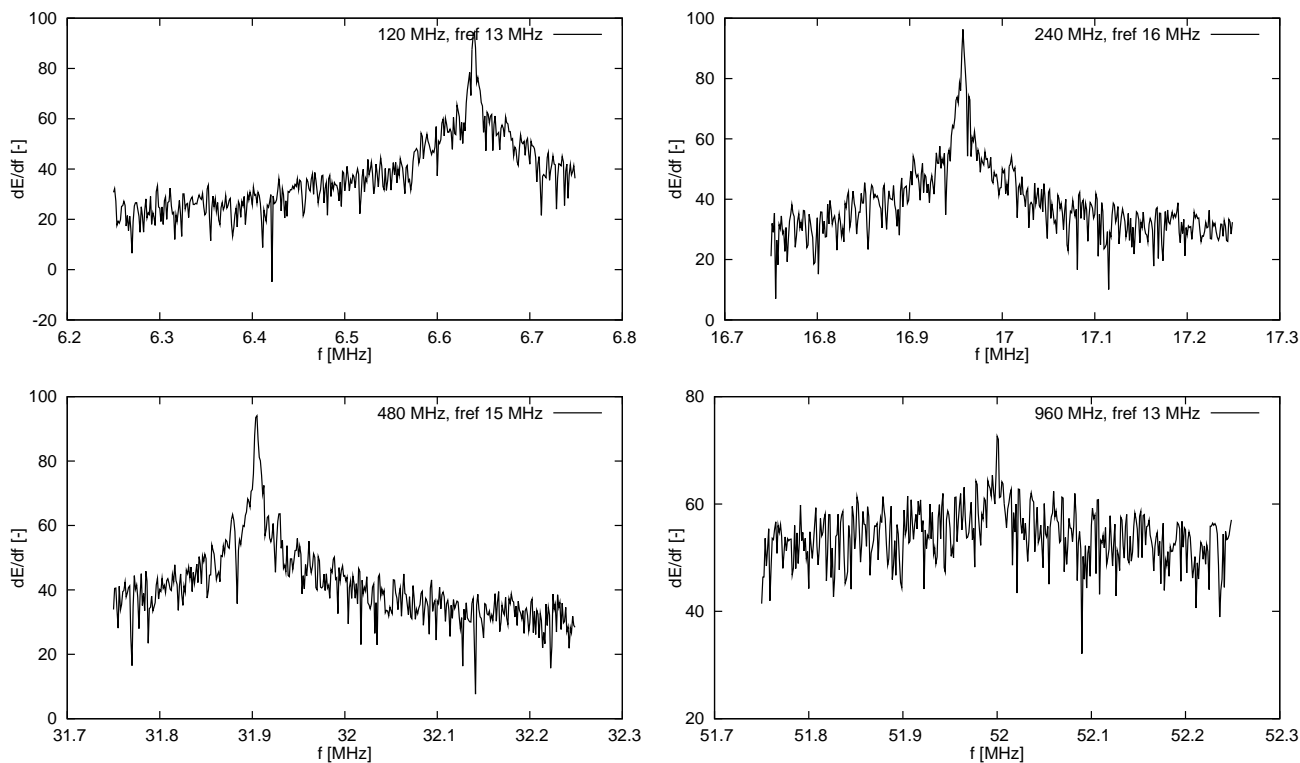
zgodna z założeniami. Na rysunku 5.2 przedstawiono widma najniższych częstotliwości uzyskanych z pętli fazowej w każdym z trybów. Dalsze obniżenie częstotliwości referencyjnej o 1 MHz nie powodowało już oczekiwanego spadku odpowiedzi pętli o odpowiednią dla danego trybu wartość (odpowiednio 0,5, 1, 2 i 4 MHz), co świadczy o osiągnięciu przez oscylatory VCO minimalnej możliwej częstotliwości pracy. Widma uzyskane dla tego przypadku przedstawia rysunek 5.3.



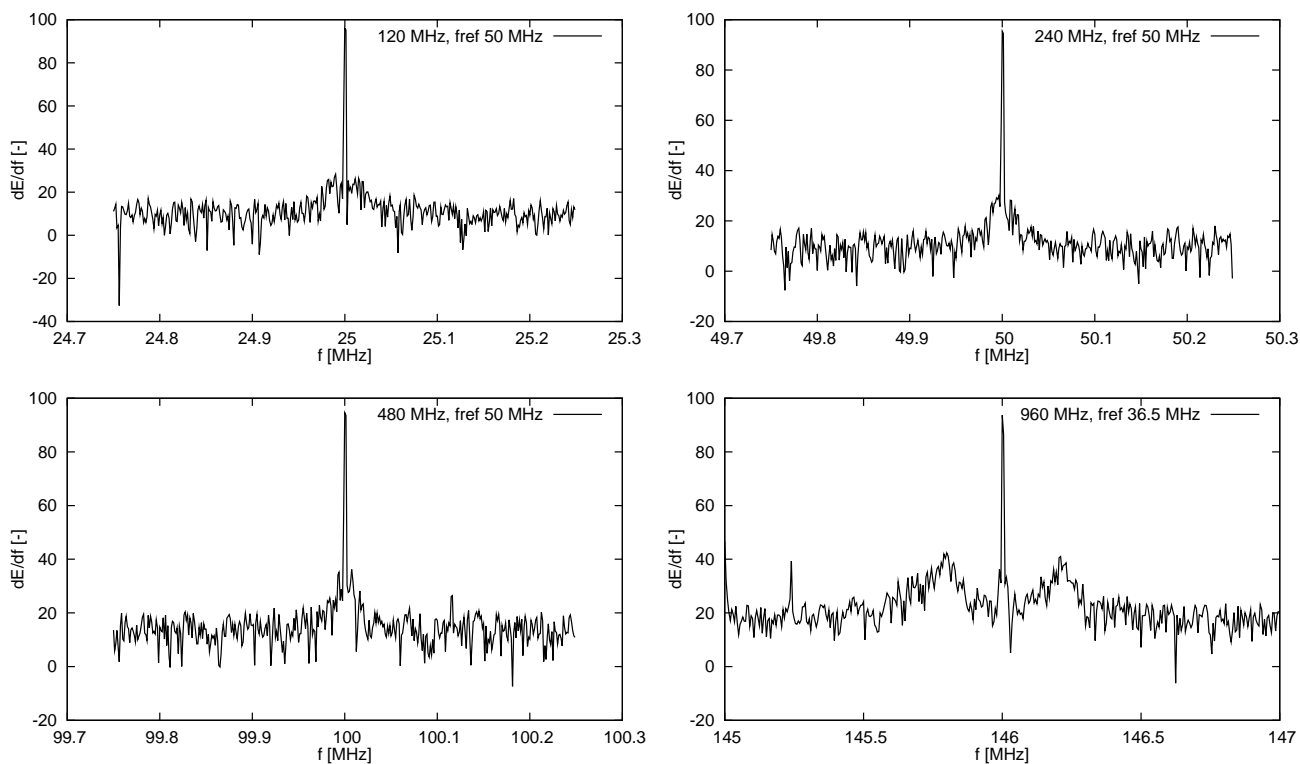
Rysunek 5.2: Widma częstotliwości pętli dla minimalnej częstotliwości referencyjnej w trybach 120 MHz, 240 MHz, 480 MHz i 960 MHz.

Na wykresach z rysunku 5.3 znacznie wzrasta dyspersja częstotliwości. Dzieje się tak ponieważ generowana przez oscylatory VCO częstotliwość jest za wysoka w stosunku do referencyjnej, przez co pętla fazowa nie uzyskuje synchronizacji i nie stabilizuje pracy oscylatorów poprzez sprzężenie zwrotne. Podobny efekt występuje w pozbawionym synchronizacji układzie CDR, co zostało opisane dalej.

W analogiczny sposób próbowano wyznaczyć maksymalną częstotliwość pracy (widma na rysunku 5.4). Granicę tę osiągnięto jedynie dla trybu 960 MHz, gdyż w pozostałych trybach pętla pracowała stabilnie aż do maksymalnej uzyskiwanej z generatora częstotliwości 50 MHz. Stąd górna granica zakresu pracy pętli nie została w tych trybach zbadana i można jedynie określić, że nie jest niższa niż zmierzona wartość. Dla większej przejrzystości przeliczono częstotliwości zegara "serializer'a" uzyskane z pomiarów na częstotliwości podstawowe pracy pętli i przedstawiono je w tabeli 5.2.



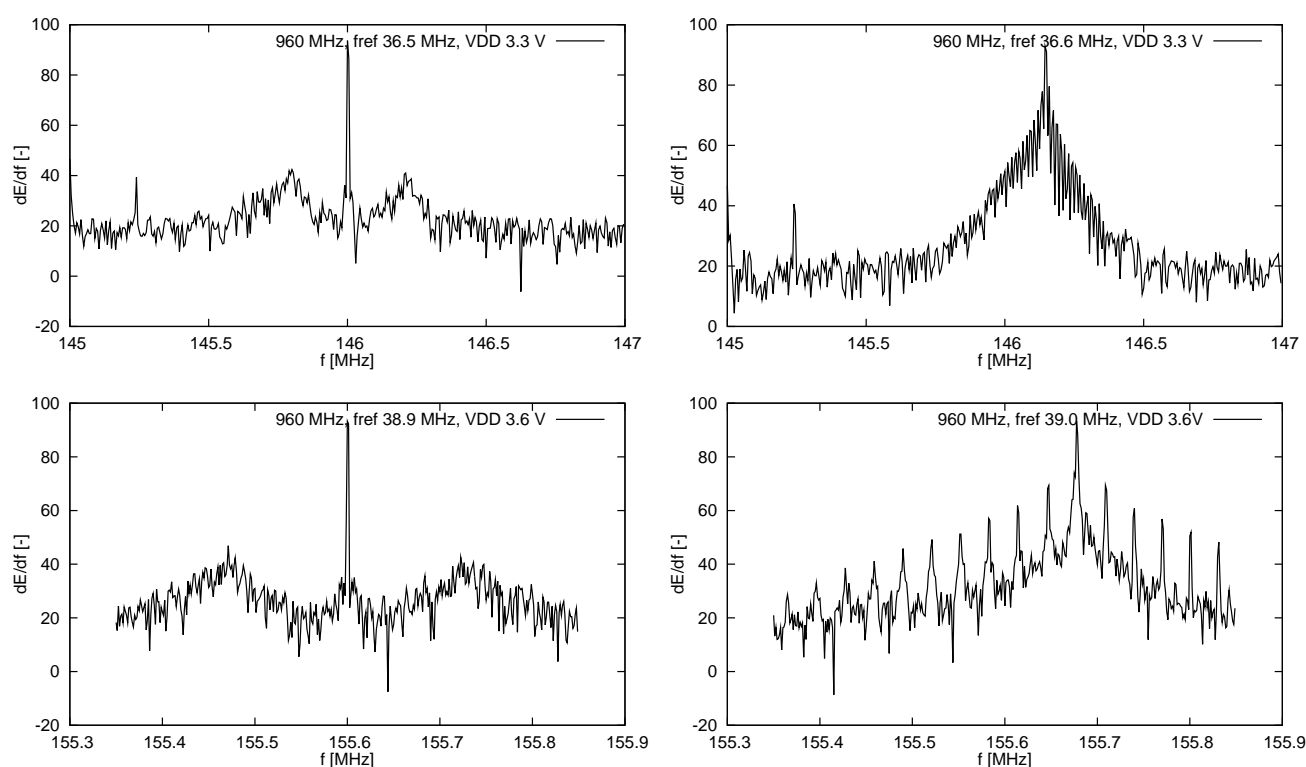
Rysunek 5.3: Widma częstotliwości pętli dla zbyt niskiej częstotliwości referencyjnej w trybach 120 MHz, 240 MHz, 480 MHz i 960 MHz.



Rysunek 5.4: Widma częstotliwości pętli dla maksymalnej częstotliwości referencyjnej w trybach 120 MHz, 240 MHz, 480 MHz i 960 MHz.

tryb	częstotliwość [MHz]	
	minimalna	maksymalna
120 MHz	56	>200
240 MHz	136	>400
480 MHz	256	>800
960 MHz	448	1168

Tabela 5.2: Zakresy częstotliwości poprawnej pracy pętli fazowej.



Rysunek 5.5: Widma częstotliwości pętli dla maksymalnych osiągniętych (z lewej) i zbyt wysokich (z prawej) częstotliwości przy typowym (na górze) i zwiększonym (na dole) napięciu zasilania.

Jak widać zakresy poprawnej pracy pętli w każdym z trybów przekrywają się pomiędzy sobą, dzięki czemu układ jest w stanie pracować stabilnie w pełnym zakresie częstotliwości od 56 MHz do 1,168 GHz. Górną częstotliwość pracy można jeszcze zwiększyć podnosząc napięcie zasilania układu. Rysunek 5.5 przedstawia widma dla maksymalnej oraz zbyt wysokiej częstotliwości referencyjnej dla typowego (3,3 V) i zwiększonego (3,6 V) napięcia zasilania. Przy typowym napięciu maksymalna częstotliwość pracy oscylatora VCO960 wynosi około 1,17 GHz i dalsze zwiększanie częstotliwości referencyjnej prowadzi do utraty synchronizacji, podobnie jak miało to miejsce dla zbyt wolnego przebiegu. Podniesienie napięcia zasilania do 3,6 V, stanowiącego górną bezpieczną granicę dla ASIC'a w technologii AMS 0,35 μm, pozwala na pracę z częstotliwością 1,245 GHz. Podobnie jak poprzednio dalsze zwiększenie częstotliwości referencyjnej powoduje utratę synchronizacji przez pętlę fazową.

5.2 Kompletny transceiver

5.2.1 Pierwsze testy funkcjonalne

Stanowisko pomiarowe w swojej aktualnej wersji umożliwia przesłanie pojedynczych zestawów danych. Z tego względu nie na razie nie jest możliwe wyznaczenie parametrów transmisji, gdyż wymaga to przesłania znacznie większych ilości danych. Poniżej przedstawiono wyniki przykładowego testu (wraz z opisem jego przebiegu) dla trybu "single-rate" 960 MHz. W dwóch lewych kolumnach tabeli 5.3 przedstawiono fragment typowego pliku danych nadawanych do transceiver'a, zaś w dwóch prawych dane odesłane przez układ szybkiej logiki testowej. Oba zestawy liczb podano w reprezentacji dziesiętnej (dec) i binarnej (bin). Zestaw danych wysłanych do transceiver'a składał się z losowych wartości poprzedzonych trzema bajtami równymi 170. Jak widać z tabeli liczbie tej odpowiada binarna reprezentacja "10101010", tak więc te trzy początkowe bajty stanowią preambułę pozwalającą na zsynchronizowanie częstotliwości przez układ CDR.

lp.	Wysłane		Odebrane	
	dec	bin	dec	bin
1	170	10101010	155	10011011
2	170	10101010	113	01110001
3	170	10101010	85	01010101
4	93	01011101	85	01010101
5	50	00110010	84	01010100
6	177	10110001	186	10111010
7	41	00101001	101	01100101
8	55	00110111	98	01100010
9	129	10000001	82	01010010
10	158	10011110	111	01101111
11	11	00001011	3	00000011
12	178	10110010	60	00111100
13	95	01011111	23	00010111
14	228	11100100	100	01100100
15	123	01111011	191	10111111
16	107	01101011	200	11001000
17	110	01101110	246	11110110
18	139	10001011	214	11010110
19	154	10011010	221	11011101

Tabela 5.3: Dane wysłane i bezpośrednio odebrane z transceiver'a.

Odebrany zestaw bajtów w pierwszej chwili wydaje się być niepoprawny. Wynika to z konstrukcji transceiver'a, który przesyła dane w sposób ciągły bez kontroli transmisji, jak i z zasady działania szybkiej logiki testowej, która rozpoczyna odbiór danych równocześnie z nadawaniem. Stąd pierwszy odebrany bajt (155) jest nieokreśloną wartością wynikającą z transmisji przez ASIC losowych danych z wyjścia pamięci RAM układu FPGA, podczas zapisu danych z komputera¹. Podobnie dowolną wartość przyjmuje pierwsze siedem bitów drugiego bajtu. Ostatni bit (LSB) drugiego bajtu jest początkiem rzeczywistych danych testowych (od tego miejsca reprezentację binarną wyróżniono pogrubieniem). Podział pierwszego bajtu danych wysłanych do transceiver'a (170) między dwa bajty odebrane jest typowy dla działania układu i wynika ze wspomnianego braku kontroli transmisji.

lp.	Wysłane		Odebrane		lp.	Wysłane		Odebrane	
	dec	bin	dec	bin		dec	bin	dec	bin
1	170	10101010	170	10101010	24 620	214	01000011	214	01000011
2	170	10101010	170	10101010	24 621	199	11010010	199	11010010
3	170	10101010	170	10101010	24 622	198	11010100	198	11010100
4	93	01011101	93	01011101	24 623	112	10101101	112	10101101
5	50	00110010	50	00110010	24 624	67	01110010	67	01110010
6	177	10110001	177	10110001	24 625	210	01000101	210	01000101
7	41	00101001	41	00101001	24 626	212	10011010	212	10011010
8	55	00110111	55	00110111	24 627	173	11010110	173	11010110
9	129	10000001	129	10000001	24 628	114	11110101	114	11110101
10	158	10011110	158	10011110	24 629	69	10001111	69	10001111
11	11	00001011	11	00001011	24 630	154	00101101	154	00101101
12	178	10110010	178	10110010	24 631	214	11001111	214	11001111
13	95	01011111	95	01011111	24 632	245	11101101	245	11101101
14	228	11100100	228	11100100	24 633	143	01101010	143	01101010
15	123	01111011	123	01111011	24 634	45	10001101	45	10001101

Tabela 5.4: Dane wysłane i odebrane z transceiver'a po korekcji.

Powyższą analizę przytoczono by uzasadnić konieczność napisania programu do analizy danych testowych, opisanego w rozdziale 4.4. Program ten umożliwia łatwe porównanie reprezentacji binarnych, przesunięcie odebranych danych o odpowiednią ilość bitów w lewo tak, by pierwszy wyróżniony w tabeli 5.3 bit LSB drugiego bajtu stał się MSB pierwszego bajtu. W

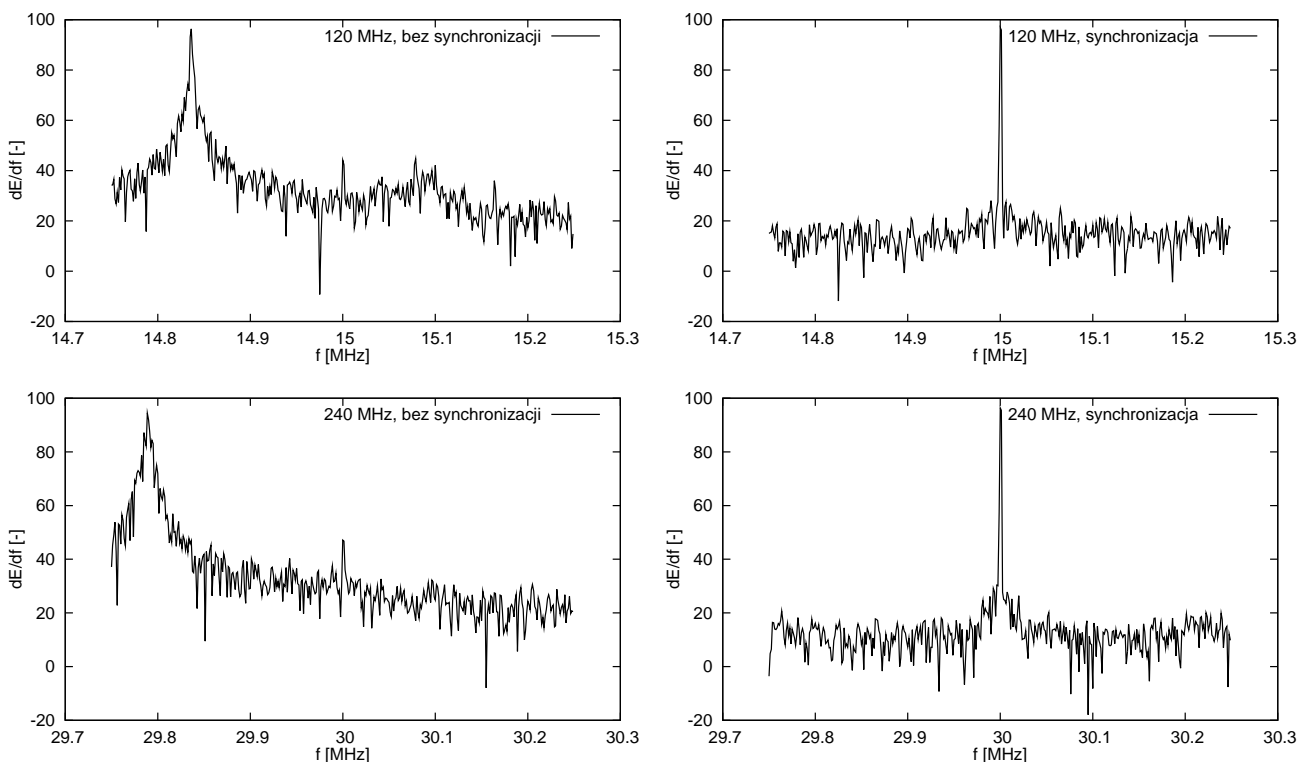
¹Pamięć RAM wystawia na swoje wyjścia dane do niej wpisywane. Ponieważ zapis odbywa się zgodnie z zegarem generowanym przez układ transmisji z FTDL, więc nie da się określić jaki stan wyjść pamięci zostanie zatrzaśnięty w rejestrze wejściowym ASIC'a przed przejściem przez logikę testową do fazy transmisji danych przez układ. Dokładny opis szybkiej logiki testowej znajduje się w rozdziale 4.1.3.

tabeli 5.4 przedstawiono dwa fragmenty zestawów danych wysłanych i odebranych po korekcji. Przedstawiają one całkowitą zgodność obu plików.

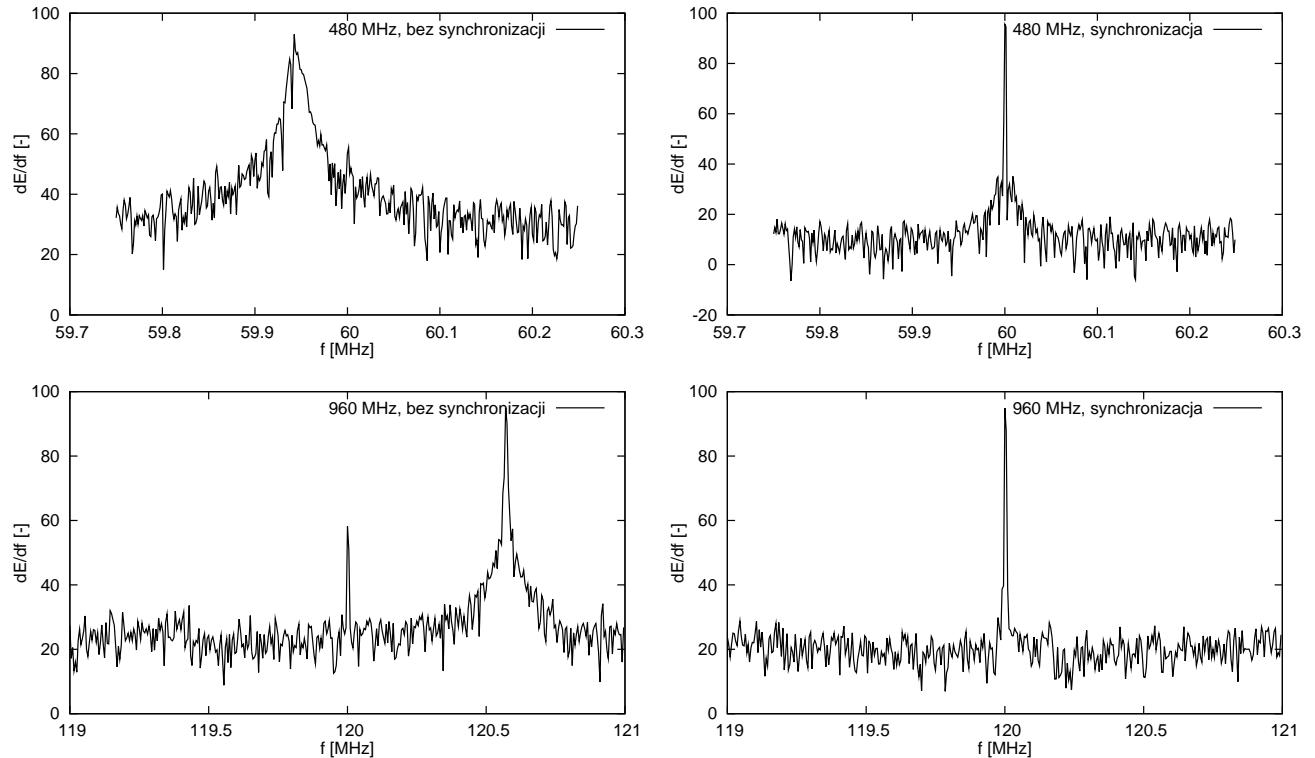
Należy podkreślić, że zestaw danych jest całkowicie (poza pierwszymi trzema bajtami) losowy i nie zawiera żadnego kodowania zabezpieczającego przed zbyt długim ciągiem zer lub jedynek. Mimo tego dane są przekazywane poprawnie, co świadczy o dużej stabilności częstotliwości generowanych przez pętlę fazową. Dane z powyższego przykładu przesłano w trybie "single-rate" przy częstotliwości 960 MHz , ale wykonywane były też podobne testy dla pozostałych częstotliwości. Wykonano również test transmisji dla maksymalnych częstotliwości pracy, tj. $1,168\text{ GHz}$ przy standardowym napięciu zasilania i $1,255\text{ GHz}$ przy napięciu zwiększonym do $3,65\text{ V}$. W obu przypadkach dane zostały przesłane bezbłędnie, co świadczy o poprawnej pracy całego układu. Do pełnej oceny poprawności transmisji i wyznaczenia jej parametrów potrzebnych jest więcej testów ilościowych.

5.2.2 Analizy widmowe dla układu CDR

Pomiar pracy układu CDR umożliwił zegar taktujący równoległą magistralę danych wyjściowych odbiornika. Analogicznie jak w poprzednim podrozdziale zbierano widma częstotliwości tego sygnału. Robiono to tak podczas przesyłania danych, czyli z synchronizacją zapewnioną przez układ CDR, jak i bez przesyłania danych (czyli bez synchronizacji).



Rysunek 5.6: Działanie układu CDR w trybach 120 MHz i 240 MHz . W lewej kolumnie bez transmisji danych (synchronizacji), w prawej z synchronizacją.

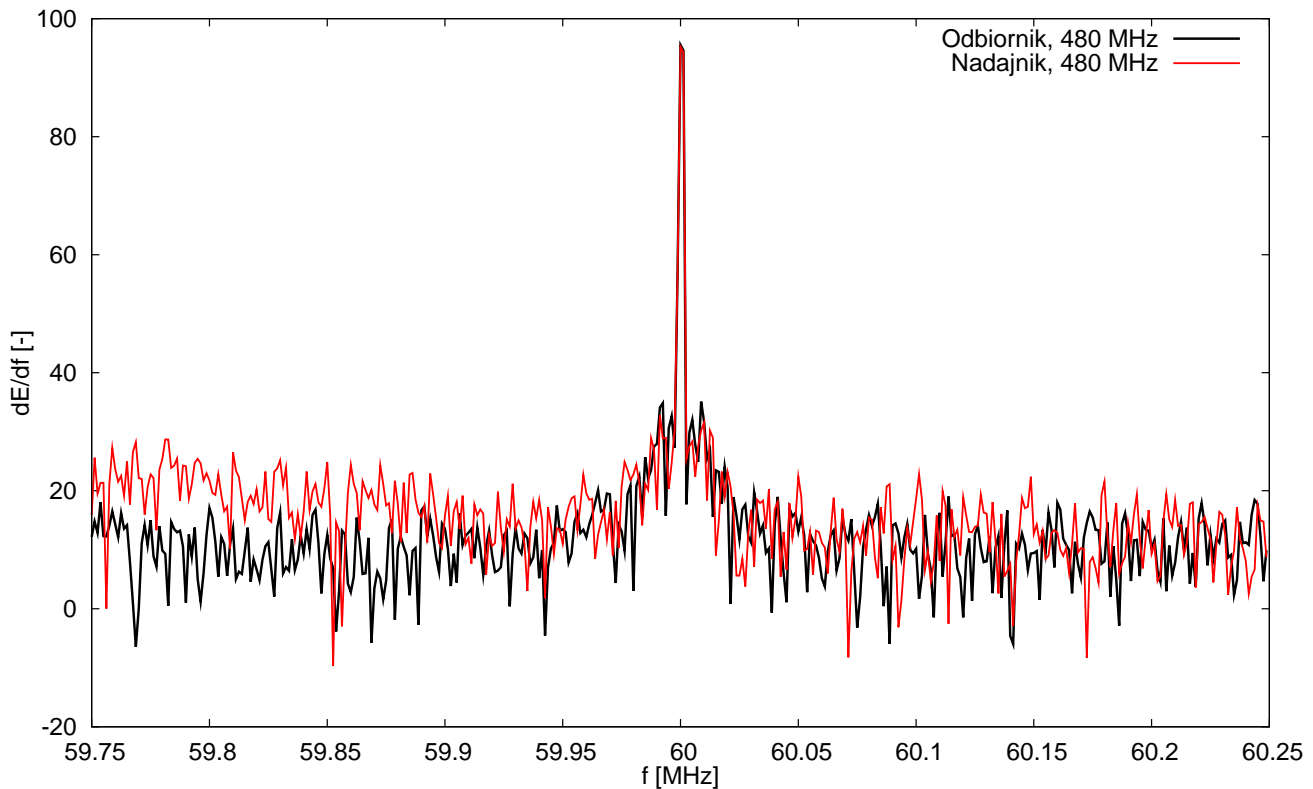


Rysunek 5.7: Działanie układu CDR w trybach 480 MHz i 960 MHz. W lewej kolumnie bez transmisji danych (synchronizacji), w prawej z synchronizacją.

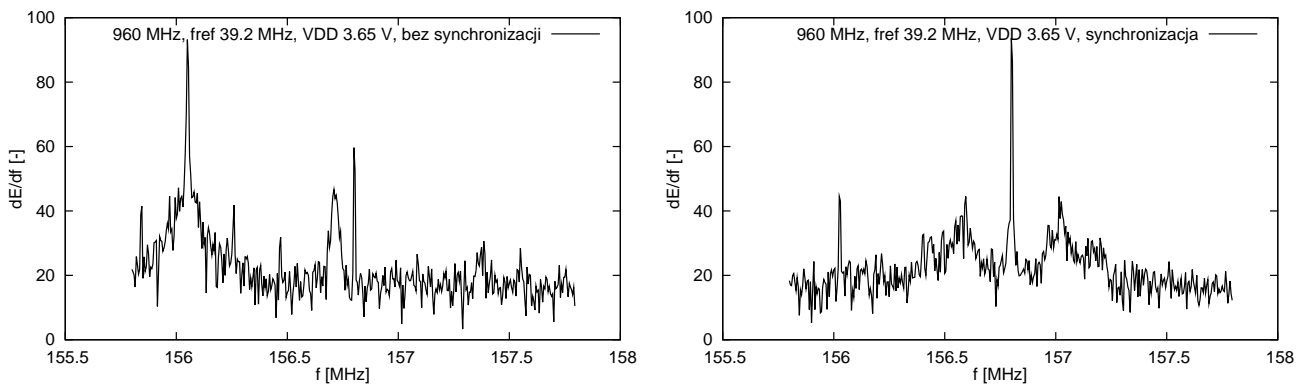
Na rysunku 5.6 przedstawiono widma dla trybów 120 MHz i 240 MHz, zaś na rysunku 5.7 dla trybów 480 MHz i 960 MHz. Przebiegi przedstawione w poprzednim podrozdziale reprezentowały stabilne częstotliwości o małej dyspersji, gdyż źródłem zegara dla bloku "serializer'a" jest oscylator VCO znajdujący się w sprzężeniu zwrotnym pętli fazowej. W przypadku przebiegów generowanych przez blok "deserializer'a", źródłem podstawowego zegara w odbiorniku są dodatkowe oscylatory VCO, których częstotliwość nie jest stabilizowana przez sprzężenie zwrotne. W zależności od dopasowania elementów na maskach technologicznych częstotliwość przebiegów z dodatkowych oscylatorów będzie jedynie zbliżona do częstotliwości generowanej przez główny oscylator pętli znajdujący się w sprzężeniu zwrotnym, zaś jej stabilność będzie zależała tylko od fluktuacji poziomów napięć sterujących. Widać to wyraźnie na obu wykresach 5.6 i 5.7 dla przypadku braku synchronizacji ze strony układu CDR. Widma częstotliwościowe charakteryzuje wówczas duża dyspersja, zaś położenie maksimum rozkładu jest przesunięte.

Z chwilą rozpoczęcia transmisji danych zaczyna działać układ CDR, synchronizując i stabilizując pracę dodatkowych oscylatorów. Stąd widma uzyskiwane dla działającego układu CDR charakteryzują się znacznie lepszymi parametrami i wiernie oddają widma częstotliwości generowanej przez nadajnik transceiver'a. Przykładowe porównanie widm odbiornika i nadajnika przy synchronizacji przebiegów w trybie 480 MHz przedstawia rysunek 5.8. Zgodność obu przebiegów wskazuje na poprawne działanie układu CDR.

Wykonano też dodatkowy test pracy układu przy podwyższonym napięciu zasilania. W



Rysunek 5.8: Porównanie widm częstotliwości nadajnika i odbiornika przy synchronizacji układu CDR w trybie 480 MHz.

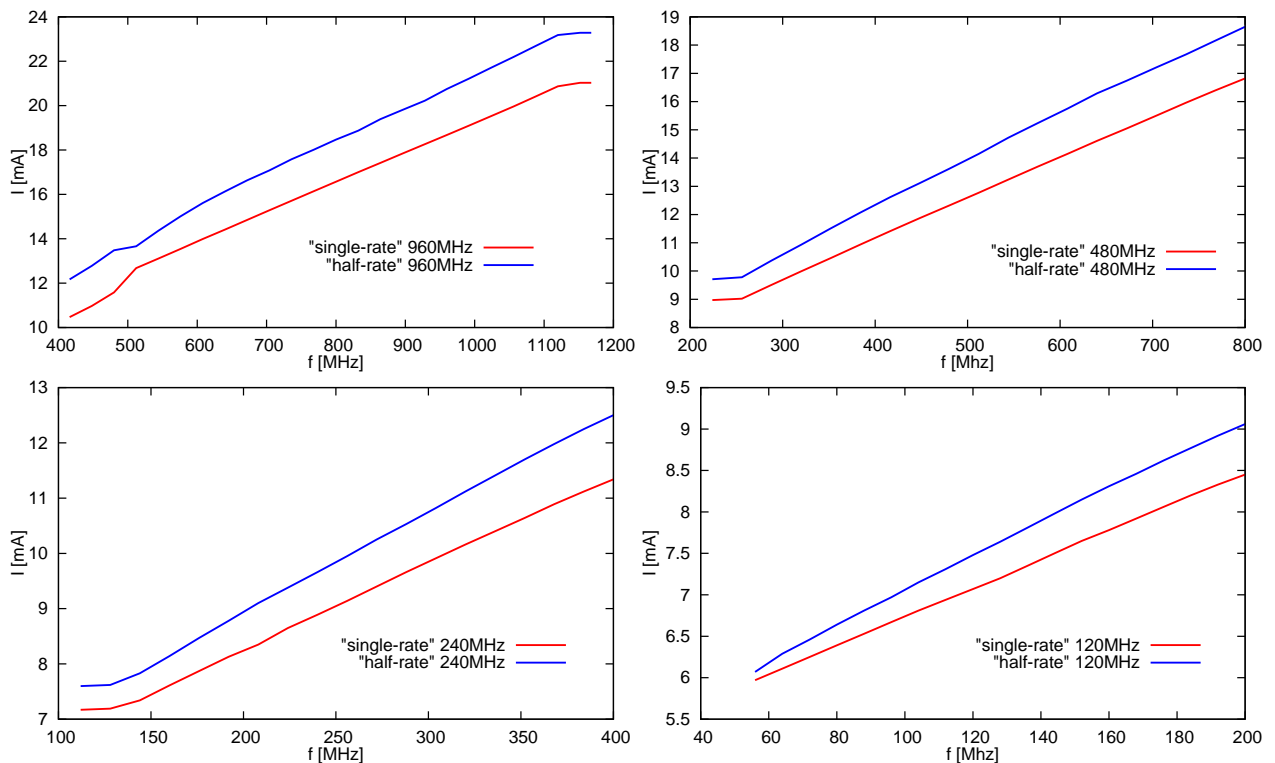


Rysunek 5.9: Działanie układu CDR bez (z lewej) i z synchronizacją (z prawej) dla maksymalnej częstotliwości pracy układu przy zwiększonym napięciu zasilania.

tym przypadku wynosiło ono 3.65 V , co umożliwiło wygenerowanie częstotliwości $1,255\text{ GHz}$. Rysunek 5.9 obrazuje działanie układu CDR przy tej częstotliwości. Jak widać cały układ, nie tylko sama pętla fazowa, pracuje poprawnie z niezwykle wysoką jak na zastosowaną technologię częstotliwością ponad $1,25\text{ GHz}$. W ten sposób udało się znacznie przekroczyć zakładaną początkowo granicę możliwych do uzyskania częstotliwości w technologii AMS $0,35\text{ }\mu\text{m}$.

5.3 Pobór prądu układu

Wykresy 5.10 przedstawiają zależność poboru prądu zaprojektowanego układu transceiver'a od częstotliwości jego pracy, podczas działania we wszystkich trybach. Dokładne wartości poboru prądu oraz mocy przedstawione są dodatkowo w tabeli 5.5. Zgodnie z budową wewnętrzną zaprojektowanego ASIC'a (podrozdział 3.1), do poboru prądu wliczone są dwie pary układów nadajnik-odbiornik². Natomiast do rachunku prądowego nie zostały wliczone bufory wejściowe i wyjściowe (LVDS), które pobierają około 70 mA. Zmierzenie poboru prądu, oddzielnie dla każdego z bloków transceiver'a, nie jest możliwe gdyż wymagało by to użycia wielu parów zasilających, a nie pozwalają na to założone wymiary układu. Moc pobierana przez układ jest zbliżona do uzyskanej w wyniku symulacji. Symulowany pobór prądu został oceniony na podstawie sumy prądów pobieranych przez poszczególne bloki układu.



Rysunek 5.10: Pobór prądu zaprojektowanego układu transceiver'a w zależności od częstotliwości jego pracy. Wykresy przedstawiają porównanie poboru prądu dla każdego z trybów pracy z uwzględnieniem podziału na "single-rate" i "half-rate"

Z wykresów 5.10 widać, iż transceiver działający w trybie "half-rate" pobiera większy prąd niż w trybie "single-rate". Realizowana jest wtedy (w trybie "half-rate") jednak transmisja z dwukrotnie większą prędkością. W celu porównania pracy układu w dwóch trybach pracy,

²Zaprojektowany ASIC zawiera w swojej strukturze dwa nadajniki i dwa odbiorniki. W jednej chwili (w zależności od sygnałów sterujących) pracuje tylko jeden nadajnik i odbiornik, podczas gdy druga para jest nieaktywna i działa na obniżonej częstotliwości około 72 MHz. Podyktowane jest to koniecznością ciągłego działania przerzutników dynamicznych.

	960	960	480	480	240	240	120	120
	SR	HR	SR	HR	SR	HR	SR	HR
$I_{typ}(f_{ref} = 30 \text{ MHz})[mA]$	18,68	20,75	12,32	13,62	8,89	9,66	7,07	7,48
$I_{max}^* [mA]$	21,03	23,28	16,82	18,65	11,34	12,50	8,45	9,06
$P_{typ}(f_{ref} = 30 \text{ MHz})[mW]$	61,65	68,48	40,65	44,93	29,33	31,87	23,31	24,67
$P_{max}^* [mW]$	69,40	76,83	55,52	61,54	37,41	41,25	27,88	29,89

* - maksymalne wartości prądów zostały podane dla maksymalnych częstotliwości

Tabela 5.5: Pobór prądu i mocy przez układ transceiver'a dla typowych i maksymalnych częstotliwości pracy

należy zestawić z sobą takie same prędkości transmisji, co zostało zrobione w tabeli 5.6.

	120 Mb/s	240 Mb/s	480 Mb/s	960 Mb/s
$I_{typ}[mA]$ "single-rate"	7,07	8,89	12,32	18,68
$I_{typ}[mA]$ "half-rate"	6,18	7,61	9,75	13,48

Tabela 5.6: Porównanie trybów "single-rate" i "half-rate" pod względem poboru prądu

Zgodnie z przewidywaniami teoretycznymi tryb "half-rate" jest bardziej "oszczędny" pod względem poboru prądu. Jest to wynikiem dwukrotnie mniejszej częstotliwości pracy. Zysk na mocy nie jest jednak równy 50% gdyż w tym trybie układ jest bardziej skomplikowany i więcej elementów przełącza się z tą niższą częstotliwością. Zysk na mocy rośnie wraz ze wzrostem częstotliwości pracy. Przy transmisji 120 Mb/s, prąd pobierany przez układ w trybie "half-rate" stanowi około 87% tego co pobierane jest w trybie "single-rate", natomiast przy 960 Mb/s zysk jest rzędu 72%. Fakt zależności różnicy w poborze prądu między trybami od szybkości transmisji związany jest ze stałym fragmentem układu, który pracuje tak samo w obu trybach. Do zmniejszenia pobieranej mocy przyczyniają się głównie układy rejestrów, których pobór prądu silnie zależy od częstotliwości, a w trybie "half-rate" częstotliwość ich pracy jest dwukrotnie niższa (przy tej samej szybkości danych w obu trybach).

Dla potwierdzenia poboru prądu zaprojektowanego transceiver'a wykonano pomiary drugiego egzemplarza ASIC'a w typowych warunkach pracy (tabela 5.7). Ponieważ pobór prądu jest uzależniony od rozrzutu elementów pasozytniczych, więc niewielki różnice pomiędzy ASIC'ami są uzasadnione.

	960	960	480	480	240	240	120	120
	SR	HR	SR	HR	SR	HR	SR	HR
$I_{typ}[mA]$ ASIC 1	18,68	20,75	12,32	13,62	8,89	9,66	7,07	7,48
$I_{typ}[mA]$ ASIC 2	19,07	21,19	12,59	13,92	9,11	9,88	7,23	7,65

Tabela 5.7: Porównanie poboru prądu dwóch egzemplarzy zaprojektowanego ASIC'a

Podsumowanie

Celem niniejszej pracy było wykonanie układu transceiver'a, czyli nadajnika i odbiornika, do szybkiej szeregowej transmisji sygnałów. Projekt wymagał opracowania własnego rozwiązania układu na podstawie różnych spotykanych w literaturze architektur i jego zaimplementowaniu w postaci dedykowanego układu scalonego (ASIC). Aby osiągnąć wyznaczony cel wykonano:

- projekt schematów ideowych wszystkich potrzebnych fragmentów układu, oraz przeprowadzono ich szczegółowych symulacje.
- projekt masek technologicznych wszystkich podukładów transceiver'a oraz rozmieszczono je na globalnym projekcie masek ASIC'a. Nie było to prostym zadaniem, ponieważ projektowany układ pracuje przy częstotliwościach rzędu 1 GHz , co jest granicą technologii użytej do realizacji projektu (AMS $0.35\ \mu\text{m}$). Ważnym stało się jednocześnie dokładne uwzględnienie wpływu elementów pasożytniczych. Szczególnie istotny wpływ miały one na projekt oscylatora sterowanego napięciem (VCO), gdzie jakakolwiek dodatkowa pojemność (w okolicach łańcucha opóźniającego) znacznie ogranicza częstotliwość jego pracy. Problem został rozwiązany przez bardzo skupioną konstrukcję samego łańcucha oscylatora. Zagadnienie elementów pasożytniczych stało się równie ważne przy projekcie masek technologicznych rejestrów (wejściowego i wyjściowego), gdzie opóźnienia powstałe na ścieżkach rozprowadzających przebieg zegarowy degradowały pracę przy dużych częstotliwościach. Specjalna konstrukcja przerzutnika i odpowiednie prowadzenie połączeń rozwiązało ten problem.
- szczegółowe symulacje z uwzględnieniem pasożytniczych pojemności i rezystancji, powstałych po narysowaniu masek technologicznych. Ponieważ działanie układu przy wysokich częstotliwościach zmienia się w sposób znaczący (po uwzględnieniu elementów pasożytniczych), wymiary użytych w projekcie tranzystorów były wielokrotnie modyfikowane i zmieniane na projekcie masek technologicznych, aż do uzyskania odpowiedzi układu podobnej do wyników uzyskanych wcześniej dla schematów ideowych.
- symulacje rozrzutów technologicznych elementów (symulacje Monte Carlo), które ze względu na konieczność wykonania wielu iteracji pochłonęły znaczną ilość czasu. Parametry układu były tak modyfikowane aby umożliwić dostrojenie układu niezależnie od rozrzutów

technologicznych.

- przygotowanie płytki testowej (płytki bazowej, na której został zamontowany prototypowy układ) dla zaprojektowanego transceiver'a. Na zewnątrz układu dostępne są przebiegi o mniejszych częstotliwościach, dochodzących do 240 MHz (magistrala równoległa, pracująca na podzielonym przebiegu zegarowym), a w szczególnych przypadkach nawet 960 MHz . Zatem bardzo krytyczny stał się projekt samej płytki. Przy dużych częstotliwościach impedancja falowa ścieżek musi być dopasowana do rezystancji wejściowej odbiornika w zaprojektowanym układzie, gdyż nawet kilka centymetrów połączenia staje się już linią długą, a to z kolei może prowadzić do odbić sygnału. Dopasowanie parametrów linii transmisyjnej pociąga za sobą konieczność dokładnego dobrania szerokości ścieżek sygnałowych oraz odległości między nimi. Zmiana opóźnienia sygnałów na różnej długości ścieżkach także ma tutaj kluczowe znaczenie i nie mogła zostać pominięta.
- przygotowanie stanowiska testowego, na które składa się głównie zaprojektowanie i wykonanie logiki pomiarowej, zajmującej się gromadzeniem danych testowych w swojej pamięci RAM (akwizycja danych). Takie zadanie okazało się konieczne, gdyż w czasie rzeczywistym nie ma możliwości wygenerowania i wysłania 240 MB (w najszybszym trybie pracy) danych w każdej sekundzie działania transceiver'a. Ponieważ częstotliwość pracy takiej logiki musi być duża, a jednocześnie musi ona dawać możliwość wprowadzania modyfikacji podczas testów, jedyną możliwością było wykorzystanie programowalnego układu logicznego (FPGA).
- wykonano wstępne pomiary funkcjonalne prototypu ASIC'a. Dotychczas uzyskane wyniki wskazują na poprawną pracę układu, jednak do pełnej oceny działania potrzebne są dalsze testy, których przeprowadzenie nastąpi poza ramami niniejszej pracy magisterskiej.

Podczas pracy nad projektem, poza ogromnym wysiłkiem włożonym w projekt kompletnego transceiver'a o przełączanych zakresach częstotliwości, najważniejszym problemem była trudność zbudowania układu, który mógłby pracować z bardzo wysokimi częstotliwościami rzędu 1 GHz . Z tego powodu wszystkie podukłady projektowanego transceiver'a, zarówno cyfrowe jak i analogowe musiały zostać narysowane (projekt masek technologicznych) w pełni ręcznie. Nie mogło tutaj być mowy o automatycznej generacji masek dla układów cyfrowych, jaka zwykle ma miejsce w typowych projektach układów cyfrowych.

Podsumowując wyniki wykonanych prac można stwierdzić, że cel pracy został w pełni osiągnięty, gdyż:

- po wielokrotnych iteracjach projekt-symulacje-modyfikacja układu, w pełni zweryfikowane zostało poprawne jego działanie, a finalnym efektem tych prac był projekt masek technologicznych.
- finalny projekt układu trafił do produkcji w technologii AMS $0.35\ \mu\text{m}$.

- przygotowano i zweryfikowano działanie stanowiska pomiarowego, umożliwiającego wykonanie pomiarów we wszystkich trybach pracy zaprojektowanego układu.
- rozpoczęto testy działania prototypowego układu ASIC. Wszystkie założone częstotliwości pracy (120/240/480/960 MHz) działają prawidłowo, a pętle fazowe synchronizują się poprawnie na podstawie założonej częstotliwości referencyjnej 30 MHz . Dodatkowo testy przeprowadzone dla różnych częstotliwości referencyjnych wykazały, że układ może działać w szerokim zakresie częstotliwości (przestrzajany płynnie), a nie tylko w założonych czterech trybach pracy. Przy typowym napięciu zasilania (3.3 V) w najszybszym trybie pracy, przystosowanym do częstotliwości 960 MHz , uzyskano maksymalną częstotliwość około 1170 MHz (dla referencji 36.5 MHz), a układ odzyskiwania zegara i danych uzyskał synchronizację z przebiegiem danych periodycznych w takich warunkach. Świadczy to o tym że wszystkie bloki cyfrowe pracują z taką właśnie podwyższoną częstotliwością, a nie jest to wartość dostępna tylko na wyjściu oscylatora. Na podwyższonym napięciu zasilania (3.65 V) pętle fazowe wraz z całym układem CDR działają poprawnie do częstotliwości 1255 MHz .

Pomiary testowe znajdują się na początkowym etapie i będą kontynuowane już poza ramami pracy magisterskiej. Projekt i symulacje układu będącego przedmiotem niniejszej pracy przyczyniły się do skokowego poszerzenia wiedzy autorów w tej ważnej dziedzinie elektroniki, jaką jest transmisja sygnałów. Jednocześnie podniesiono stopień kwalifikacji w poznanych wcześniej metodach projektowania i symulacji specjalistycznych układów scalonych. Wprowadzenie przełączanych prędkości i trybów transmisji, mimo iż spowodowało znaczną komplikację projektu, dostarczyło wielu ważnych doświadczeń i obserwacji na temat zachowania układu i wymagań dotyczących jego konstrukcji.

Dość otwarta, blokowa architektura transceiver'a (np. możliwość zwiększenia rozmiaru magistral równoległych przez prostą rozbudowę bloków "serializer'a i "deserializer'a" o kolejne stopnie rejestrów) umożliwia modyfikację wykonanego już projektu bez konieczności budowy kolejnej wersji od podstaw. Modularność konstrukcji pozwala również na wykorzystanie jej części (np. przełączanej pętli fazowej PLL) w innych projektach wykonywanych w Zespole Elektroniki Jądrowej i Detekcji Promieniowania. W najbliższej perspektywie niniejszy projekt może znaleźć zastosowanie w szybkiej szeregowej transmisji danych, między innymi w systemach detekcji przyszłych eksperymentów fizyki cząstek.

Bibliografia

- [1] John Teifel and Rajit Manohar, *A High-Speed Clockless Serial Link Transceiver*
- [2] Davis Johns and Ken Martin, *Analog Integrated Circuit Design*, Wiley, 1997
- [3] USB-IF, *Universal Serial Bus Specification revision 2.0*,
http://www.usb.org/developers/docs/usb_20_052510.zip
- [4] Stephen H. Hall and Howard L. Heck, *Advanced Signal Integrity for High-Speed Digital Designs*, Wiley-IEEE Press, 2009
- [5] Behzad Razavi, *Challenges in the Design of High-Speed Clock and Data Recovery Circuits*
- [6] Kuo-Hsing Cheng, Member, IEEE, and Yu-Lung Lo, *A Fast-Lock Wide-Range Delay-Locked Loop Using Frequency-Range Selector for Multiphase Clock Generator*
- [7] Kun-Yung Chang, *DESIGN OF A CMOS ASYMMETRIC SERIAL LINK*, 1999
- [8] Zhijun Wang, Liping Liang, Tsinghua University, *An All Digital CMOS Serial Link Transceiver with 3x Over-sampling Based Data Recovery*
- [9] Rick Walker, Hewlett-Packard Company, *Clock and Data Recovery for Serial Digital Communication*
- [10] Trong-Hieu Ngo, Tae-Woo Lee, Hyo-Hoon Park *Multi-channel Clock and Data Recovery Circuits for Chip-to-chip Optical Interconnects* , SPIE Vol. 6899
- [11] M.Banu and A. E. Dunlop, ELECTRONICS LETTERS 5th November 1992 Vol 28 No 23, *CLOCK RECOVERY CIRCUITS WITH INSTANTANEOUS LOCKING*
- [12] Xilinx, *Virtex-5 Family Overview*,
http://www.xilinx.com/support/documentation/data_sheets/ds100.pdf
- [13] Avnet, *Xilinx Virtex-5 FXT Evaluation Kit - Product Brief*,
http://www.em.avnet.com/ctf_shared/evk/df2df2usa/xlx_v5fxt_evl-pb052208F.pdf
- [14] Avnet, *EXP Expansion Connector Specification revision 1.4*,
http://www.em.avnet.com/ctf_shared/evk/df2df2usa/exp_specification_v1_4.pdf
- [15] Daniel Abramovitch, *Phase-Locked Loops: A Control Centric Tutorial*, 2002

-
- [16] Tan Kok-Siang, Mohd-Shahiman Sulaiman, Chuah Hean-Teik, Manoj Sachdev, *Design of high-speed clock and data recovery circuits*, 2007
- [17] Behzad Razavi, *Design of High-Speed Circuits for Optical Communication System*
- [18] Fuding Ge, *PFD-CP Phase Locked Loop Design*
- [19] Devon Fernandez, Sanjeev Manandhar, *Digital Phase Locked Loop*
- [20] Pyung-Su Han, Woo-Young Choi, *1.25/2.5-Gb/s Dual Bit-Rate Burst-Mode Clock Recovery Circuits in 0.18- μ m CMOS Technology*
- [21] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*
- [22] R. Jacob Baker, *CMOS: Circuit Design, Layout, and Simulation*
- [23] National Semiconductor, *LVDS Owner's Manual 2008*
- [24] Charles R. Hogge, jr. 1985, *A Self Correcting Clock Recovery Circuit*
- [25] J. H. D. Alexander, ELECTRONICS LETTERS 30th October 1975 Vol.11 No. 22, *CLOCK RECOVERY FROM RANDOM BINARY SIGNALS*
- [26] Mark Horowitz, Chih-Kong Ken Yang, Stefanos Sidiropoulos, Stanford University, *HIGH-SPEED ELECTRICAL SIGNALING: Overview and Limitations*
- [27] Seema Butala Anand and Behzad Razavi, *A CMOS Clock Recovery Circuit for 2.5-Gb/s NRZ Data*, 2001
- [28] Alan Hastings, *The Art of Analog Layout*, 2001
- [29] Paul Horowitz, Winfield Hill, *Sztuka elektroniki*

Spis rysunków

1.1	Definicja czasu propagacji.	19
1.2	Przykładowy przebieg danych.	21
1.3	Przykład transmisji synchronicznej.	22
1.4	Przykład transmisji równoległej.	23
1.5	Standard NRZ.	24
1.6	Standard NRZI.	24
1.7	Standard PM.	25
1.8	Standard FM.	25
1.9	Idea działania trybu "half-rate".	26
1.10	Idea budowy układu transceiver'a.	27
1.11	Schemat blokowy nadajnika.	28
1.12	Schemat blokowy odbiornika.	29
2.1	Wpływ układu CDR na przebieg danych.	31
2.2	Przykład synchronizacji zegara z linią danych	32
2.3	Schemat blokowy układu CDR z jednym oscylatorem VCO.	33
2.4	Schemat blokowy układu CDR z dwoma oscylatorami VCO.	34
2.5	Przykład inwertera z ograniczonym poborem prądu	35
2.6	Schemat blokowy układu CDR typu "burst mode".	36
2.7	Idea działania układu CDR typu "burst mode".	36
2.8	Synchronizacja przebiegów zegara i danych	37
2.9	Uproszczony schemat blokowy pętli fazowej	39
2.10	Idea działanie najprostszego detektora fazy, bramki XOR	40
2.11	Zastosowanie filtra dolnoprzepustowego do uśredniania sygnału błędu	41
2.12	Schemat blokowy pętli fazowej z detektorem fazy na bramce XOR	41
2.13	Odpowiedź wyjścia pętli fazowej na skok częstotliwości referencyjnej	45
2.14	Porównanie oscylacji na wyjściu w zależności od współczynnika ξ	45
2.15	Idea działania pętli fazowej drugiego rodzaju	46
2.16	Idea działania detektora fazy i częstotliwości	47
2.17	Możliwe układy wyjściowe dla detektora fazy	48

2.18	Schemat blokowy pętli fazowej drugiego rodzaju	49
2.19	Konfiguracje filtra pętli fazowej	52
2.20	Wykorzystanie pętli fazowej do powielania częstotliwości	52
2.21	Schemat oscylatora bramkowanego	53
2.22	Inwerter z ograniczonym poborem prądu	54
2.23	Pojemność całkowita na wyjściu sterowanego inwertera	55
2.24	Najprostszy oscylator sterowany napięciem	56
2.25	Zależność częstotliwości oscylacji od napięcia sterującego VCO	56
2.26	Prosty detektor fazy działający na zasadzie detekcji zbocza sygnału	57
2.27	Schemat detektora fazy Hogge'a	58
2.28	Odpowiedź detektora fazy Hogge'a na przykładowy przebieg danych wejściowych	59
2.29	Metody detekcji przesunięcia zegara względem danych	60
2.30	Schemat detektora fazy Alexander'a	61
2.31	Odpowiedź detektora fazy Alexander'a na przykładowy przebieg danych wejściowych	62
2.32	Schemat detektora fazy i częstotliwości	62
2.33	Diagram stanów detektora fazy i częstotliwości	63
2.34	Odpowiedź detektora fazy i częstotliwości na różne relacje między przebiegami wejściowymi	64
2.35	Idea działania układów wyjściowych z detektora fazy	65
2.36	Najprostsza pompa ładunkowa z tranzystorami w roli źródeł prądowych	66
2.37	Wpływ niejednoczesnych sygnałów sterujących tranzystory na działanie pompy ładunkowej	66
2.38	Metoda dopasowania opóźnień sygnałów sterujących tranzystory M1 i M2	67
2.39	Wpływ różnych prądów drenów tranzystorów M1 i M2 na działanie pompy ładunkowej	67
2.40	Wpływ pojemności pasożytniczej tranzystorów źródeł prądowych na działanie pompy ładunkowej	68
2.41	Przeładowanie pojemności pasożytniczych w chwili zwarcia kluczy S1 i S2	69
2.42	Idea działania bootstrappingu	69
2.43	Praktyczna realizacja pompy ładunkowej	70
2.44	Przerzutnik typu D	71
2.45	Statyczny przerzutnik typu D	72
2.46	Statyczny przerzutnik typu D (alternatywna konfiguracja)	73
2.47	Komórki pamięci	74
2.48	Przerzutnik dynamiczny ze sterowanymi inwerterami.	75
2.49	Przerzutnik dynamiczny	76
2.50	Układ testowy - dzielnik częstotliwości	77

2.51	Parametry czasowe przerzutnika.	77
2.52	Przykład zbyt szybkiego przebiegu zegarowego	78
2.53	Przykład poboru prądu przez wejście zegarowe przerzutnika dla dwóch szybkości zegara.	78
2.54	Idea działania nadajnika i odbiornika LVDS	79
2.55	Poziomy napięcie na wejściach odbiornika LVDS	80
2.56	Wpływ impedancji połączeń w standardzie LVDS	80
2.57	Schemat 4-bitowego rejestru równoległego.	81
2.58	Schemat 4-bitowego rejestru szeregowego.	82
2.59	Zasada działania 4-bitowego rejestru szeregowego.	82
2.60	Schemat 4-bitowego rejestru szeregowo-równoległego.	83
2.61	Etapy przetwarzania danych szeregowych na równoległe	83
2.62	Schemat 4-bitowego rejestru równoległo-szeregowego.	84
2.63	Etapy przetwarzania danych równoległych na szeregowe	84
2.64	"Deserializer" danych - schemat ideowy.	86
2.65	Dzielnik częstotliwości	87
2.66	Praca "deserializer'a" w trybie "half-rate"	87
2.67	"Deserializer" danych dla trybu "half-rate" - schemat ideowy.	88
2.68	"Deserializer" danych pracujący w obu trybach - schemat ideowy.	89
2.69	"Serializer" danych	90
2.70	Dzielnik częstotliwości "serializer'a"	91
3.1	Schemat blokowy zaprojektowanego ASIC'a	93
3.2	Maski technologiczne zaprojektowanego ASIC'a ($420 \times 140 \mu m^2$)	95
3.3	Wyprowadzenia (pady) zaprojektowanego ASIC'a	96
3.4	Multipleksowanie magistrali danych na wyjściu odbiornika ($420 \times 140 \mu m^2$)	97
3.5	Maski technologiczne nadajnika ($260 \times 180 \mu m^2$)	97
3.6	Maski technologiczne odbiornika ($300 \times 210 \mu m^2$)	98
3.7	Schemat praktycznej realizacji układu CDR	100
3.8	Maski technologiczne układu CDR ($130 \times 125 \mu m^2$)	101
3.9	Tworzenie przebiegu zegarowego na podstawie dwóch oscylatorów (w trybie "single-rate")	102
3.10	Tworzenie przebiegu zegarowego na podstawie dwóch oscylatorów (w trybie "single-rate")	103
3.11	Zależności fazowe między sygnałem danych a odzyskanym zegarem (w trybie "single-rate")	104
3.12	Tworzenie przebiegu zegarowego na podstawie dwóch oscylatorów (w trybie "half-rate")	105

3.13	Tworzenie przebiegu zegarowego na podstawie dwóch oscylatorów (w trybie "half-rate")	105
3.14	Zależności fazowe między sygnałem danych a odzyskanym zegarem (w trybie "half-rate")	106
3.15	Uproszczony schemat blokowy zastosowanej w praktyce pętli fazowej	107
3.16	Maski technologiczne pętli fazowej na przykładzie nadajnika ($170 \times 150 \mu m^2$)	109
3.17	Synchronizacja pętli fazowej bez uwzględniania elementów pasożytniczych	110
3.18	Synchronizacja pętli fazowej po ekstrakcji elementów pasożytniczych	110
3.19	Wpływ elementów pasożytniczych na działanie pętli fazowej	111
3.20	Wpływ dodatkowego filtra R2-C3 na działanie pętli fazowej	112
3.21	Kilka przykładów symulacji statystycznych rozrzutów technologicznych	113
3.22	Synchronizacja pętli fazowej 120 MHz	114
3.23	Synchronizacja pętli fazowej 240 MHz	114
3.24	Synchronizacja pętli fazowej 480 MHz	115
3.25	Schemat oscylatora 960MHz	116
3.26	Przebiegi sygnału na wyjściach inwerterów I2 oraz I3 w łańcuchu oscylatora	117
3.27	Przebiegi sygnału na wyjściach inwerterów I5 - I7	118
3.28	Projekt masek technologicznych układu VCO960 ($36 \times 22 \mu m^2$)	119
3.29	Uproszczony schemat układu polaryzującego inwertery	119
3.30	Pełny schemat układu polaryzującego inwertery	120
3.31	Przebiegi napięć na liniach SU i SD	121
3.32	Projekt masek technologicznych układu polaryzującego ($40 \times 36 \mu m^2$)	121
3.33	Zależność częstotliwości pracy oscylatora od napięcia sterującego	122
3.34	Zależność poboru prądu oscylatora od częstotliwości	123
3.35	Zależność częstotliwości pracy oscylatora od napięcia sterującego	124
3.36	Opóźnienie startu oscylatora po ustawieniu sygnału startu (ENA)	124
3.37	Schemat oscylatora wielozakresowego SVCO	125
3.38	Maski technologiczne oscylatora wielozakresowego SVCO ($30 \times 20 \mu m^2$)	126
3.39	Pełny schemat układu polaryzującego inwertery	127
3.40	Fragment masek technologicznych układu polaryzującego ($60 \times 46 \mu m^2$)	128
3.41	Zależność częstotliwości pracy oscylatora (120 MHz) od napięcia sterującego	129
3.42	Zależność poboru prądu od częstotliwości pracy oscylatora (120 MHz)	130
3.43	Zależność częstotliwości pracy oscylatora (240 MHz) od napięcia sterującego	131
3.44	Zależność poboru prądu od częstotliwości pracy oscylatora (240 MHz)	131
3.45	Zależność częstotliwości pracy oscylatora (480 MHz) od napięcia sterującego	132
3.46	Zależność poboru prądu od częstotliwości pracy oscylatora (480 MHz)	133
3.47	Najprostszy zatrząsk zbudowany na bramkach NAND, wraz z tabelą prawdy	134
3.48	Schemat detektora fazy i częstotliwości [21]	134

3.49	Schemat detektora fazy i częstotliwości z wprowadzonymi modyfikacjami	135
3.50	Testowanie bramki NAND	136
3.51	Zbocza sygnału prostokątnego transmitowanego przez bramkę NAND	137
3.52	Schemat detektora fazy i częstotliwości z uwzględnieniem wad bramki NAND . . .	137
3.53	Zgodność impulsów U i D na wyjściu detektora fazy	138
3.54	Maski technologiczne detektora fazy bez buforów wyjściowych ($40 \times 18 \mu m^2$) . .	139
3.55	Wzmocnienie detektora fazy	139
3.56	Odpowiedź detektora fazy na przebiegi wejściowe (A i B) o różnych częstotliwościach	140
3.57	Schemat pompy ładunkowej zastosowanej w praktyce	141
3.58	Schemat bufora (wzmacniacza operacyjnego) stosowanego w praktyce do realizacji bootstrappingu	142
3.59	Podłączenie wzmacniacza operacyjnego w roli bufora napięciowego	142
3.60	Wpływ stosowania bootstrappingu na działanie pompy ładunkowej	143
3.61	Odpowiedź pompy ładunkowej na różniące się sygnały U i D	143
3.62	Przebieg napięcia na filtrze pętli fazowej	144
3.63	Przebieg napięcia na filtrze pętli fazowej	144
3.64	Maski technologiczne pompy ładunkowej ($22 \times 25 \mu m^2$)	145
3.65	Maski technologiczne bufora napięciowego ($26 \times 33 \mu m^2$)	146
3.66	Odpowiedź pompy ładunkowej na jednakowe sygnały U i D	147
3.67	Porównanie zmiany poziomu stałego na filtrze pętli fazowej w zależności od prądu pompy ładunkowej	147
3.68	Schemat ideowy układu synchronizacji	150
3.69	Maski technologiczne układu synchronizacji ($36 \times 60 \mu m^2$)	151
3.70	Opóźnienie danych wejściowych, oraz zgodność w fazie przebiegu danych wyjściowych z sygnałem synchronizacji	152
3.71	Zależność fazowa między dwoma sygnałami synchronizacji	153
3.72	Opóźnienie danych wejściowych, oraz zgodność w fazie przebiegu danych wyjściowych z sygnałem synchronizacji	153
3.73	Zależność fazowa między dwoma sygnałami synchronizacji po narysowaniu layoutu	154
3.74	Wpływ rozrzutów technologicznych na opóźnienie sygnałów synchronizacji . . .	154
3.75	Zależność poboru prądu układu synchronizacji od częstotliwości zmian sygnału danych	155
3.76	Opóźnienie danych wejściowych, oraz zgodność w fazie przebiegu danych wyjściowych z sygnałem synchronizacji	156
3.77	Opóźnienie danych wejściowych, oraz zgodność w fazie przebiegu danych wyjściowych z sygnałem synchronizacji	156
3.78	Wpływ rozrzutów technologicznych na opóźnienie sygnałów synchronizacji . . .	157

3.79	Zależność poboru prądu układu synchronizacji od częstotliwości zmian sygnału danych	157
3.80	Schemat ideowy sterowanego dzielnika częstotliwości	159
3.81	Maski technologiczne dzielnika sterowanego, część 1 ($30 \times 30 \mu m^2$)	160
3.82	Maski technologiczne dzielnika sterowanego, część 2 ($30 \times 30 \mu m^2$)	161
3.83	Pobór prądu dzielnika w zależności od częstotliwości podawanej na wejście . . .	162
3.84	Przebiegi na wyjściu dzielnika przy różnych stopniach podziału częstotliwości . .	163
3.85	Schemat luster prądowych do polaryzacji pompy ładunkowej i jej bufora	164
3.86	Schemat luster prądowych do polaryzacji oscylatorów sterowanych	165
3.87	Rysowanie masek technologicznych źródeł prądowych	165
3.88	Maski technologiczne głównego układu polaryzującego ($70 \times 65 \mu m^2$)	166
3.89	Oscylacje prądów polaryzujących wynikające ze zmian napięcia zasilania	166
3.90	Oscylacje prądów polaryzujących wynikające ze zmian napięcia zasilania	167
3.91	Schematy symulacyjne przerzutników	168
3.92	Parametry czasowe przerzutnika statycznego zbudowanego z bramek NAND. . .	169
3.93	Parametry czasowe przerzutnika statycznego z komórką pamięci zbudowaną z inwerterów.	170
3.94	Parametry czasowe przerzutnika dynamicznego ze sterowanymi inwerterami. . .	171
3.95	Porównanie szybkości odpowiedzi przerzutników.	171
3.96	Parametry czasowe przerzutnika dynamicznego z bramkami transmisyjnymi. . .	172
3.97	Schemat ideowy przerzutnika.	173
3.98	Obwód RC na wejściu przerzutnika.	174
3.99	Symulacja stosunku wymiarów inwertera i bramki transmisyjnej.	175
3.100	Pobór prądu w funkcji stosunku wymiarów inwertera i bramki transmisyjnej. . .	175
3.101	Przebiegi czasowe w funkcji rosnącej szerokości kanału bramki transmisyjnej. . .	176
3.102	Pobór prądu w funkcji rosnącej szerokości kanału bramki transmisyjnej.	176
3.103	Parametry czasowe mniejszego przerzutnika <i>P1</i>	178
3.104	Zanik informacji na wyjściu przerzutnika bez przebiegu zegarowego.	178
3.105	Parametry czasowe większego przerzutnika <i>P2</i>	179
3.106	Statyczny pobór prądu przez przerzutnik bez przebiegu zegarowego.	180
3.107	Widok masek technologicznych przerzutnika ($21 \times 10 \mu m^2$).	180
3.108	Parametry czasowe "post-layout" większego przerzutnika <i>P2</i>	182
3.109	Porównanie zboczy narastających odpowiedzi obu przerzutników z symulacji schematu i post-layout.	182
3.110	Parametry czasowe "post-layout" mniejszego przerzutnika <i>P1</i>	183
3.111	Porównanie zboczy opadających odpowiedzi obu przerzutników z symulacji sche- matu i post-layout.	183
3.112	Schemat blokowy "deserializer'a".	184

3.113	Schemat ideowy dzielnika częstotliwości.	185
3.114	Przebiegi czasowe dzielnika.	186
3.115	Opóźnienia przebiegów przerzutnika przy częstotliwości 960 MHz w trybie "half-rate".	186
3.116	Opóźnienia przebiegów przerzutnika przy częstotliwości 960 MHz w trybie "single-rate".	187
3.117	Opóźnienia przebiegów przerzutnika przy częstotliwości 480 MHz w trybie "half-rate".	187
3.118	Schemat ideowy multipleksera.	188
3.119	Symulacje "post-layout" multipleksera	188
3.120	Maski technologiczne dzielnika ($76 \times 28 \mu m^2$).	189
3.121	Opóźnienia przebiegów przerzutnika przy częstotliwości 960 MHz w trybie "half-rate" po narysowaniu masek technologicznych.	189
3.122	Opóźnienia przebiegów przerzutnika przy częstotliwości 960 MHz w trybie "single-rate" po narysowaniu masek technologicznych.	190
3.123	Schemat ideowy układu formowania zegara.	190
3.124	Przebiegi układu formowania zegara - 960 MHz, tryb "half-rate".	191
3.125	Przebiegi układu formowania zegara - 960 MHz, tryb "single-rate".	192
3.126	Przebiegi układu formowania zegara - 480 MHz, tryb "half-rate".	192
3.127	Przebiegi układu formowania zegara - 480 MHz, tryb "single-rate".	193
3.128	Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 960 MHz, tryb "half-rate".	193
3.129	Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 960 MHz, tryb "single-rate".	194
3.130	Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 480 MHz, tryb "half-rate".	194
3.131	Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 480 MHz, tryb "single-rate".	194
3.132	Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 960 MHz, tryb "half-rate".	195
3.133	Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 960 MHz, tryb "single-rate".	196
3.134	Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 480 MHz, tryb "half-rate".	196
3.135	Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 480 MHz, tryb "single-rate".	196
3.136	Maski technologiczne układu formowania zegara ($58 \times 36 \mu m^2$).	198

3.137	Przebiegi układu formowania zegara - 960 MHz, tryb "half-rate", symulacja "post-layout".	199
3.138	Przebiegi układu formowania zegara - 960 MHz, tryb "single-rate", symulacja "post-layout".	199
3.139	Przebiegi układu formowania zegara - 480 MHz, tryb "half-rate", symulacja "post-layout".	200
3.140	Przebiegi układu formowania zegara - 480 MHz, tryb "single-rate", symulacja "post-layout".	200
3.141	Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 960 MHz, tryb "half-rate", symulacja "post-layout".	201
3.142	Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 960 MHz, tryb "single-rate", symulacja "post-layout".	201
3.143	Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 480 MHz, tryb "half-rate", symulacja "post-layout".	202
3.144	Przesunięcie fazowe przebiegów DD i DN w stosunku do DATA - 480 MHz, tryb "single-rate", symulacja "post-layout".	202
3.145	Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 960 MHz, tryb "half-rate", symulacja "post-layout".	202
3.146	Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 960 MHz, tryb "single-rate", symulacja "post-layout".	203
3.147	Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 480 MHz, tryb "half-rate", symulacja "post-layout".	203
3.148	Przesunięcie fazowe przebiegów DD w stosunku do zegarów CLK0 i CLK1 - 480 MHz, tryb "single-rate", symulacja "post-layout".	203
3.149	Schemat ideowy rejestru wyjściowego.	206
3.150	Przebiegi czasowe pierwszego stopnia (przerzutnik F7), "half-rate" 960 MHz.	207
3.151	Przebiegi danych w pierwszym stopniu (przerzutnik F7), "half-rate" 960 MHz.	207
3.152	Zależności czasowe przebiegów danych DD i DN oraz wyjścia multiplexera M7, tryb "half-rate" 960 MHz.	208
3.153	Przebiegi czasowe drugiego stopnia (przerzutnik F6), "half-rate" 960 MHz.	208
3.154	Przebiegi czasowe trzeciego stopnia (przerzutnik F5), "half-rate" 960 MHz.	209
3.155	Przebiegi czasowe bufora wyjściowego, "half-rate" 960 MHz.	209
3.156	Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "half-rate" 960 MHz.	210
3.157	Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "half-rate" 480 MHz.	210
3.158	Przebiegi czasowe pierwszego stopnia (przerzutnik F7), "half-rate" 480 MHz.	211
3.159	Przebiegi czasowe drugiego stopnia (przerzutnik F6), "half-rate" 480 MHz.	212
3.160	Przebiegi czasowe trzeciego stopnia (przerzutnik F5), "half-rate" 480 MHz.	212
3.161	Przebiegi czasowe bufora wyjściowego, "half-rate" 480 MHz.	212

3.162	Zależności czasowe przebiegów danych DD i DN oraz wyjścia multipleksera M7, "half-rate" 480 MHz.	213
3.163	Przebiegi czasowe pierwszego stopnia (przerzutnik F7), "single-rate" 960 MHz.	213
3.164	Przebiegi czasowe drugiego stopnia (przerzutnik F6), "single-rate" 960 MHz.	214
3.165	Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "single-rate" 960 MHz.	214
3.166	Przebiegi czasowe bufora wyjściowego, "single-rate" 960 MHz.	215
3.167	Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "single-rate" 480 MHz.	215
3.168	Maski technologiczne jednego stopnia rejestru ($72 \times 10 \mu m^2$).	216
3.169	Maski technologiczne rejestru ($80 \times 79 \mu m^2$).	216
3.170	Pobór prądu przez wejścia zegarowe rejestru, "post-layout" 960 MHz.	217
3.171	Przebiegi czasowe pierwszego stopnia (przerzutnik F7), "half-rate" 960 MHz, symulacje "post-layout".	219
3.172	Przebiegi czasowe drugiego stopnia (przerzutnik F6), "half-rate" 960 MHz, symulacje "post-layout".	219
3.173	Zależności czasowe przebiegów danych DD i DN oraz wyjścia multipleksera M7, "half-rate" 960 MHz, symulacje "post-layout".	220
3.174	Przebiegi czasowe trzeciego stopnia (przerzutnik F5), "half-rate" 960 MHz, symulacje "post-layout".	220
3.175	Przebiegi czasowe bufora wyjściowego, "half-rate" 960 MHz, symulacje "post-layout".	221
3.176	Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "half-rate" 960 MHz, symulacje "post-layout".	221
3.177	Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "half-rate" 480 MHz, symulacje "post-layout".	222
3.178	Przebiegi czasowe bufora wyjściowego, "half-rate" 480 MHz, symulacje "post-layout".	222
3.179	Przebiegi czasowe pierwszego stopnia (przerzutnik F7), "single-rate" 960 MHz, symulacje "post-layout".	223
3.180	Przebiegi czasowe drugiego stopnia (przerzutnik F6), "single-rate" 960 MHz, symulacje "post-layout".	223
3.181	Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "single-rate" 960 MHz, symulacje "post-layout".	224
3.182	Wpływ inwerterów I7-0 na pracę bufora wyjściowego, "single-rate" 480 MHz, symulacje "post-layout".	224
3.183	Maski technologiczne "deserializer'a" ($144 \times 114 \mu m^2$).	226
3.184	Przebiegi wyjściowe "deserializer'a", "half-rate" 960 MHz, symulacje "post-layout".	227

3.185	Przebiegi wyjściowe "deserializer'a", "single-rate" 960 MHz, symulacje "post-layout".	228
3.186	Średni pobór prądu przez blok "deserializer'a" w funkcji częstotliwości.	229
3.187	Schemat blokowy "serializer'a".	230
3.188	Schemat ideowy dzielnika.	231
3.189	Przebiegi czasowe pierwszej części dzielnika częstotliwości, 960 MHz.	232
3.190	Przebiegi czasowe drugiej części dzielnika częstotliwości, 960 MHz "half-rate".	234
3.191	Porównanie przebiegów CLK, CLKD i WRI przy częstotliwości 960 MHz w obu trybach.	235
3.192	Maski technologiczne pierwszej części dzielnika ($35 \times 39 \mu m^2$).	236
3.193	Maski technologiczne drugiej części dzielnika ($56 \times 23 \mu m^2$).	236
3.194	Porównanie przebiegów CLK, CLKD i WRI przy częstotliwości 960 MHz w obu trybach.	237
3.195	Schemat ideowy części rejestru wejściowego.	238
3.196	Zależności czasowe między przebiegami zapisywania i przekazywania danych w rejestrze.	239
3.197	Porównanie przebiegów CLK, WRI i M6 przy częstotliwości 960 MHz w obu trybach.	240
3.198	Praca bramek transmisyjnych na wyjściu układu "serializer'a" w trybie "half-rate" przy danych wejściowych "11001100".	242
3.199	Praca bramek transmisyjnych na wyjściu układu "serializer'a" w trybie "single-rate" przy danych wejściowych "11001100".	244
3.200	Praca bramek transmisyjnych na wyjściu układu "serializer'a" w trybie "half-rate" przy danych wejściowych "10101010".	245
3.201	Maski technologiczne pojedynczego stopnia rejestru ($63 \times 10 \mu m^2$).	247
3.202	Maski technologiczne jednego 4-bitowego rejestru ($73 \times 48 \mu m^2$).	247
3.203	Maski technologiczne układu sterowania bramkami transmisyjnymi na wyjściach rejestrów ($20 \times 15 \mu m^2$).	248
3.204	Zależności czasowe między przebiegami zapisywania i przekazywania danych w rejestrze w symulacjach "post-layout".	249
3.205	Porównanie przebiegów CLK, WRI i M6 przy częstotliwości 960 MHz w obu trybach w symulacjach "post-layout".	250
3.206	Praca bramek transmisyjnych na wyjściu układu "serializer'a" w trybie "half-rate" przy danych wejściowych "11001100" w symulacjach "post-layout".	251
3.207	Praca bramek transmisyjnych na wyjściu układu "serializer'a" w trybie "half-rate" przy danych wejściowych "10101010" w symulacjach "post-layout".	253
3.208	Maski technologiczne "serializer'a" ($117 \times 107 \mu m^2$).	254

3.209	Przykładowe przebiegi danych wyjściowych w trybie "half-rate" 960 MHz w symulacjach "post-layout".	255
3.210	Średni pobór prądu przez blok "serializer'a" w funkcji częstotliwości.	257
4.1	Przykładowa architektura układu FPGA.	259
4.2	Przykładowa budowa programowalnej celi logicznej CLB.	260
4.3	Schemat blokowy szybkiej logiki testowej.	262
4.4	Schemat stanowiska do wstępnych testów.	268
4.5	Zaprojektowany ASIC na swojej płytce bazowej	269
4.6	Fragment rozmieszczenia padów kontaktowych na płytce	270
4.7	Uproszczony schemat ideowy płytki bazowej dla zaprojektowanego ASIC'a	271
4.8	Wygląd ścieżek płytki bazowej	272
4.9	Standard złącza do komunikacji płytki bazowej z szybką logiką testową	273
4.10	Prowadzenie ścieżek różnicowych	273
4.11	Schemat blokowy układu kontroli i sterowania pomiarem	275
4.12	Schemat ideowy bufora wejścia/wyjścia dla szybkiej logiki na układzie FPGA	276
4.13	Schemat ideowy układu sterującego trybami pracy oraz zajmującego się wyświetlaniem statusu pomiaru	277
4.14	Widok płytki układu kontroli i sterowania pomiarem	279
4.15	Fotografia gotowej płytki układu kontroli i sterowania pomiarem	279
4.16	Uproszczony algorytm działania programu mikrokontrolera U1	280
4.17	Widok programu do analizy danych testowych	284
5.1	Widma częstotliwości pętli dla typowych warunków pracy w trybach 120 MHz, 240 MHz, 480 MHz i 960 MHz.	288
5.2	Widma częstotliwości pętli dla minimalnej częstotliwości referencyjnej w trybach 120 MHz, 240 MHz, 480 MHz i 960 MHz.	289
5.3	Widma częstotliwości pętli dla zbyt niskiej częstotliwości referencyjnej w trybach 120 MHz, 240 MHz, 480 MHz i 960 MHz.	290
5.4	Widma częstotliwości pętli dla maksymalnej częstotliwości referencyjnej w trybach 120 MHz, 240 MHz, 480 MHz i 960 MHz.	290
5.5	Widma częstotliwości pętli dla maksymalnych osiągniętych (z lewej) i zbyt wysokich (z prawej) częstotliwości przy typowym (na górze) i zwiększonym (na dole) napięciu zasilania.	291
5.6	Działanie układu CDR w trybach 120 MHz i 240 MHz.	294
5.7	Działanie układu CDR w trybach 480 MHz i 960 MHz.	295
5.8	Porównanie widm częstotliwości nadajnika i odbiornika przy synchronizacji układu CDR w trybie 480 MHz.	296

- 5.9 Działanie układu CDR bez (z lewej) i z synchronizacją (z prawej) dla maksymalnej częstotliwości pracy układu przy zwiększonym napięciu zasilania. 296
- 5.10 Pobór prądu zaprojektowanego układu transceiver'a w zależności od częstotliwości jego pracy 297

Spis tabel

1.1	Prędkości transmisji w projektowanym układzie transceiver'a.	27
2.1	Tablice prawdy zatrzasku RS	72
3.1	Najważniejsze parametry oscylatorów sterowanych napięciowo	116
3.2	Faza przebiegu wyjściowego dzielnika Δt w zależności od trybu pracy ASIC'a . . .	163
3.3	Zmiany prądów polaryzujących wynikające z symulacji rozrzutów technologicznych elementów	167
3.4	Wyniki symulacji różnych konfiguracji przerzutników.	169
3.5	Pobór mocy różnych konfiguracji przerzutników.	170
3.6	Porównanie dwóch przerzutników o różnej szerokości kanałów tranzystorów. . . .	177
3.7	Porównanie parametrów obu przerzutników w symulacjach schematowych i "post-layout".	181
3.8	Opóźnienia przebiegów w układzie formowania dla różnych trybów pracy	195
3.9	Średnie przesunięcie zbocza zegara względem zbocza danych dla częstotliwości 960 MHz i 480 MHz.	197
3.10	Średnie przesunięcie zbocza zegara względem zbocza danych dla częstotliwości 240 MHz i 120 MHz.	197
3.11	Opóźnienia przebiegów w układzie formowania zegara w symulacjach "post-layout" dla różnych trybów pracy.	200
3.12	Średnie przesunięcie zbocza zegara względem zbocza danych w symulacjach "post-layout" dla częstotliwości 960 MHz i 480 MHz.	204
3.13	Średnie przesunięcie zbocza zegara względem zbocza danych w symulacjach "post-layout" dla częstotliwości 240 MHz i 120 MHz.	204
3.14	Średni pobór prądu w [μA] przez wejścia zegarowe rejestru w symulacjach "post-layout".	218
3.15	Najważniejsze parametry czasowe rejestru wyjściowego.	225
3.16	Średni pobór prądu w [mA] przez blok "deserializer'a".	228
3.17	Opóźnienia pomiędzy przebiegami dla pierwszej części dzielnika.	233
3.18	Opóźnienia pomiędzy przebiegami dla drugiej części dzielnika.	235

3.19	Opóźnienia pomiędzy przebiegami dla obu części dzielnika w symulacjach "post-layout".	237
3.20	Opóźnienia pomiędzy przebiegami przy przepisywaniu danych równoległych z bufora do rejestru.	241
3.21	Czasy trwania stanów i opóźnienia pomiędzy przebiegami sterującymi i danych bramek transmisyjnych na wyjściu "serializer'a".	243
3.22	Czasy trwania stanów niskiego i wysokiego na linii szeregowej DS przy danych typu "10101010".	246
3.23	Opóźnienia pomiędzy przebiegami przy przepisywaniu danych równoległych z bufora do rejestru w symulacjach "post-layout".	250
3.24	Czasy trwania stanów i opóźnienia pomiędzy przebiegami sterującymi i danych bramek transmisyjnych na wyjściu "serializer'a" w symulacjach "post-layout".	252
3.25	Czasy trwania stanów niskiego i wysokiego na linii szeregowej DS przy danych typu "10101010" w symulacjach "post-layout".	252
3.26	Czasy trwania stanów niskiego i wysokiego na linii szeregowej DS dla przykładowych danych w trybie "half-rate" 960 MHz w symulacjach "post-layout".	256
3.27	Średni pobór prądu w [mA] przez blok "serializer'a".	256
5.1	Parametry przebiegów częstotliwości pętli w typowych warunkach pracy.	288
5.2	Zakresy częstotliwości poprawnej pracy pętli fazowej.	291
5.3	Dane wysłane i bezpośrednio odebrane z transceiver'a.	292
5.4	Dane wysłane i odebrane z transceiver'a po korekcji.	293
5.5	Pobór prądu i mocy przez układ transceiver'a dla typowych i maksymalnych częstotliwości pracy	298
5.6	Porównanie trybów "single-rate" i "half-rate" pod względem poboru prądu	298
5.7	Porównanie poboru prądu dwóch egzemplarzy zaprojektowanego ASIC'a	298