



AGH

AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

Wydział Fizyki i Informatyki Stosowanej

Praca magisterska

Dominik Przyborowski

kierunek studiów: fizyka techniczna

specjalność: fizyka jądrowa

Pomiary parametrów i projektowanie prototypowych układów elektroniki odczytu dla kalorymetru FCAL przy ILC.

Opiekun: dr hab. inż. Marek Idzik

Kraków, lipiec 2009

Oświadczam, świadomy(-a) odpowiedzialności karnej za poświadczenie nieprawdy, że niniejszą pracę dyplomową wykonałem(-am) osobiście i samodzielnie i nie korzystałem(-am) ze źródeł innych niż wymienione w pracy.

Kraków, 2 lipca 2009

**Tematyka pracy magisterskiej i praktyki dyplomowej Dominika
Przyborowskiego, studenta V roku studiów kierunku fizyka techniczna,
specjalności fizyka jądrowa**

Temat pracy magisterskiej: **Pomiary parametrów i projektowanie proto-
typowych układów elektroniki odczytu dla kalorymetru FCAL przy ILC.**

Opiekun pracy: dr hab. inż Marek Idzik

Recenzenci pracy:

Miejsce praktyki dyplomowej: WFiIS AGH, Kraków

Program pracy magisterskiej i praktyki dyplomowej

1. Omówienie realizacji pracy magisterskiej z opiekunem.
2. Zebranie i opracowanie literatury dotyczącej tematu pracy.
3. Praktyka dyplomowa:
 - Projekt układu scalonego przetwornika cyfrowo–analogowego,
 - wykonanie planu topologii masek zaprojektowanego układu,
 - przeprowadzenie testów wykonanego układu scalonego,
 - analiza wyników pomiarów,
 - sporządzenie sprawozdania z praktyki.
4. Zebranie i opracowanie wyników pomiarów.
5. Analiza wyników pomiarów, ich omówienie i zatwierdzenie przez opiekuna.
6. Usprawnienie projektu i wykonanie drugiego prototypu układu scalonego.
7. Opracowanie redakcyjne pracy.

Termin oddania w dziekanacie: 2 lipca 2009

.....
(podpis kierownika katedry)

.....
(podpis opiekuna)

Merytoryczna ocena pracy przez opiekuna:

Końcowa ocena pracy przez opiekuna:

Data:

Podpis:

Merytoryczna ocena pracy przez recenzenta:

Końcowa ocena pracy przez recenzenta:

Data:

Podpis:

Skala ocen: (6.0 – celująca), 5.0 – bardzo dobra, 4.5 – plus dobra, 4.0 – dobra, 3.5 – plus dostateczna, 3.0 – dostateczna, 2.0 – niedostateczna

Podziękowania

Autor pracy pragnie serdecznie podziękować swojemu promotorowi dr hab. inż. Markowi Idzikowi za cierpliwość, wyrozumiałość, a także za silne dopingowanie i motywowanie do dalszej pracy, oraz przede wszystkim za wiarę w autora.

Gorące podziękowania należą się również wszystkim pracownikom oraz doktorantom Zespołu Elektroniki Jądrowej i Detekcji Promieniowania, w tym przede wszystkim dr inż. Piotrowi Wiąckowi, dr inż. Tomaszowi Fiutowskiemu, dr inż. Krzysztofowi Świentkowi oraz mgr inż. Szymonowi Kulisowi. Bez ich życzliwości oraz cennych rad udzielonych autorowi przedstawiona praca byłaby znacznie uboższa.

Spis treści

Wykaz ważniejszych skrótów i oznaczeń.	11
Wstęp	13
Rozdział 1. Międzynarodowy liniowy zderzacz – ILC	15
1.1. Fizyka w ILC.	15
1.2. Akcelerator	16
1.3. Detektory	17
1.3.1. Detektor LumiCal.	19
1.4. Elektronika odczytu.	20
Rozdział 2. Przegląd przetworników cyfrowo–analogowych DAC.	23
2.1. Teoria przetworników.	23
2.1.1. Parametry statyczne.	24
2.1.2. Parametry dynamiczne.	26
2.2. Klasyfikacja przetworników.	28
2.2.1. Przetworniki typu $\Sigma - \Delta$	28
2.2.2. Skalowane pojemności.	29
2.2.3. Drabinka rezystorowa.	30
2.2.4. Drabinka R–2R.	30
2.2.5. Drabinka tranzystorowa M–2M.	32
2.2.6. Skalowane źródła prądowe.	35
2.3. Efekty niedopasowania.	36
2.3.1. Zalecenia projektowe.	38
Rozdział 3. Projekt przetwornika 10 bitowego opartego o skalowane źródła prądowe.	41
3.1. Założenia projektowe.	41
3.2. Matryca źródeł prądowych.	43
3.2.1. Układ polaryzujący.	44
3.2.2. Klucze prądowe.	44
3.2.3. Układ aktywnych kaskod.	44
3.3. Obwód wyjściowy zapewniający wysoki zakres dynamiczny.	46
3.4. Projekt wzmacniaczy.	47
3.4.1. Jednostopniowy wzmacniacz różnicowy.	48

3.4.2.	Wzmacniacz wyjściowy.	50
3.5.	Symulacje układu.	56
3.5.1.	Wzmacniacz jednostopniowy użyty w układzie liniowego lustra prądowego.	57
3.5.2.	Wzmacniacz jednostopniowy użyty w układzie aktywnych kaskod.	62
3.5.3.	Wyjściowy wzmacniacz operacyjny.	64
3.5.4.	Pełny blok przetwornika.	71
3.6.	Plan topologii masek układu.	75
3.6.1.	Matryca źródeł prądowych.	77
3.6.2.	Blok cyfrowy.	78
3.6.3.	Pozostałe bloki funkcjonalne przetwornika.	79
3.7.	Symulacje „postlayoutowe”.	80
Rozdział 4. Pomiary parametrów zaprojektowanego przetwornika		
	cyfrowo – analogowego.	83
4.1.	Pomiary parametrów statycznych.	84
4.2.	Pomiary poboru mocy.	86
4.3.	Pomiary parametrów czasowych.	87
4.4.	Pomiar wejściowego napięcia niezrównoważenia wyjściowego wzmacniacza operacyjnego.	89
4.5.	Porównanie z najlepszymi projektami 10-bitowych przetworników o niskim poborze mocy.	89
Rozdział 5. Udoskonalenie projektu przetwornika 10 bitowego.		
5.1.	Układ aktywnej kaskody.	93
5.1.1.	Symulacje układu.	93
5.2.	Konfiguracja liniowego lustra prądowego.	96
5.2.1.	Wzmacniacz jednostopniowy.	97
5.2.2.	Liniowe lustro prądowe	99
5.2.3.	Układ logiki „trymującej”.	101
5.3.	Wyjściowy wzmacniacz operacyjny.	102
5.3.1.	Symulacje układu.	103
5.4.	Pełny blok przetwornika.	108
5.4.1.	Wyniki symulacji.	109
5.5.	Plan topologii masek.	110
5.5.1.	Matryca źródeł prądowych.	111
5.5.2.	Sieć połączeń.	111
5.5.3.	Blok cyfrowy.	111
5.5.4.	Pozostałe bloki funkcjonalne.	112
5.6.	Symulacje „postlayoutowe”.	114
Podsumowanie.		115
Dodatek A. Wyniki pomiarów wszystkich prototypów.		119
Bibliografia		141

Spis rysunków	145
Spis tablic	149

Wykaz ważniejszych skrótów i oznaczeń.

A_x	– Stała określająca rozrzut technologiczny parametru x (napięcie progowe, rezystancja, etc.)
ASIC	– ang. <i>Application Specified Integrated Circuit</i> – układ scalony specjalnego przeznaczenia.
DAC	– ang. <i>Digital-to-Analog Converter</i> – przetwornik cyfrowo–analogowy.
DNL	– ang. <i>Differential Non-Linearity</i> – nieliniowość różniczkowa.
E	– Wartość pola elektrycznego.
ENOB	– ang. <i>Effective Number Of Bits</i> – efektywna liczba bitów.
FSR	– ang. <i>Full Scale Range</i> – zakres dynamiczny przetwornika.
g_m	– Transkonduktancja tranzystora.
INL	– ang. <i>Integral Non-Linearity</i> – nieliniowość całkowita.
K_0	– stałoprądowe wzmocnienie wzmacniacza w otwartej pętli sprzężenia zwrotnego.
$K = \beta \cdot \frac{W}{L}$	– współczynnik wzmocnienia prądowego tranzystora MOS.
LSB	– ang. <i>Least Significant Bit</i> – najmniej znaczący bit.
μ_0	– ruchliwość nośników ładunku (indeks n oznacza elektrony, p dziury).
MSB	– ang. <i>Most Significant Bit</i> – najbardziej znaczący bit.
PSRR	– ang. <i>Power Supply Rejection Ratio</i> – współczynnik tłumienia zakłóceń od zasilania.
r_{ds}	– Małosygnałowa rezystancja dren–źródło tranzystora MOS.
σ_x	– odchylenie standartowe (dyspersja) zmiennej x .
Slew Rate	– szybkość narastania wielkosygnałowej odpowiedzi wzmacniacza.
V_{ov}	– ang. <i>Overdrive Voltage</i> – napięcie przesterowania tranzystora MOS.
$V_T = kT/q$	– Potencjał termiczny (25.7 mV w temperaturze pokojowej).
V_{th}	– ang. <i>Threshold Voltage</i> – napięcie progowe tranzystora MOS.
W/L	– ang. <i>Width-to-Length ratio</i> – stosunek szerokości do długości tranzystora MOS.

Wstęp

Obecnie obowiązującą teorią opisującą budowę materii i jej oddziaływania jest model standardowy. Postuluje on istnienie dwóch rodzajów cząstek fundamentalnych stanowiących składniki materii – kwarków i leptonów, oraz cząstek odpowiedzialnych za wymianę oddziaływań – bozonów pośredniczących. Eksperymenty dokonane na akceleratorze LEP (ang. *Large Electron–Positron collider*) potwierdziły wiele przewidywań tej teorii. Jednakże okazało się, że bozony pośredniczące w oddziaływaniach słabych posiadają masę, której nie przewidywał model standardowy. Sytuacja ta zmusiła teoretyków do sformułowania hipotezy o skalarnym polu nadającym cząstkom masę – polu Higgsa. Tak jak Maxwell zunifikował oddziaływania elektryczne i magnetyczne, tak zunifikowano oddziaływania elektromagnetyczne oraz słabe do jednego oddziaływania elektroslabego.

W chwili pisania tej pracy, fizycy oczekują na rozruch kolejnego akceleratora cząstek LHC (ang. *Large Hadron Collider*) zderzającego protony z energią 14 TeV (w środku masy). Wyniki doświadczeń na LHC w eksperymentach ATLAS, CMS czy LHCb dadzą odpowiedź na pytanie czy istnieje większa unifikacja zjawisk fizycznych niż znana obecnie, czy być może potrzebna nam jest „nowa” fizyka. Niestety wykorzystywane w LHC oddziaływanie proton–proton jest oddziaływaniem niezbyt czystym, gdyż protony zbudowane są z trzech kwarków, zatem wszelkie nowe informacje na temat budowy materii uzyskane na LHC będą obarczone dość wysoką niepewnością. W celu dokładniejszego zbadania nowo odkrytych cząstek lub oddziaływań planowana jest budowa liniowego zderzacza elektronów i pozytonów ILC (ang. *International Linear Collider*), zderzającego elektrony z pozytonami przy energii 500 GeV. Prace nad tym akceleratorem prowadzone są przez tysiące fizyków pracujących w wielu instytutach naukowych z całego świata, w tym na Akademii Górniczo – Hutniczej. Wchodzący w skład kompleksu detektorów, detektor świetlności LumiCal (ang. *Luminosity Calorimeter*) jest w całości opracowywany przez polskich fizyków, pracujących w Katedrze Oddziaływań i Detekcji Cząstek, Wydziału Fizyki i Informatyki Stosowanej AGH oraz w Instytucie Fizyki Jądrowej PAN.

Jednym z głównych celów zespołu pracującego w Katedrze Oddziaływań i Detekcji Cząstek jest zaprojektowanie elektroniki odczytu dla detektora LumiCal. Prezentowana praca jest poświęcona projektowi bloków funkcjonalnych elektroniki odczytu

wspomnianego detektora. Głównym celem tej pracy jest projekt 10 bitowego przetwornika cyfrowo–analogowego o niskim poborze mocy, małej powierzchni i wysokim zakresie dynamicznym sygnału wyjściowego.

Niniejsza praca została podzielona na pięć rozdziałów. Pierwszy rozdział opisuje eksperyment ILC. Przedstawiono w nim szkic fizycznej motywacji, by poprzez budowę akceleratora i detektorów dojść do projektu elektroniki odczytu detektora LumiCal.

Drugi rozdział opisuje podstawowe architektury przetworników cyfrowo – analogowych oraz efekty niedopasowania elementów układu scalonego. W rozdziale tym zasygnalizowano problem wyboru optymalnej architektury układu.

Rozdział trzeci przedstawia projekt przetwornika cyfrowo–analogowego przeznaczonego do pracy w systemie odczytowym detektora LumiCal. W rozdziale tym przedstawiono założenia projektowe oraz analizę poszczególnych stopni przetwornika wraz z komputerowymi symulacjami. Rozdział ten zawiera również opis planu topologii masek układu wraz z regułami projektowymi. Przedstawiony projekt układu oparto o nową koncepcję architektury zapewniającej wysoki zakres dynamiczny sygnału wyjściowego oraz mniejszą powierzchnię w porównaniu do standardowych realizacji.

W rozdziale czwartym przedstawiono wyniki pomiarów pierwszego wyprodukowanego prototypu oraz dokonano porównania prezentowanego projektu z kilkoma najlepszymi projektami dziesięciobitowych przetworników o niskim poborze mocy, opublikowanymi w renomowanych czasopismach naukowych (*Journal of Solid State Circuits* oraz *Journal of Transactions on Circuits and Systems*).

Rozdział piąty opisuje udoskonalenia wprowadzone w zmodyfikowanym układzie przetwornika, wraz z symulacjami zoptymalizowanych bloków przetwornika oraz nowym planem masek układu.

Praca zakończona jest podsumowaniem oraz dodatkiem przedstawiającym wyniki pomiarów wszystkich przebadanych prototypów.

Rozdział 1

Międzynarodowy liniowy zderzacz – ILC

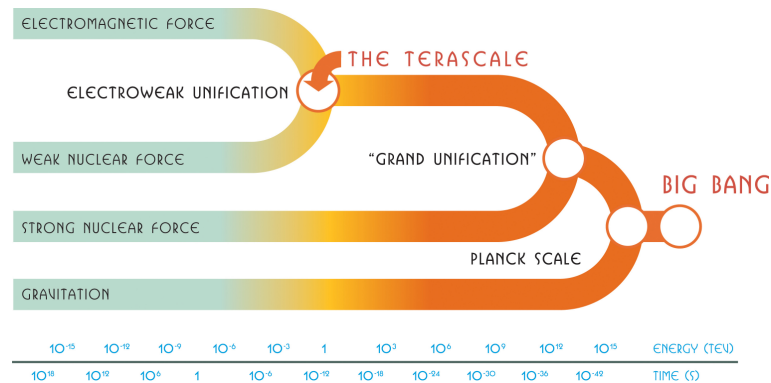
1.1. Fizyka w ILC.

Obecnie funkcjonującą teorią opisującą cząstki i ich oddziaływania jest model standardowy. Wg tego modelu cząstkami budującymi materię są kwarki oraz leptony, natomiast oddziaływania są przenoszone za pośrednictwem bozonów pośredniczących. Kwarki zostały podzielone na trzy rodziny zawierające po dwa kwarki. I tak pierwszą rodzinę stanowią kwarki górny (ang. *up*) i dolny (ang. *down*), w drugiej są kwark dziwny (ang. *strange*) i powabny (ang. *charm*). Ostatnią rodzinę tworzą kwarki szczytowy (ang. *top*)¹ oraz kwark piękny (ang. *beauty*)², którego fizyka jest obecnie intensywnie badana w fabrykach kwarków *b*, ze względu na łamanie symetrii CP (ładunek i parzystość). Drugą grupą cząstek elementarnych są leptony. Analogicznie jak w przypadku kwarków, leptony również można podzielić na trzy podgrupy w skład których wchodzi cząstka oraz odpowiednie neutrino. I tak znamy elektron i neutrino elektronowe, mion i neutrino mionowe oraz taon i neutrino tauonowe. Powyższe cząstki tworzą znaną nam materię, jednakże tylko przedstawiciele pierwszych rodzin, tj. cząstki zbudowane z kwarków górnego i dolnego oraz elektrony są stabilne. Jak wspomniano wcześniej oddziaływania w przyrodzie odbywają się poprzez wymianę bozonów pośredniczących. Do każdego typu oddziaływania jest przypisany odpowiedni bozon pośredniczący. W oddziaływaniach silnych wymieniany jest gluon, w elektromagnetycznych foton. Oddziaływania słabe zachodzą, wykorzystując trzy bozony pośredniczące – W^\pm oraz Z^0 . Naturalnie w trakcie oddziaływania grawitacyjnego powinien być wymieniany grawiton, jednakże ze względu na niemożliwość wytworzenia energii dostatecznie wysokich, nie udało się potwierdzić doświadczalnie jego istnienia. Głównym postulatem modelu standardowego była zerowa masa bozonów pośredniczących. Jednakże na eksperymencie LEP w CERNie okazało się, że bozony pośredniczące w oddziaływaniach słabych (W^\pm i Z^0) posiadają masę spoczynkową. Problem ten rozwiązano postulatem pola Higgsa, tj. skalarnego pola które przenika wszechświat i oddziałując z cząstkami nadaje im masę. W trakcie kolejnych lat badań nad cząstkami ele-

¹ nazywany również prawdziwym (ang. *truth*)

² nazywany również spodnim (ang. *bottom*)

mentarnymi okazało się, że dla odpowiedniej skali energii fundamentalne oddziaływania są naprawdę jednym oddziaływaniem. Pierwszą przesłanką było połączenie oddziaływań słabych i elektromagnetycznych w jedno oddziaływanie elektroslabe. Dlatego też został zapostulowany model supersymetryczny cząstek, łączący oddziaływanie elektroslabe z oddziaływaniem silnym. Analogicznie jak w modelu standardowym, model supersymetryczny przewiduje istnienie cząstek supersymetrycznych – sleptonów i skwarków. Zakres unifikacji oddziaływań w funkcji energii przedstawiono na rysunku 1.1. Aby zweryfikować doświadczalnie powyższe hipotezy zbudowano



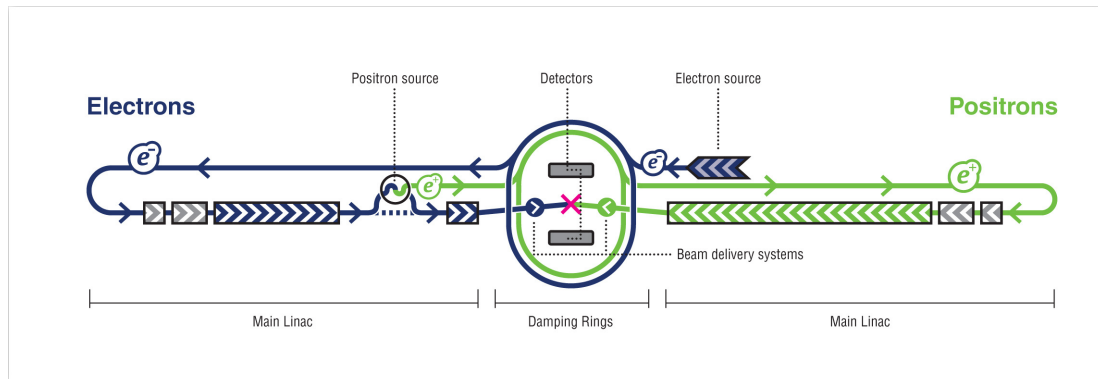
Rysunek 1.1: Skala energii przedstawiająca unifikację fundamentalnych oddziaływań[1].

wano w CERNie największy jak dotąd akcelerator cząstek LHC, zderzający protony z energią w środku masy równą 14 TeV. Jeżeli hipotezy fizyków są słuszne, eksperymenty ATLAS oraz CMS w LHC powinny odnaleźć bozon Higgosa oraz lekkie cząstki supersymetryczne (np. selektrony). Jednakże zderzanie cząstek nie będących fundamentem materii, obarczone jest wysokim tłem pomiarowym. Właśnie dlatego zdecydowano rozpocząć pracę nad projektem ILC, gdyż zderzenia elektron – pozyton są procesem bardzo czystym, umożliwiającym dokładną analizę zjawisk fizycznych. Oczywiście w zderzacz ILC możliwe będzie przebadanie innych niż wyżej wymienione zjawisk. Dokładny opis obszaru badań opisano w literaturze[2].

1.2. Akcelerator

Obecnie pracującymi akceleratorami cząstek umożliwiającymi ich przyspieszanie do energii rzędu teraelektronowoltów są synchrotrony, takie jak Tevatron w Fermilabie, czy LHC w CERNie. Należy jednak podkreślić fakt, iż przyspieszają one protony (LHC), względnie protony i antyprotony (Tevatron). Zderzenia protonów będących barionami, tj. cząstkami zbudowanymi z kwarków są obarczone wysokim tłem, zmniejszającym dokładność eksperymentu. Dokładne przebadanie fundamentalnych oddziaływań, możliwe jest przy użyciu cząstek fundamentalnych – kwarków lub leptonów. W przyrodzie nie występują swobodne kwarki, natomiast z leptonów tylko elektron jest stabilną cząstką. Elektrony niestety są blisko dwa

tysiące razy lżejsze od protonów co uniemożliwia przyspieszanie ich w synchrotronach, w celu uzyskania wysokiej energii. Dzieje się to z powodu emisji promieniowania synchrotronowego. Otóż zmiana pędu cząstki naładowanej elektrycznie objawia się emisją fali elektromagnetycznej, przy czym straty radiacyjne cząstki są proporcjonalne do czwartej potęgi stosunku energii cząstki do jej masy. Sytuacja ta wymusza przyspieszanie elektronów w akceleratorach liniowych. W przypadku eksperymentu ILC (ang. *International Linear Collider*) przyspieszane są elektrony oraz pozytony do energii 250 GeV, na odcinku ponad 30 km. Poglądowy schemat akceleratora ILC przedstawia rysunek 1.2. Elektrony i pozytony przyspieszone we



Rysunek 1.2: Schemat akceleratora ILC[1].

wnętkach rezonansowych są przeciwbieżnie zderzane, z energią interakcji równą sumie ich energii kinetycznej. Pozytony są uzyskiwane przy wykorzystaniu reakcji kreacji par elektron–pozyton. Wiązka elektronów przyspieszonych do energii 150 GeV jest wykorzystana do produkcji promieniowania synchrotronowego w undulatorze, o energii pierwszej harmonicznej widma wynoszącej 10 MeV. Silna wiązka fotonów gamma jest następnie uderzana w tarcze tytanowo–aluminiową. Powstałe w tarczy elektrony i pozytony są następnie od siebie separowane, przy czym pozytony są iniekowane do rury akceleratora w celu dalszego przyspieszania.

Aby przyspieszyć cząstki do wysokich energii, należy uzyskać bardzo wysokie pole elektryczne we wnętkach rezonansowych. W tym celu elektrony i pozytony przyspieszane są na odcinku 11 km w nadprzewodzących, niobowych wnętkach rezonansowych o średniej wartości pola przyspieszającego wynoszącej 31.5 MV/m na wnątkę. Widok perspektywiczny takiej wnątki przedstawia rysunek 1.3. W tabeli 1.1 podano najważniejsze parametry akceleratora ILC.

1.3. Detektory

Kluczowym elementem każdego eksperymentu fizyki wysokich energii są kompleksy detektorów umożliwiające pomiar pędu i energii produktów zderzenia wysokoenergetycznych cząstek. Rekonstrukcja toru cząstek poruszających się w silnym



Rysunek 1.3: Widok ogólny niobowej, nadprzewodzącej wnęki rezonansowej o częstotliwości 1.3GHz [2].

Tablica 1.1: Ważniejsze parametry akceleratora ILC [2].

Parametr	Wartość
Energia zderzenia [GeV]	500^3
Światłość [$cm^{-1} \cdot s^{-1}$]	$2 \cdot 10^{34}$
Poziom polaryzacji elektronów [%]	≥ 80 %
Poziom stabilności energii wiązki	0.1 %
Średnie pole przyspieszające [$MV \cdot m^{-1}$]	31.5
Odległość czasowa paczek [ns]	~ 330

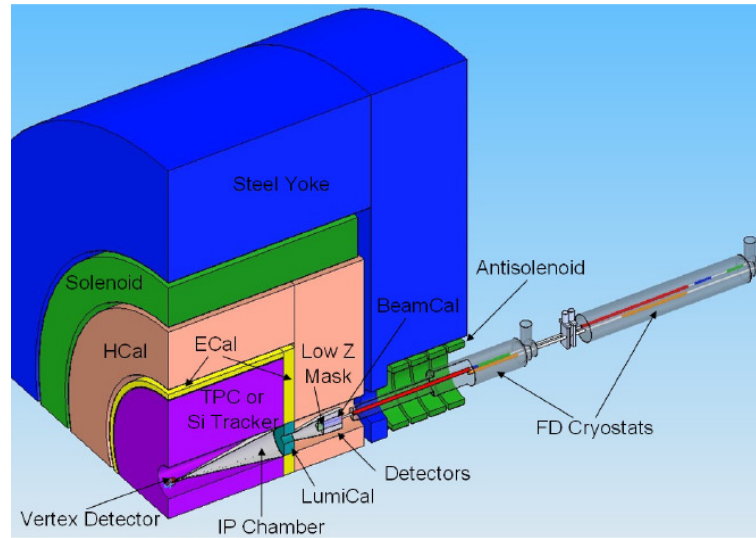
polu magnetycznym pozwala uzyskać informację o pędzie, natomiast zasięg cząstek w kalorymetrach niesie informację o energii cząstek. W eksperymencie ILC rozważane są cztery kompleksy detektorów, z których zostaną wybrane dwa. Jedną z koncepcji jest projekt wielkiego detektora LDC (ang. *Large Detektor Concept*). Ów system detekcyjny będzie się składać z następujących detektorów:

- detektor wierzchołka (ang. *micro-vertex detector*),
- komory projekcji czasowej TPC (ang. *Time Projection Chamber*),
- kalorymetrów elektromagnetycznych (*E-Cal*) i hadronowych (*H-Cal*)
- komór mionowych.

Poglądowy schemat systemu detekcyjnego przedstawiono na rysunku 1.4. Jednym z podsystemów detekcyjnych jest tzw. region kalorymetrów przednich FCal (ang. *Forward Calorimetry region*), w skład którego wchodzi detektory LumiCal, BeamCal oraz GamCal. Podstawowymi zadaniami podsystemu FCal są:

- pomiar światłości,
- diagnostyka wiązki,
- zapewnienie hermetyczności systemu.

Za pomiar światłości odpowiedzialny jest detektor LumiCal. W eksperymencie ILC pomiar światłości odbywać się będzie przy wykorzystaniu quasi-elastycznego rozpraszania elektron – pozyton typu Bhabba. Z fizycznego punktu widzenia, kontrola

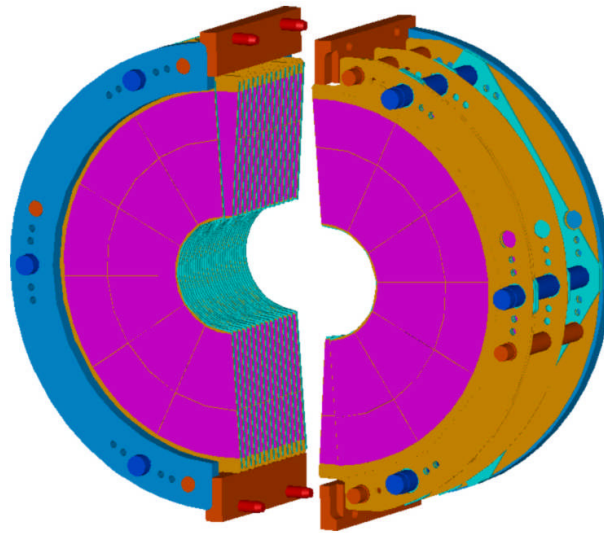


Rysunek 1.4: Poglądowy schemat systemu detekcyjnego LDC[2].

światłości jest nie mniej ważna niż detekcja produktów hadronizacji, gdyż przekroje czynne na reakcje są określane w odniesieniu do mierzonej światłości akceleratora. Kalorymetry BeamCal oraz GamCal mają zadania diagnostyczne, tj. są źródłem informacji o pozycji i chwilowej intensywności wiązki. Głównym tematem niniejszej pracy jest opracowanie jednego z bloków funkcjonalnych elektroniki odczytu detektora LumiCal, zatem poniżej podane zostaną informacje dotyczące tegoż właśnie kalorymetru.

1.3.1. Detektor LumiCal.

Detektor LumiCal jest kalorymetrem kanapkowym (ang. *sandwich detector*), tj. detektorem zbudowanym z naprzemiennie ułożonych warstw sensorów krzemowych oraz wolframowego absorbentu. Wewnętrzny promień detektora wynosi 8 cm, natomiast zewnętrzny równy jest 35 cm. Takie wymiary wraz z odległością od punktu interakcji wynoszącą 2.27 m, dają zakres kątów pomiędzy 35 a 153 mrad. Poglądowy obraz detektora LumiCal przedstawiono na rysunku 1.5. Detektor posiada 30 płytów sensorów krzemowych podzielonych na 48 azymutalnych sektorów, zawierających po 96 pojedynczych sensorów. Daje to łączną liczbę ponad 138 tysięcy sensorów. Sensory krzemowe o grubości 300 μm są przeplatane 3.5 mm warstwą wolframowego absorbentu. Wysokoenergetyczne elektrony bądź pozytony, które znajdują na swojej drodze detektor deponują ładunek w sensorach krzemowych. Jednakże spotykając się z absorbentem silnie tracą swój pęd, stając się źródłem wysokoenergetycznego promieniowania hamowania. Z kolei to promieniowanie w obecności ciężkich jąder wolframu kreuje pary elektron – pozyton. O energii cząstki świadczy długość kaskady elektromagnetycznej (ang. *electromagnetic shower*) oraz ilość ładunku zdeponowana we wszystkich sensorach krzemowych. Do mechanicznego połączenia warstw detek-

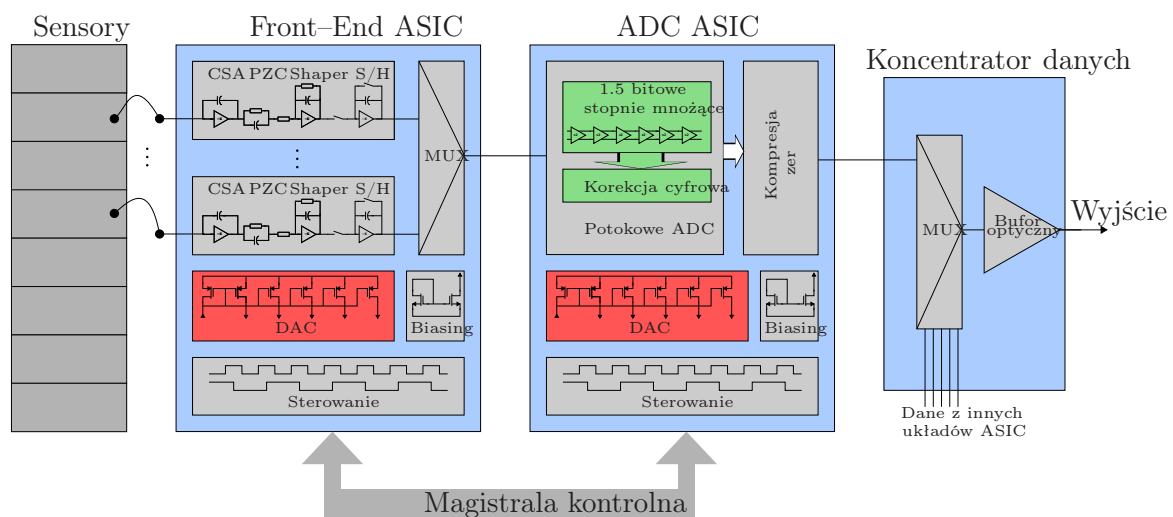


Rysunek 1.5: Poglądowy widok detektora LumiCal[3].

torą użyto kleju. Dodatkowo zarezerwowano w nim miejsce na elektronikę odczytu, połączoną z sensorami poprzez ścieżki metalowe napyłone na folii kaptonowej[3, 4].

1.4. Elektronika odczytu.

Ze względu na olbrzymią liczbę sensorów pomiarowych w detektorach używanych w eksperymentach fizyki wysokich energii, elektronikę odczytu buduje się w postaci wielokanałowych specjalizowanych układów scalonych ASIC (ang. *Application Specific Integrated Circuits*). Schemat blokowy toru odczytowego detektora LumiCal przedstawiono na rysunku 1.6 [4]. Tor odczytu podzielony jest na trzy bloki ukła-



Rysunek 1.6: Schemat blokowy układu elektroniki odczytu detektora LumiCal.

dów ASIC. Pierwszym z nich jest układ elektroniki Front-End, na który składają się

niskoszumny przedwzmacniacz ładunkoczuły (ang. *CSA – Charge Sensitive Amplifier*), układ wymiany biegun-zero (ang. *PZC – Pole-Zero Cancellation*), filtr kształtujący (ang. *Shaper amplifier*) oraz wzmacniacz próbkująco-pamiętający (ang. *S/H Sample and Hold amplifier*). Głównym zadaniem tego bloku jest wyekstrahowanie informacji o zdeponowanym w sensorze promieniowania ładunku elektrycznym, a następnie po wzmocnieniu, odszumieniu i odpowiednim ukształtowaniu impulsu, zapamiętanie wartości amplitudy we wzmacniaczu próbkująco-pamiętającym. Do każdego sensora detektora LumiCal podpięty jest osobny kanał układu Front-End. Ogromna liczba kanałów (prawie dwieście tysięcy) determinuje multipleksowanie sygnałów wyjściowych z każdego kanału do bloku digitizera (przetwornika analogowo-cyfrowego), w celu ograniczenia ilości połączeń między układowych. Ze względu na łatwiejszy sposób przesyłania i obróbkę sygnałów cyfrowych, za blokiem elektroniki Front-End umieszczono układ ADC. Układ digitizera oparto o architekturę przetwornika typu potokowego (ang. *Pipeline ADC*) o rozdzielczości kolejnych stopni równych 1.5 bitu. Jedną z cech tej architektury jest potrzeba korzystania z układu korekcji cyfrowej zaznaczonej na schemacie blokowym. Wyjściowym stopniem toru odczytowego jest multiplekser cyfrowy oraz bufor optyczny przekazujący wyekstrahowaną informację z detektora, do systemu akwizycji danych DAQ (ang. *Data Acquisition system*). Tak obszerny system odczytu potrzebuje układu mogącego ustawić lub skorygować parametry poszczególnych członów układu elektroniki odczytu. W tym celu niezbędną częścią systemu odczytowego są przetworniki cyfrowo – analogowe (ang. *DAC – Digital-to-Analog Converter*), zaznaczone na schemacie blokowym kolorem czerwonym. Projekt dziesięciobitowego przetwornika DAC jest głównym tematem niniejszej pracy i zostanie przedstawiony w dalszej jej części.

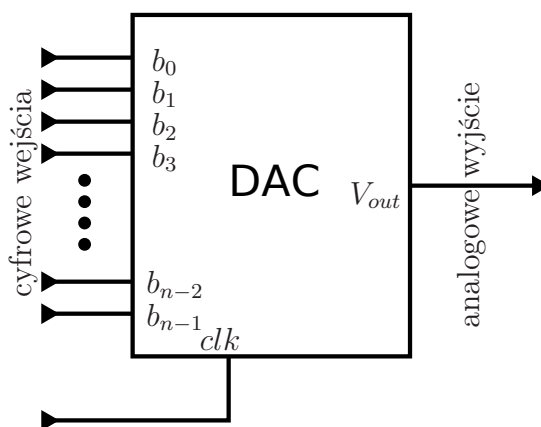
Rozdział 2

Przegląd przetworników cyfrowo–analogowych DAC.

Niniejszy rozdział zawiera wstępne informacje na temat przetworników cyfrowo–analogowych, traktując je początkowo jako *czarną skrzynkę*. W dalszej części rozdziału przybliżono najważniejsze architektury przetworników z silnym naciskiem na tranzystorową implementację drabinki R–2R, ze względu na perspektywy rozwoju przetwornika o mniejszej liczbie bitów i znacząco mniejszej powierzchni. Na zakończenie przedstawiono dyskusję efektów niedopasowania elementów elektronicznych, które są odpowiedzialne za dokładność układu przetwornika cyfrowo – analogowego.

2.1. Teoria przetworników.

Przetwornik cyfrowo – analogowy (ang. digital–to–analog converter DAC) jest mostem łączącym świat sygnałów cyfrowych ze światem sygnałów analogowych. Przeprowadza on w liniowy sposób binarnie zapisane słowo cyfrowe na skwantowany sygnał analogowy (prądowy lub napięciowy). Schemat blokowy przetwornika przedstawia rysunek 2.1.



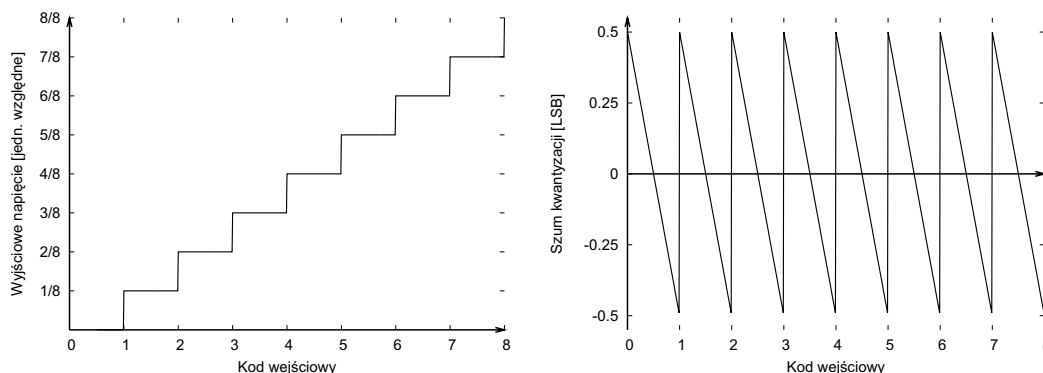
Rysunek 2.1: Schemat blokowy przetwornika cyfrowo – analogowego.

Przy czym amplituda sygnału wyjściowego dana jest wyrażeniem:

$$V_{out} = \sum_{k=0}^{n-1} b_k \cdot 2^k \cdot V_{LSB}, \quad (2.1.1)$$

gdzie V_{out} reprezentuje amplitudę sygnału wyjściowego (napięcia lub prądu), b_k k-ty bit słowa, V_{LSB} wartość napięcia najmniejszego kroku przetwornika.

Oczywistym jest, że amplituda sygnału wyjściowego nie może zmieniać się w sposób ciągły, lecz jedynie dyskretny, z krokiem odpowiadającym wartości V_{LSB} . Wartość ta nazywana jest *najmniej znaczącym bitem* (ang. *LSB – Least Significant Bit*). Zatem nieodzownym elementem przetwarzania cyfrowo–analogowego jest tzw. szum kwantyzacji, który z definicji zawiera się w przedziale od -0.5 do $+0.5$ LSB. Szum kwantyzacji definiuje się jako różnicę między sygnałem analogowym (ciągłym w czasie i amplitudzie) a sygnałem zdyskretyzowanym. Szum kwantyzacji idealnego przetwornika przedstawia rysunek 2.2.



(a) Funkcja przenoszenia idealnego przetwornika cyfrowo–analogowego.

(b) Szum kwantyzacji sygnału.

Rysunek 2.2: Operacja kwantyzacji sygnału i związany z tym szum kwantyzacji.

2.1.1. Parametry statyczne.

Charakterystyka rzeczywistego przetwornika cyfrowo–analogowego odbiega w ogólności od charakterystyki idealnej. Istnieje szereg błędów występujących w produkowanych przetwornikach. Niektóre z nich są mało istotne z punktu widzenia funkcjonalności jak błąd piedestału (ang. *offset error*) czy wzmocnienia (wartość LSB inna niż zakładana). Najistotniejszymi są jednak błędy liniowości ograniczające dokładność przetwornika.

Błąd wzmocnienia.

Błąd wzmocnienia przetwornika objawia się inną niż oczekiwana wartością kroku przetwornika (LSB). Błąd ten związany jest z niedopasowaniem elementów budują-

cych przetwornik, względnie ze zmianą wartości prądu/napięcia referencyjnego czy niedopasowaniem elementów referencyjnych i wyjściowych.

Błąd piedestału.

Błąd piedestału związany jest z przesunięciem poziomu stałego wyjściowego sygnału przetwornika. Może on być spowodowany przez niedopasowanie elementów układu. Przykładowo niedopasowanie tranzystorów pary wejściowej wyjściowego wzmacniacza operacyjnego powoduje powstanie napięcia niezrównoważenia, powodując przesunięcie poziomu zerowego wyjściowego sygnału. Jeżeli przetwornik został zaprojektowany do celów polaryzacji innych układów w systemie elektronicznym, to błąd piedestału należy dodatkowo korygować.

Nieliniowość całkowita.

Nieliniowość całkowita (ang. *INL – Integral Non-Linearity*) jest miarą dokładności przetwornika. W literaturze istnieją dwie definicje nieliniowości całkowitej. Pierwsza nakazuje wyznaczać nieliniowość całkowitą jako względne odchylenie ustawianej wartości od linii łączącej pierwszy i ostatni punkt charakterystyki przejściowej. Druga natomiast definiuje odchylenie wartości rzeczywistej od linii prostej będącej efektem najlepszego dopasowania do wszystkich punktów charakterystyki. W niniejszej pracy pod hasłem nieliniowości całkowitej będzie ukrywać się właśnie ta definicja, opisana matematycznie formułą (2.1.2) [5].

$$INL = \frac{V_{meas}(k) - V_{fit}(k)}{a}, \quad (2.1.2)$$

gdzie $V_{meas}(k)$ jest wartością wyjściową dla k -tego stanu, $V_{fit}(k)$ – wartość prostej dopasowanej do charakterystyki, dla k -tego stanu, a – nachylenie dopasowanej prostej, odpowiadające wartości najmniej znaczącego bitu.

Wartość nieliniowości całkowitej poniżej 0.5 LSB gwarantuje monotoniczność przetwornika. Jednakże istnieją przypadki, gdy maksymalna nieliniowość całkowita jest wyższa, a mimo to przetwornik jest monotoniczny. Zdarza się to wówczas, gdy przetwornik wykazuje paraboliczną charakterystykę, zaś obwiednia nieliniowości nie jest szersza niż 0.5 LSB. Z pojęciem nieliniowości całkowitej związana jest tzw. efektywna liczba bitów ENOB (ang. *Effective Number Of Bits*). Efektywna liczba bitów jest definiowana jako (2.1.3) [6] i określa z jaką dokładnością przetwornik ustawia napięcie wyjściowe:

$$ENOB = \log_2 \left(\frac{2^N}{\sqrt{12 \cdot \left[12^{-1} \cdot (2^N - 2)^{-1} \sum_{k=1}^{2^N-2} INL_k^2 \right]}} \right). \quad (2.1.3)$$

Nieliniowość różniczkowa.

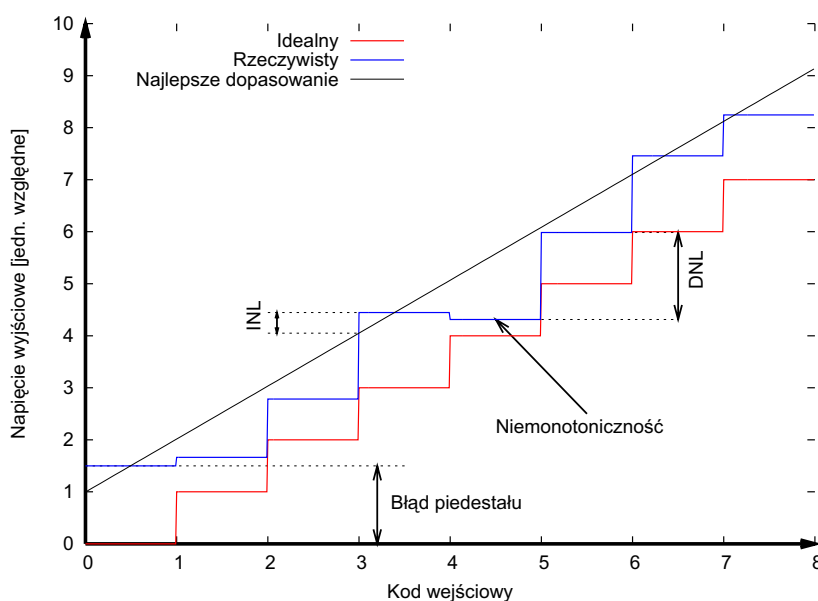
Nieliniowość różniczkowa (ang. *DNL – Differential Non-Linearity*) niesie informacje o monotoniczności przetwornika oraz liczbie brakujących kodów. Nieliniowość różniczkową definiuje się jako różnicę wartości kolejnych schodków w charakterystyce przetwornika odniesioną do wartości LSB. Matematyczna definicja nieliniowości różniczkowej wyraża formuła (2.1.4)[5].

$$DNL = \frac{V_{meas}(k) - V_{meas}(k - 1)}{a} - 1, \quad (2.1.4)$$

gdzie użyte oznaczenia są analogiczne jak w definicji nieliniowości całkowitej.

W przypadku użycia drugiej definicji nieliniowości całkowitej, DNL odpowiada różnicy w INLu pomiędzy dwoma kolejnymi kodami przetwornika. Jeżeli wartość nieliniowości różniczkowej nie przekracza jednego LSB, to przetwornik jest w pełni monotoniczny. Jednakże monotoniczność przetwornika nie gwarantuje nie występowania brakujących wartości napięcia wyjściowego. O brakującej wartości mówi się wtedy, gdy wartość bezwzględna nieliniowości różniczkowej przekracza 0.9 LSB.

Rysunek 2.3 przedstawia charakterystykę statyczną rzeczywistego przetwornika cyfrowo–analogowego z uwzględnieniem powyższych błędów.



Rysunek 2.3: Charakterystyka stałoprądowa rzeczywistego przetwornika cyfrowo–analogowego.

2.1.2. Parametry dynamiczne.

Parametry dynamiczne przetworników cyfrowo–analogowych definiuje się w dziedzinie czasu oraz częstotliwości. Ze względu na statyczny charakter prezentowanego

w niniejszej pracy projektu przetwornika, w tym rozdziale ograniczono się tylko do zasygnalizowania tychże parametrów. Dokładny opis parametrów dynamicznych, czytelnik może odnaleźć w literaturze [5, 8].

Parametry dynamiczne w dziedzinie czasu.

Spośród parametrów czasowych przetworników cyfrowo–analogowych najważniejszymi są czas ustalania się sygnału oraz energia szpilek prądowych (ang. *glitches*) powstających podczas przełączania stanów przetwornika.

Czas ustalania się sygnału wyjściowego. Parametrem określającym szybkość układu w dziedzinie czasu jest czas ustalania się sygnału wyjściowego. W przypadku przetworników cyfrowo–analogowych czas ustalania definiowany jest dla generowanego skoku napięcia o wartości pełnego zakresu przetwornika (przełączenie między pierwszym a ostatnim stanem). Czas ten mierzy się z dokładnością amplitudy równą ± 0.5 LSB [7, 8]. W systemach przetwarzania cyfrowo–analogowego wyposażonych w wyjściowy bufor napięciowy, czas ustalania jest ściśle limitowany parametrem *Slew Rate* (czyli szybkością odpowiedzi na duży skok sygnału) tegoż bufora.

Szpilki prądowe. Szpilki prądowe (ang. *glitches*) są wynikiem iniekcji ładunku na wyjście układu przetwornika w trakcie przełączania jego stanu. Szybki skok napięcia podany na bramkę tranzystora MOS pracującego jako klucz, zostaje zróżniczkowany na pojemnościach bramka–dren oraz bramka–źródło tegoż tranzystora i propaguje się na wyjście w postaci szybkiego eksponencjalnego impulsu. Amplituda szpilki jest proporcjonalna do pojemności bramka – dren klucza. Szpilki prądowe ograniczają parametry dynamiczne przetworników. Na przykład w systemach wizyjnych, szpilki prądowe odpowiedzialne są za rozmycie obrazu [5]. Parametrem określającym szpilkę prądową jest jej energia (czyli pole powierzchni) podawana w $mV \cdot ps$.

Parametry dynamiczne w dziedzinie częstotliwości.

W przypadku przetworników projektowanych na potrzeby szybkiej analizy danych, jak np. przetworniki wizyjne bądź telekomunikacyjne, parametry dynamiczne w dziedzinie częstotliwości są parametrami najważniejszymi. Parametrami tymi są:

- SNR (ang. *Signal-to-Noise Ratio*) – stosunek sygnału do szumu.
- SINAD (ang. *Signal-to-Noise and Distorsion Ratio*) – stosunek sygnału do szumu i zniekształceń,
- SFDR (ang. *Spurious Free Dynamic Range*) – zakres dynamiczny wolny od zniekształceń,
- THD (ang. *Total Harmonic Distorsion*) – całkowite zniekształcenia harmoniczne,
- ENOB – efektywna liczba bitów.

W przypadku idealnego N –bitowego przetwornika stosunek sygnału do szumu wyraża się zależnością (2.1.5)[5].

$$SNR = 2^N \cdot \sqrt{1.5} \equiv 6.02 \cdot N + 1.76[dB] \quad (2.1.5)$$

W przypadku przetworników dynamicznych istotnym parametrem jest „czystość” widma częstotliwościowego. Z tego też powodu w specyfikacjach przetworników podaje się SINAD oraz SFDR układu. Dobrze wykonany projekt posiada wartości tych parametrów zbliżone do teoretycznej wartości SNR obliczonej przy użyciu formuły (2.1.5).

2.2. Klasyfikacja przetworników.

Układy przetworników cyfrowo–analogowych można klasyfikować ze względu na rodzaj architektury bądź też sposób próbkowania sygnału. Ostatnie kryterium różni przetworniki „nadpróbkujące” (ang. oversampling DAC) oraz przetworniki pracujące w reżimie twierdzenia Nyquista (częstotliwość próbkowania jest niewiele ponad dwa razy większa niż pasmo układu). W to kryterium wpisuje się również podział ze względu na architekturę. Klasyfikację najpopularniejszych przetworników można zatem przedstawić następująco:

— Nadpróbkujące:

- $\Sigma - \Delta$

— Pracujące w reżimie tw. Nyquista:

- oparte o skalowanie napięć:
 - ◆ pojemnościowa drabinka C–2C,
 - ◆ drabinka rezystorów R–2R,
 - ◆ drabinka rezystorów,
- oparte o skalowane prądy:
 - ◆ skalowane źródła prądowe,
 - ◆ drabinka rezystorów R–2R.

Zależnie od wymaganej rozdzielczości, powierzchni, szybkości bądź wydzielonej mocy stosowane są w różnych projektach różne architektury. W dalszej części tego rozdziału zostaną pokrótce omówione wspomniane architektury przetworników.

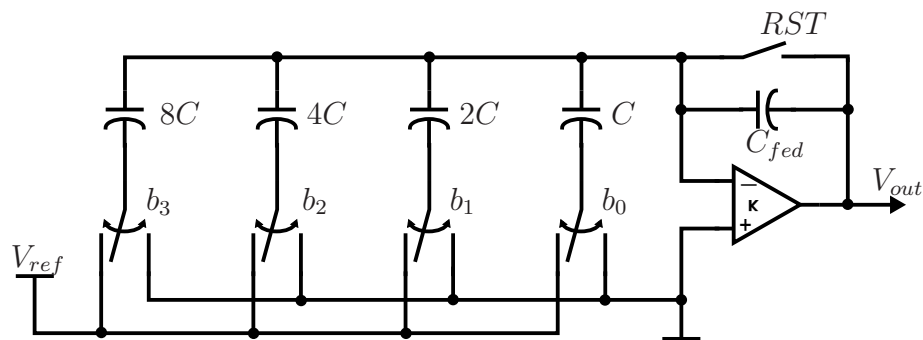
2.2.1. Przetworniki typu $\Sigma - \Delta$.

Jedyną architekturą reprezentującą przetworniki nadpróbkujące są przetworniki $\Sigma - \Delta$. Struktura tego typu przetworników jest kompletnie odmienna od przetworników pracujących w trybie Nyquista. Wielokrotnie wyższa częstotliwość próbkowania od częstotliwości sygnału powoduje redukcję widma szumów, pozwalając na uzyskanie dokładności na poziomie nawet 24 bitów. Działanie przetworników $\Sigma - \Delta$

oparte jest o wykorzystanie przetwornika jednobitowego. Taki przetwornik posiada idealną liniowość, i pracuje w sprzężeniu zwrotnym układu modulującego amplitudę sygnału z przebiegu prostokątnego o zmiennym wypełnieniu. Ze względu na swoją specyfikę i możliwość wykorzystania tego typu układów przede wszystkim w przetwarzaniu sygnałów dźwiękowych, niniejsza praca ograniczy się tylko do wspomnienia tej architektury. Szczegóły dotyczące architektur $\Sigma - \Delta$ czytelnik może odnaleźć w literaturze [5].

2.2.2. Skalowane pojemności.

Jedną z popularnych architektur przetworników cyfrowo–analogowych jest architektura oparta o podział ładunku na pojemnościach. Schemat takiego przetwornika pokazano na rysunku 2.4. Zwarcie klucza do masy rozładowuje odpowiedni kon-



Rysunek 2.4: Schemat 4 bitowego przetwornika opartego o skalowane pojemności.

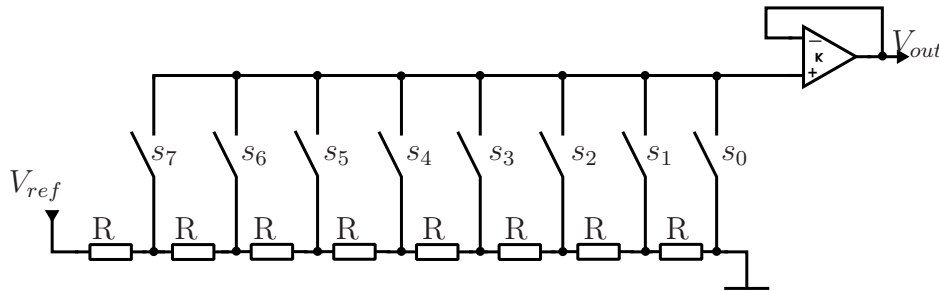
densator (napięcie na nim panujące ustawione jest na zero). Przełączenie klucza do napięcia referencyjnego V_{ref} powoduje podział ładunku pomiędzy kondensator z drabinki, a pojemność w sprzężeniu zwrotnym. Zależność napięcia wyjściowego od wejściowego kodu binarnego przedstawia się wzorem (2.2.1).

$$V_{out} = -\frac{C}{C_{fed}} \cdot \sum_{k=0}^{N-1} b_k \cdot 2^k \cdot V_{ref} \quad (2.2.1)$$

Kolejna zmiana stanu przetwornika musi być poprzedzona rozładowaniem pojemności w sprzężeniu zwrotnym wzmacniacza. W tym celu zwiera się pojemność C_{fed} poprzez zwarcie klucza RST . Zaletą przetworników opartych o skalowane pojemności jest niski pobór mocy statycznej (tylko wyjściowy wzmacniacz). Jednakże występujące prądy upływu rozładowujące kondensatory, wymuszają stosowanie dodatkowych układów odświeżających zgromadzony w nich ładunek, a w niektórych przypadkach stosowanie odpowiednio dużych kondensatorów. Obecnie, kilku bitowe (sześć do ośmiu bitów) przetworniki oparte o tą architekturę są powszechnie stosowane w przetwornikach analogowo–cyfrowych z kompensacją wagową (ang. *Successive Approximation*) [5].

2.2.3. Drabinka rezystorowa.

Przetworniki oparte o tzw. „drabinę” rezystorową, są przetwornikami napięciowymi działającymi na zasadzie dzielnika napięcia. Schemat najprostszego przetwornika tego typu przedstawiono na rysunku 2.5.



Rysunek 2.5: Schemat 3 bitowego przetwornika opartego o drabinę rezystorową.

Przetwornik taki potrzebuje 2^N rezystorów, gdzie N jest liczbą bitów, oraz dekodera *bin na 1 z N* do sterowania kluczami. Częściej jednak zamiast 2^{N-1} kluczy i dekodera, stosuje się multiplexer zbudowany z binarnego drzewa kluczy. Dokładność takiego przetwornika zależy od stopnia dopasowania użytych rezystorów, natomiast ograniczeniem rozdzielczości - oprócz powierzchni, rosnącej wykładniczo - jest również szybkość, związana z rezystancją wyjściową drabinki. Dlatego w praktyce stosuje się połączenie drabinki „zgrubej” (ang. coarse ladder) oraz „dokładnej” (ang. fine ladder). Drabinka „zgrubna” zbudowana jest z niewielkiej liczby rezystorów posiadających wyższą rezystancję, zaś „dokładna” z wielu rezystorów „jednostkowych”. We wszystkich rozwiązaniach wykorzystujących podział potencjału na rezystancji, należy uwzględnić rezystancję kluczy wykonanych najczęściej na tranzystorach MOS. Istnieją różne sposoby kompensacji rezystancji kluczy: poprzez dodawanie kluczy atrapy (ang. *dummy switch*) - tj. kluczy zawsze włączonych - szeregowo z rezystorami, kompensowanie stałym prądem przepływającym przez drabinę lub poprzez stosowanie tzw. odwróconych drabinek rezystorowych [9]. Napięcie wyjściowe takiego przetwornika określone jest zależnością (2.2.2).

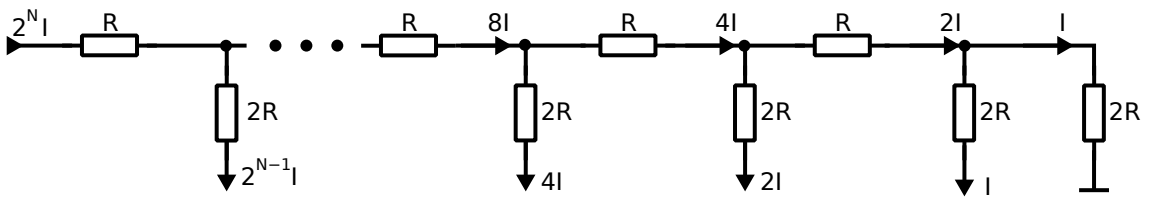
$$V_{out} = V_{ref} \cdot \sum_{k=0}^{N-1} b_k \cdot 2^{k-N}, \quad (2.2.2)$$

gdzie b_k oznacza k -ty bit słowa wejściowego w postaci binarnej (dekoder sterujący kluczami s_k , włącza klucz o wskaźniku równym dziesiętnej reprezentacji słowa wyjściowego).

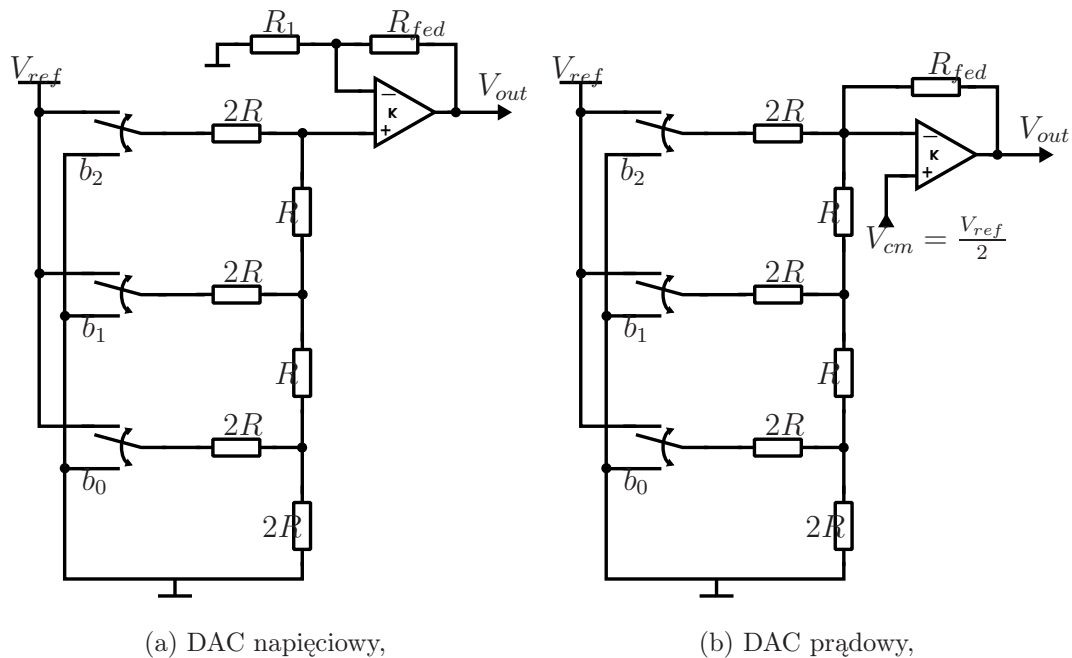
2.2.4. Drabinka R–2R.

Drabinka R–2R ze względu na swą budowę jest elementem wykorzystywanym do dzielenia prądu w sposób binarny. Wykorzystywany jest w tym celu specyficzna jej

własność, otóż rezystancja każdej gałęzi widziana z dowolnego jej węzła wynosi $2R$. Drabinę R - $2R$ wraz z rozplywem prądów przedstawia rysunek 2.6.

Rysunek 2.6: Schemat drabinki R - $2R$.

W oparciu o tą drabinę można zbudować przetwornik napięciowy, prądowy bądź użyć jej do podziału prądu w przetwornikach opartych o skalowane źródła prądowe, co było częstą praktyką w latach 70 XX wieku[10]. Przykłady zastosowań przedstawiono na rysunku 2.7.



(a) DAC napięciowy,

(b) DAC prądowy,

Rysunek 2.7: Przetworniki DAC oparte o drabinę R - $2R$.

Wartość napięcia wyjściowego ustalona jest wg zależności (2.2.4) i (2.2.3).

— Tryb napięciowy:

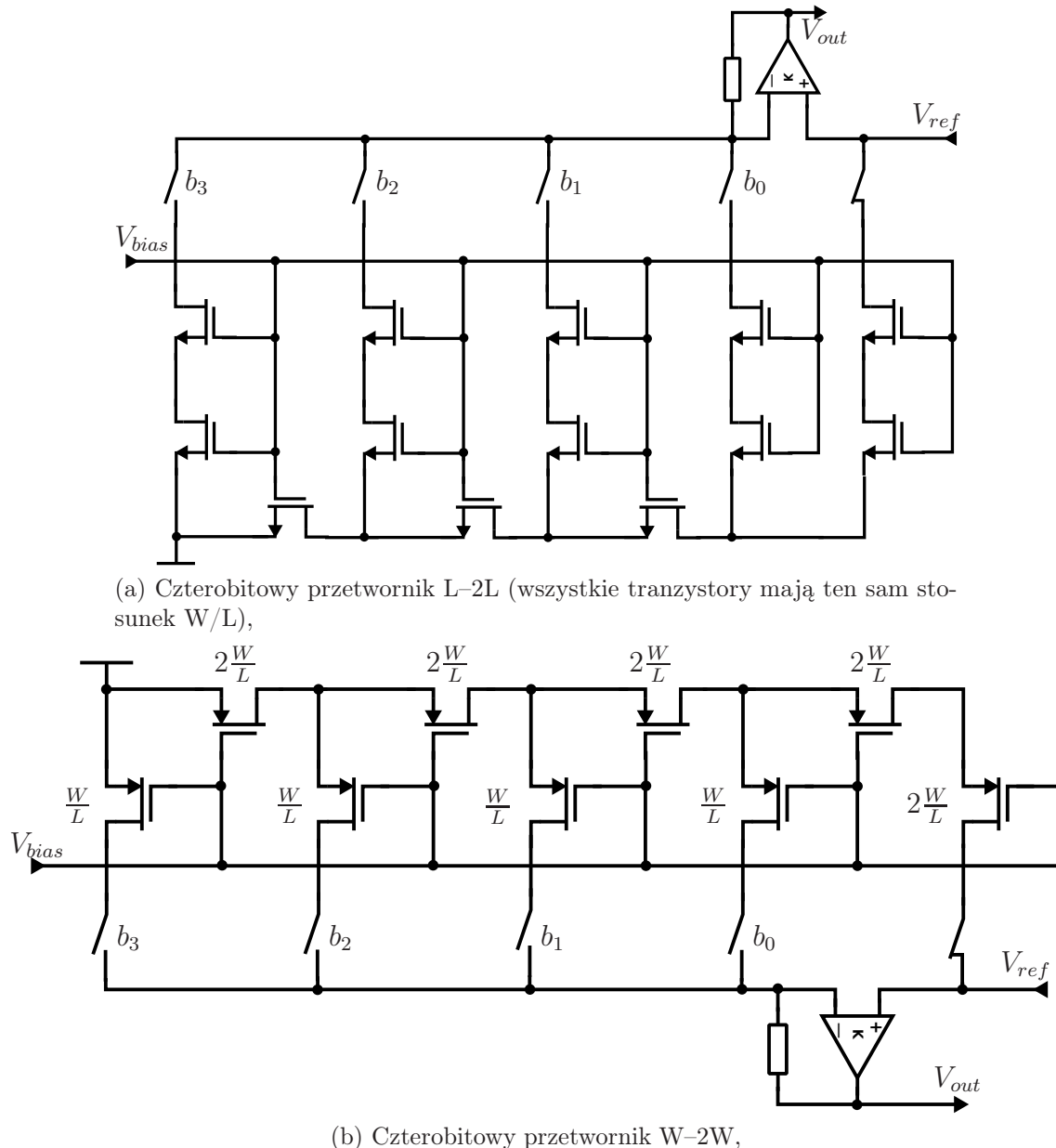
$$V_{out} = V_{ref} \cdot \left(1 + \frac{R_{fed}}{R_1}\right) \cdot \sum_{k=1}^N b_{N-k} \cdot 2^{-k}. \quad (2.2.3)$$

— Tryb prądowy:

$$V_{out} = \frac{V_{ref}}{2} \cdot \left[1 + \frac{R_{fed}}{R} \cdot \left(\sum_{k=1}^N b_{N-k} \cdot 2^{k-N} - 1\right)\right] \quad (2.2.4)$$

2.2.5. Drabinka tranzystorowa M–2M.

Scalone technologie CMOS umożliwiają zaimplementowanie drabinki R–2R przy użyciu tranzystorów MOS. Taką architekturę przyjęto nazywać drabinką M–2M. W praktyce istnieją dwie drogi tejże implementacji – drabinki W–2W oraz L–2L, przedstawione na rysunku 2.8. W trakcie projektowania przetwornika należy z dy-



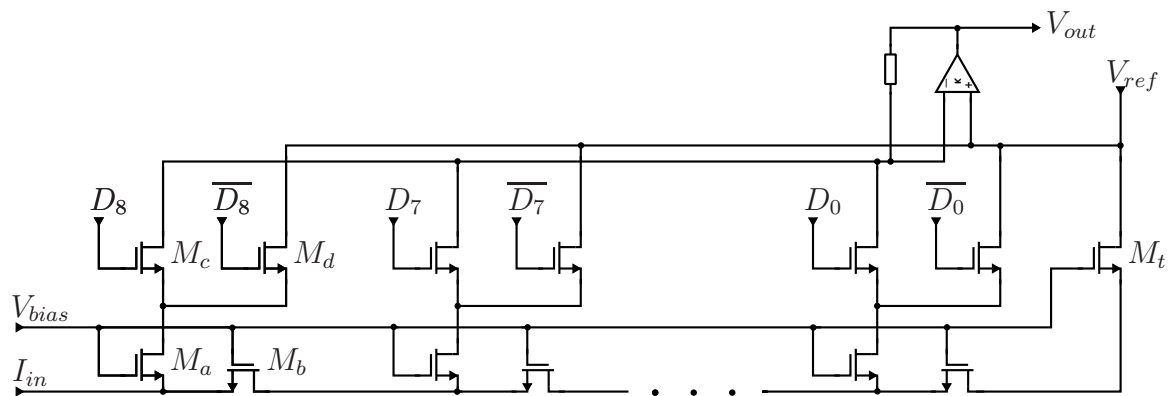
Rysunek 2.8: Implementacje drabinki R–2R w oparciu o tranzystory MOS.

staniem podchodzić do symulacji komputerowych układu w oparciu o model bsim3 tranzystorów MOS. Związane jest to z regionem pracy tranzystorów. Otóż w drabince M–2M tranzystory mogą pracować w obszarze umiarkowanej inwersji, między zakresem liniowym a nasycenia tranzystora. Jeśli jest to więc możliwe należy używać modelu EKV tranzystorów, niestety nie jest on zwykle dostarczany z daną technologią[11]. Z tego też powodu należy przeprowadzić analizę projektu opartego

o tę architekturę, która dobrze przeprowadzona owocuje dobrze działającym przetwornikiem o kilkukrotnie mniejszej powierzchni w porównaniu do innych architektur. Opisywana architektura jest obiecująca pod względem powierzchni układu, zatem jest rozpatrywana jako podstawa bardzo małych ośmiobitowych DACów, mających na celu dokładną korekcję parametrów poszczególnych kanałów układu elektroniki odczytu.

Koncepcja ośmiobitowego przetwornika L–2L.

Rozważany przetwornik bazuje na drabince L–2L, przy czym drugi z tranzystorów w gałęzi 2L pracuje jako klucz [12]. Schemat ideowy przetwornika przedstawia rysunek 2.9. Podstawą przetwornika jest komórka dzieląca prąd (tranzystory M_a –



Rysunek 2.9: Schemat rozpatrywanego przetwornika 8 bitowego.

M_d), powielona 8 razy. Na końcu drabinki umieszczono tranzystor terminujący M_t . Aby układ pracował poprawnie, wysoki poziom logiczny generowany przez blok cyfrowy, powinien odpowiadać wartości napięcia polaryzującego bramki tranzystorów drabinki V_{bias} . Jednym z celów projektu jest możliwość przebadania efektów niedopasowania tranzystorów (patrz podrozdział 2.3), zatem pierwszy prototyp musi pozwolić na ustawienie wielu warunków polaryzacji. W tym celu regulowane będą potencjały polaryzujące V_{bias} oraz V_{ref} . Dodatkowo sprawdzone będzie również działanie drabinki jako generatora i dzielnika prądu (węzeł I_{in} podpięty do masy bezpośrednio – generator, lub do źródła prądowego – dzielnik). Prąd wyjściowy drabinki jest konwertowany na napięcie przy użyciu wzmacniacza operacyjnego pracującego w trybie transimpedancyjnym.

Ze względu na zasygnalizowany uprzednio problem z dokładnością wyników symulacji komputerowych, do analizy projektu należy podejść w sposób fenomenologiczny uwzględniając efekty krótkiego kanału oraz dopasowanie tranzystorów pracujących w różnych warunkach polaryzacji. Sposób analizy układu dzielnika prądowego zbudowanego na drabince M–2M podał na początku lat dziewięćdziesiątych K. Bult [13]. Praktyka pokazała, iż możliwa jest realizacja przetwornika pracującego z dokładnością do 12 bitów [12].

Efekty krótkiego kanału. Liniowe modele tranzystorów MOS zakładają liniową zależność prędkości nośników od przyłożonego pola elektrycznego. Zależność ta jest prawdziwa tylko w pewnym obszarze wartości pola, tj. poniżej wartości krytycznej pola elektrycznego E_C . W ogólności prędkość nośników wyraża się zależnością (2.2.5)[12].

$$v_0 = \frac{\mu_0 \cdot E}{1 + \frac{E}{E_C}}, \quad (2.2.5)$$

gdzie: v_0 prędkość nośników, μ_0 ruchliwość, E - wartość pola elektrycznego. Prędkość nasycenia dla technologii krzemowych wynosi około 10^7 cm/s i odpowiada ona wartości pola E równej wartości krytycznej tegoż pola. W przypadku elektronów krytyczna wartość pola E plasuje się w okolicy $5 \frac{\text{V}}{\mu\text{m}}$. Nasycenie się prędkości powoduje redukcję ruchliwości i w konsekwencji obniżenie wartości prądu drenu tranzystora MOS. Uwzględniając ten efekt można zapisać formułę na wartość prądu drenu jako (2.2.6)[12, 14, 15].

$$I_d = \frac{\mu_0 \cdot C_{ox}}{\sqrt{1 + \left(\frac{\mu_0 \cdot V_{DS}}{L \cdot v_{sat}}\right)^2}} \cdot \frac{W}{L} \cdot \left(V_{gs} - V_{th} - \frac{1}{2} \cdot V_{ds}\right) \quad \text{liniowy,} \quad (2.2.6)$$

$$I_d = \frac{1}{2} \cdot \frac{\mu_0 \cdot C_{ox}}{\sqrt{1 + \left(\frac{\mu_0 \cdot V_{ds}}{L \cdot v_{sat}}\right)^2}} \cdot \frac{W}{L} \cdot (V_{gs} - V_{th})^2 \cdot (1 + \lambda \cdot V_{ds}) \quad \text{nasycenie.}$$

Drabinka M–2M posiada w kolejnych gałęziach tranzystory spolaryzowane coraz to mniejszym napięciem dren–źródło V_{ds} . Zatem w przypadku wyższych bitów przetwornika istnieje ryzyko wystąpienia efektu nasycenia się ruchliwości i tym samym zmniejszenia prądu bardziej znaczących bitów. Aby tego uniknąć należy stosować tranzystory o odpowiednio długim kanale.

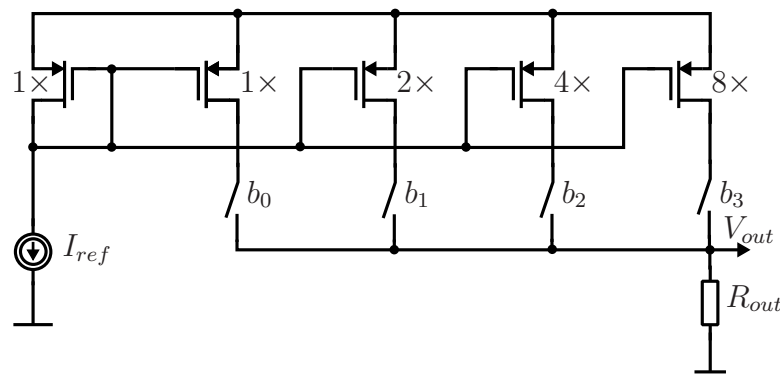
Wpływ napięcia niezrównoważenia wzmacniacza wyjściowego. Dotychczas przeprowadzone prace nad drabinką M–2M wykazały, iż najlepszymi warunkami polaryzacji, jest praca tranzystorów w obszarze triodowym [12, 13]. Jednakże wartość prądu drenu w triodowym zakresie pracy tranzystora silnie zależy od wartości napięcia dren–źródło. Dodatkowo błąd prądu spowodowany statystyczną zmianą wartości napięcia V_{ds} jest niezależny od powierzchni tranzystorów [15]. Wobec tego należy stosować wzmacniacze operacyjne o bardzo niskim napięciu niezrównoważenia lub wykorzystujące techniki jego eliminacji.

Rozważany projekt przetwornika. Ośmiobitowa dokładność przetwornika, przy napięciu referencyjnym równym 1V, wymusiłaby napięcie niezrównoważenia wzmacniacza nie większe niż 1 mV. Tak mała wartość napięcia niezrównoważenia wy-

maga bardzo dużej powierzchni zajmowanej przez układ wzmacniacza operacyjnego. Z tego też powodu rozważa się polaryzację tranzystorów drabinki tak, aby zapewnić zakładaną dokładność przy wzmacniaczu mającym napięcie niezrównoważenia nie większe niż 10 mV. Sytuacja taka wymaga, aby tranzystory w gałęziach bitów wyższych niż piąty pracowały w obszarze nasycenia (niezależność od V_{ds}). Obliczone wymiary tranzystorów drabinki, przy użyciu formuł określających rozrzut prądu tranzystorów w różnych obszarach pracy (patrz rozdział 2.3), wynoszą $W/L = 4\mu/40\mu$.

2.2.6. Skalowane źródła prądowe.

Przetworniki oparte o skalowane źródła prądowe, wykorzystują koncepcję lustra prądowego. Przy czym liczba gałęzi polaryzowanych równa jest liczbie bitów, zaś w każdej z gałęzi umieszczonych jest 2^k równoległe połączonych tranzystorów (k oznacza gałąź kolejnego bitu). Prostą realizację tego typu przetwornika przedstawia rysunek 2.10.



Rysunek 2.10: Realizacja przetwornika opartego o skalowane źródła prądowe na tranzystorach pMOS.

Napięcie wyjściowe podane jest zależnością (2.2.7).

$$V_{out} = I_{ref} \cdot R_{out} \cdot \sum_{k=0}^{N-1} b_k \cdot 2^k \quad (2.2.7)$$

Jednym z czynników ograniczającym dokładność takiego przetwornika jest skończona rezystancja tranzystorowych źródeł prądowych, w stosunku do rezystancji wyjściowego rezystora. Problem ten rozwiązuje się stosując degenerację emitera lub źródła (rozwiązanie popularne w technologiach bipolarnych w latach 70 i 80 XX wieku), bądź kaskodowe źródła prądowe. Dodatkowo aby zmniejszyć efektywną rezystancję wyjściową, rezystor zbiorczy zapina się w ujemną pętlę sprzężenia zwrotnego wzmacniacza operacyjnego.

Rozwój sub-mikronowych technologii CMOS spowodował „wysyp” tego rodzaju przetworników. Związane jest to z możliwością budowy przetworników szybkich (częstotliwość próbkowania nawet 1GHz) o powierzchni mniejszej niż przy stosowaniu

drabinek rezystorowych. Dodatkowym powodem jest możliwość projektowania przetworników o bardzo małym poborze mocy przy zadowalającej szybkości.

2.3. Efekty niedopasowania.

Podstawowym czynnikiem determinującym dokładność przetwornika, jest dopasowanie elementów dzielących prąd lub napięcie. W ciągu ostatnich dwudziestu pięciu lat powstało szereg prac dotyczących zagadnienia niedopasowania elementów na strukturach scalonych. W odniesieniu do elementów pasywnych słusznym jest stwierdzenie, iż są one tym dokładniejsze im są większe. W przypadku tranzystorów sprawa jest bardziej skomplikowana, gdyż dopasowanie zależy dodatkowo od punktu pracy. W połowie lat osiemdziesiątych Lakshmi Kumar przeanalizował przyczyny niedopasowania tranzystorów pracujących w nasyceniu i podał wyrażenie na względną wariancję prądu drenu jako [16]:

$$\frac{\sigma_I^2}{\bar{I}^2} = \frac{\sigma_K^2}{\bar{K}^2} + 4 \cdot \frac{\sigma_{V_{th}}^2}{(V_{gs} - \bar{V}_{th})^2}, \quad (2.3.1)$$

przy czym z parametrów używanego przezeń procesu i pomiarów wyprodukowanych elementów uzyskał zależności na wariancję napięcia progowego i współczynnika wzmocnienia K ($K \equiv \beta \cdot \frac{W}{L} = \mu_0 \cdot C_{ox} \cdot \frac{W}{L}$) jako:

$$\sigma_{V_{th}} \propto \frac{1}{\sqrt{\bar{W} \cdot \bar{L}}} \quad (2.3.2)$$

$$\sigma_K \propto \sqrt{\frac{1}{\bar{W}^2} + \frac{1}{\bar{L}^2}} \quad (2.3.3)$$

Jednakże dopiero Pelgrom podał w miarę pełny opis zagadnienia dopasowania tranzystorów. Rozszerzył istniejące wówczas modele o zależności od powierzchni, odległości i orientacji elementów. Wyrażenie określające względną wariancję prądu drenu nie uległo zmianie, zmieniła się za to postać wariancji napięcia progowego oraz współczynnika wzmocnienia prądowego K , wg zależności (2.3.4) i (2.3.5) [17].

$$\sigma^2(K) = \frac{A_K^2}{W \cdot L} + S_K^2 \cdot D^2 \quad (2.3.4)$$

$$\sigma^2(V_{th}) = \frac{A_{V_{th}}^2}{W \cdot L} + S_{V_{th}}^2 \cdot D^2, \quad (2.3.5)$$

gdzie A_K jest stałą określającą maksymalny rozrzut współczynnika wzmocnienia prądowego wyrażoną w $\% \cdot \mu m$, $A_{V_{th}}$ analogicznie dla napięcia progowego, ale wyrażone w $mV \cdot \mu m$, D jest odległością między elementami na waflu krzemowym w mm, zaś S_K i $S_{V_{th}}$ oznaczają rozrzut w funkcji odległości wyrażony w $\% \cdot mm$. We współczesnych technologiach analogowych rozrzut parametrów w funkcji odległości

elementów jest pomijalny i w związku z tym nie jest podawany w dokumentacji. Model niedopasowania tranzystorów podany przez Pelgroma stanowi obecnie podstawę projektowania dopasowanych układów elektronicznych.

Rozwój technologii sub-mikronowych, wymusił jednak wprowadzenie poprawek do modelu Pelgroma. Dekadę później Drennan rozważając ponownie zagadnienie niedopasowania elementów, uzyskał wyrażenie na wariancję prądu drenu postaci [18]:

$$\sigma_I^2 = \frac{\frac{\sigma_K^2}{K^2} + \sigma_{V_{th}}^2}{(V_{gs} - V_{th})^2} \quad (2.3.6)$$

Bardzo obszerną analizę efektów niedopasowania tranzystorów przeprowadził w drugiej połowie lat dziewięćdziesiątych J. Bastos [15]. Przeanalizował niedopasowanie tranzystorów we wszystkich reżimach pracy – od słabej do silnej inwersji, w obszarach triodowym i pentodowym – uwzględniając oprócz rozrzutów napięcia progowego i współczynnika wzmocnienia prądowego, również wpływ efektów nasycania się ruchliwości nośników oraz podłoża. Otrzymane w powyższej pracy wyrażenia na względną wariancję prądu drenu wyrażone są poniższymi formułami:

— silna inwersja, obszar nasycenia:

$$\sigma_I^2 = \frac{\sigma_K^2}{K^2} + 4 \cdot \frac{\sigma_{V_{th}}^2}{(V_{gs} - V_{th})^2} + \frac{\sigma_{\theta_{eff}}^2 \cdot (V_{gs} - V_{th})^2}{(1 + \theta_{eff} \cdot (V_{gs} - V_{th}))^2} + \frac{\sigma_\lambda^2 \cdot V_{ds}^2}{(1 + \lambda \cdot V_{ds})^2} \quad (2.3.7)$$

— silna inwersja, obszar liniowy:

$$\sigma_I^2 = \frac{\sigma_K^2}{K^2} + \frac{\sigma_{V_{th}}^2}{\left(V_{gs} - V_{th} - \frac{1}{2} \cdot V_{ds}\right)^2} + \frac{\sigma_{\theta_{eff}}^2 \cdot (V_{gs} - V_{th})^2}{(1 + \theta_{eff} \cdot (V_{gs} - V_{th}))^2} + \frac{\sigma_{V_{ds}}^2}{V_{ds}^2} \quad (2.3.8)$$

— słaba inwersja:

$$\sigma_I^2 = \frac{\sigma_K^2}{K^2} + \frac{\sigma_{V_{th0}}^2}{n^2 \cdot V_T^2} + \frac{\sigma_\gamma^2 \cdot (1.5 \cdot \Phi_F + V_{sb})^2}{n^2 \cdot V_T^2}, \quad (2.3.9)$$

gdzie: θ_{eff} jest efektywnym współczynnikiem redukcji ruchliwości nośników, λ współczynnikiem modulacji kanału, V_{sb} napięciem pomiędzy źródłem a podłożem, γ współczynnikiem określającym wpływ efektów podłoża, $V_T = k \cdot T/q$ potencjałem termicznym, Φ_F potencjałem Fermiego, n nachyleniem charakterystyki przejściowej tranzystora, natomiast napięcie progowe wyrażone jest jako

$$V_{th} = V_{th0} + \gamma \cdot \left(\sqrt{2 \cdot \Phi_F + V_{sb}} - \sqrt{2 \cdot \Phi_F} \right). \quad (2.3.10)$$

Człony związane z efektem nasycania się ruchliwości nośników można zaniedbać dla tranzystorów o długim kanale (powyżej $2 \mu m$), natomiast w przypadku tranzysto-

rów pracujących w obszarze trydowym nie bez znaczenia jest rozrzut napięć V_{ds} , niezależny od wymiarów tranzystorów. Należy liczyć się z tym efektem w przypadku projektowania przetworników opartych o implementację drabinki R–2R na tranzystorach MOS, co sprowadza się do projektu wzmacniacza wyjściowego o odpowiednio niskim napięciu niezrównoważenia.

Ostatnim podejściem do rozważanego zagadnienia jest koncepcja niedopasowania jako szumu stałoprądowego, zaproponowana przez naukowców z Federal University of Santa Catarina we Florianopolis w Brazylii [19]. Proponowany model niedopasowania oparli oni na zapostulowanym przez nich wcześniej modelu tranzystorów MOS, tj. modelu ACM [21]. Wspomniane w ich pracach modele wydają się być atrakcyjne, ze względu na dobrą aproksymację pracy/niedopasowania tranzystorów w obszarze umiarkowanej i słabej inwersji, czyli w obszarach interesujących projektantów przetworników opartych o architekturę M–2M.

2.3.1. Zalecenia projektowe.

Pierwszym krokiem wykonywanym podczas projektowania przetwornika, jest określenie minimalnych rozmiarów elementów użytych do jego konstrukcji, tak aby ich rozrzut zapewnił dokładność przetwornika na poziomie 0.5 LSB. W dokumentacjach większości procesów oparto się na modelu Pelgroma i podaje się stałe rozrzutu A_i , gdzie $i = R, C, V_{th}, K$. Dla użytej w projekcie technologii $0.35\mu m$ owe parametry przedstawia tabela 2.1:

Tablica 2.1: Parametry niedopasowania elementów w użytej technologii $0.35\mu m$ [20].

element	parametr	wartość
kondensator <i>cpoly</i>	A_C	1.2 [% · μm]
rezystor <i>rpoly2</i>	A_R	12 [% · μm]
rezystor <i>rpolyh</i>	A_R	7 [% · μm]
tranzystor <i>nmos</i>	A_K	0.2 [% · μm]
tranzystor <i>pmos</i>	A_K	0.4 [% · μm]
tranzystor <i>nmos</i>	$A_{V_{th}}$	8.2 [mV · μm]
tranzystor <i>pmos</i>	$A_{V_{th}}$	14.9 [mV · μm]

Zaprojektowanie N-bitowej drabinki R–2R wymusza na projektancie użycie rezystorów spełniających zależność[22]:

$$\sigma(R) \leq \frac{100\%}{2^N} \Rightarrow \sqrt{W \cdot L} \geq \frac{A_R}{\sigma(R)} \quad (2.3.11)$$

Dla przykładu przetwornik ośmiobitowy zbudowany na rezystorach *rpolyh*, wymagałby dwudziestu sześciu rezystorów o powierzchni przynajmniej $18 \times 18 [\mu m^2]$ każdy. W przypadku przetworników opartych o skalowane źródła prądowe, procedura jest

podobna, z tym że należy oszacować powierzchnię źródła prądowego generującego prąd MSB wg powyższej zależności, a następnie ustalić rozmiar jednostkowego tranzystora dzieląc otrzymaną powierzchnię dla MSB przez 2^{N-1} . Jednakże w uzyskaniu dobrego dopasowania źródeł prądowych istotnym jest, aby tranzystor posiadał wysokie napięcie „przesterowania” (ang. overdrive), tzn. aby różnica napięć $V_{gs} - V_{th} = V_{ov}$ była jak największa. Napięcie V_{ov} zależy odwrotnie proporcjonalnie od stosunku W/L tranzystora, toteż należy stosować tranzystory odpowiednio długie. Zatem najpierw należy założyć napięcie V_{ov} tranzystora, przesyłować przy założonym prądzie LSB, przy jakim stosunku W/L zakładane napięcie V_{ov} jest uzyskiwane. Wówczas można oszacować powierzchnię źródła MSB wg zależności (2.3.12) [22].

$$\sigma(\delta I_{MSB}) = \frac{1}{\sqrt{W \cdot L}} \cdot \sqrt{\sigma_K^2 + \left(2 \cdot 100\% \frac{A_{V_{th}}}{V_{ov}}\right)^2} \leq \frac{100\%}{2^N} \quad (2.3.12)$$

Powyższe rozważania dotyczyły dopasowania elementów na poziomie σ , czyli 68 % poziomu ufności. W praktyce żąda się aby uzysk układów spełniających kryteria projektowe był większy - 95 % lub nawet 99 %. Pociąga to za sobą wymaganie dopasowania na poziomie 2σ (95%) bądź nawet 3σ (99%), zwiększając powierzchnię elementów odpowiednio 4 lub 9 razy.

W przypadku dopasowania prądów tranzystorów można zmniejszyć wymaganie na dopasowanie poprzez degenerację źródła tranzystorów. Analizę przypadku degeneracji źródła na skończonych przyrostach przeprowadził Razavi[23]. Śledząc ten tok rozumowania można łatwo wykazać, że wariancja prądu takiegoż źródła jest opisana zależnością:

$$\sigma^2(I_d) = \frac{1}{1 + g_m^2 R_S^2} \cdot \left[\sigma^2(K) + \frac{4\sigma^2(V_{th})}{(V_{gs} - V_{th})^2} + g_m^2 \cdot \sigma^2(R_S) \right] \quad (2.3.13)$$

Aby osiągnąć pożądaną wartość rezystancja R_S była większa od odwrotności transkonduktancji $1/g_m$ tranzystora. Dodatkowym efektem jest zwiększenie rezystancji wyjściowej takiego źródła spowodowane „boostowaniem” rezystancji R_S , do wartości $\approx g_m \cdot r_{ds} \cdot R_S$. Praktyka taka była częsta w latach siedemdziesiątych XX wieku, gdyż królująca wówczas technika bipolarna umożliwiała wytworzenie tranzystorów o odpowiednio wysokiej transkonduktancji. Mniej więcej od połowy lat osiemdziesiątych, wraz z rozwojem technologii CMOS, zaprzestano degeneracji źródeł prądowych. Jednakże w ostatnich latach pojawiły się prace przedstawiające projekty przetworników wykonanych w głęboko sub-mikronowych technologiach (90 i 65 nm) stosujące degenerację źródeł prądowych, ale przy użyciu pracujących w obszarze liniowym tranzystorów [24, 25]. Kolejnym czynnikiem poprawiającym dopasowanie elementów jest ich segmentacja na mniejsze części. Podzielenie elementu na grupę elementów mniejszych powoduje, iż zgodnie ze statystyką Poissona

(każdy element zachowuje się statystycznie niezależnie), sumaryczne niedopasowanie elementów jest mniejsze pierwiastek razy z liczby jednostkowych elementów.

Rozdział 3

Projekt przetwornika 10 bitowego opartego o skalowane źródła prądowe.

3.1. Założenia projektowe.

Przed projektem przetwornika postawiono wysokie wymagania. Otóż projekt powinien wykazywać się:

- rozdzielczością 10 bitów,
- niskim poborem mocy $P_{tot} < 1mW$,
- wysokim zakresem dynamicznym wyjścia, przynajmniej od 0.5 do 2.7 V (od V_{th}^{nmos} do $V_{dd} - V_{th}^{pmos}$),
- jak najmniejszą powierzchnią.

Ograniczenie na pobór mocy w naturalny sposób wymusza ograniczenie na szybkość układu. Jednakże przetwornik ów ma być używany do zastosowań statycznych, zatem szybkość nie jest dla niego parametrem istotnym. Pierwszym problemem do rozwiązania był wybór architektury przetwornika. Rozpatrywano architektury oparte o skalowane pojemności, skalowane źródła prądowe oraz drabinki rezystorowe.

1. Skalowanie pojemności.

a) Zalety:

- praktycznie zerowy pobór prądu (tylko wzmacniacz wyjściowy),
- dość łatwe uzyskanie pełnego zakresu dynamicznego (równemu dostępnemu zasilaniu),

b) Wady:

- uzyskanie żądanej rozdzielczości okupione zbyt dużą powierzchnią w porównaniu do innych architektur,
- ze względu na prądy upływu (w używanej technologii wynoszą one $1 \text{ aA}/\mu\text{m}^2$) wymaga dodatkowego układu zapewniającego odświeżanie ładunku gromadzonego na kondensatorach.

2. Skalowane źródła prądowe.

a) Zalety:

- możliwe uzyskanie wysokiej dokładności,
- relatywnie niski pobór mocy przy zadowalającej szybkości,

b) Wady:

- duża liczba tranzystorów (2^N , gdzie N – liczba bitów),
- w przypadku prostej implementacji zakres dynamiczny ograniczony przez spadek napięcia na matrycy źródeł prądowych.

3. Drabinki rezystorowe.

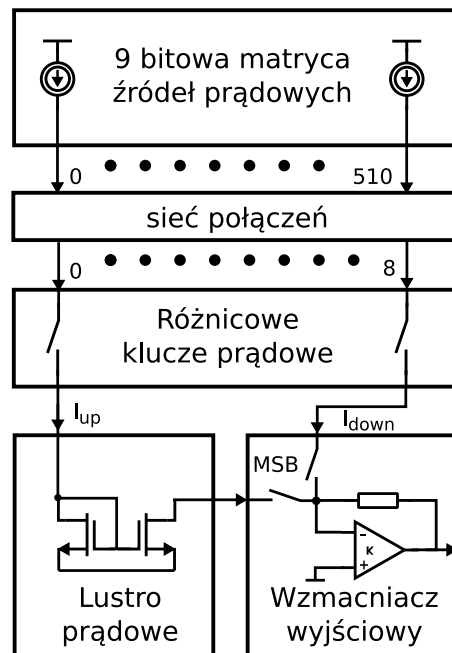
a) Zalety:

- dość łatwe uzyskanie pełnego zakresu dynamicznego (równemu dostępnemu zasilaniu),
- mała liczba elementów w przypadku drabinki R-2R ($4 \cdot N$),

b) Wady:

- skomplikowana logika cyfrowa w przypadku drabinek prostych.
- wymaga wzmacniacza wyjściowego o bardzo niskim napięciu niezrównoważenia.

W trakcie studiów nad różnymi architekturami, zdecydowano się oprzeć przetwornik o skalowane źródła prądowe. Aby uzyskać wysoką dokładność użyto układów aktywnej kaskody na wyjściu matrycy źródeł prądowych, w celu stabilizacji napięć V_{ds} tranzystorów oraz zwiększeniu istotnie ich rezystancji wyjściowej. Wysoki zakres dynamiczny uzyskano poprzez odbicie jednego z dostępnych prądów wyjściowych matrycy i kierowaniu obu prądów – bezpośredniego z matrycy i odbitego – na wyjściowy wzmacniacz transimpedancyjny. Uzyskany w ten sposób zakres dynamiczny przetwornika okupiono stratą jednego 512-go stanu (spośród 1024 dostępnych), jednak zmniejszono również wymagania na matryce DACa (wystarczy matryca dziewięciobitowa) zmniejszając liczbę elementów układu. Schemat blokowy proponowanego przetwornika przedstawiono na rysunku 3.1.

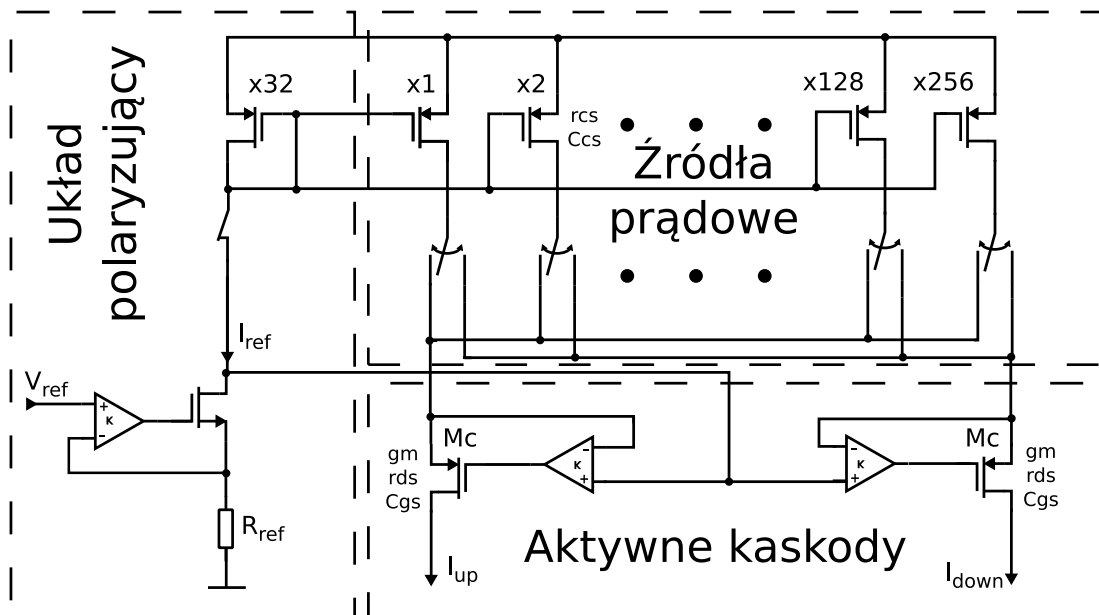


Rysunek 3.1: Schemat blokowy proponowanego przetwornika.

3.2. Matryca źródeł prądowych.

Sercem układu przetwornika jest 9 bitowa matryca źródeł prądowych wykonanych na tranzystorach PMOS. Wymiary tranzystorów zostały dobrane tak aby uzyskać jak największe napięcie przesterowania, co pozytywnie wpływa na dopasowanie prądów tranzystorów oraz zajmowaną przez nie powierzchnię. Korzystając z dostarczonych wraz z dokumentacją procesu technologicznego parametrów niedopasowania, oszacowano wymiary tranzystorów przy użyciu formuły (2.3.12). Prąd źródła generującego najmniej znaczący bit (I_{LSB}) ustalono na 100 nA, natomiast stosunek szerokości do długości tranzystorów W/L został ustalony na $1/80$, gwarantując wartość napięcia przesterowania w okolicach 637 mV. Wymiary gwarantujące dokładność przetwornika na poziomie 3σ ustalono na $W/L = 0.5\mu/40\mu$. Dziewięć źródeł prądowych generujących prądy o wartości $I_k = 2^k \cdot I_{LSB}$ zbudowano łącząc równolegle 2^k tranzystorów jednostkowych o powyższych wymiarach.

Schemat ideowy matrycy źródeł prądowych wraz z układem polaryzującym, kluczami prądowymi oraz układem aktywnych kaskod przedstawia rysunek 3.2. Matryca



Rysunek 3.2: Schemat matrycy źródeł prądowych wraz z kluczami prądowymi oraz układem polaryzującym.

źródeł prądowych generuje dwa komplementarne prądy I_{up} oraz I_{down} powiązane zależnością (3.2.1):

$$I_{down} = 511 \cdot I_{LSB} - B_{dec} \cdot I_{up}, \quad (3.2.1)$$

gdzie B_{dec} jest dziesiątną wartością wejściowego słowa binarnego bez najbardziej znaczącego bitu.

3.2.1. Układ polaryzujący.

Układ polaryzujący oparty jest o stopnień aktywnej kaskody „boostującej” referencyjny rezystor R_{ref} oraz tranzystor polaryzujący. Napięcie referencyjne V_{ref} jest ustawiany z zewnątrz, jednakże w domyślnej konfiguracji podawane jest ono z referencyjnego źródła napięciowego typu *Band-Gap* [27], generującego napięcie 1.2 V. Wykorzystanie wzmacniacza różnicowego w konfiguracji z ujemnym sprzężeniem zwrotnym zapewnia stałą wartość spadku napięcia na rezystorze referencyjnym R_{ref} , równą (z dokładnością do napięcia niezrównoważenia wzmacniacza) V_{ref} . Tranzystor polaryzujący powinien być zbudowany z pojedynczego tranzystora budującego matrycę źródeł prądowych, jednakże wybór niskiego prądu LSB wymusiłby wartość rezystora referencyjnego na poziomie 12 MΩ. Technologie scalone umożliwiają wykonanie pasywnego rezystora o wartościach co najwyżej kilkuset kΩ [26], przy sensownej powierzchni i stopniu dopasowania rezystancji. W związku z tym ograniczeniem zdecydowano wykonać tranzystor polaryzujący z 32 równoległe połączonych tranzystorów jednostkowych, natomiast rezystor referencyjny zaprojektowano na bazie wysokorezystywnego polikrzemu i ustalono jego wartość na 375 kΩ ± 5 %.

3.2.2. Klucze prądowe.

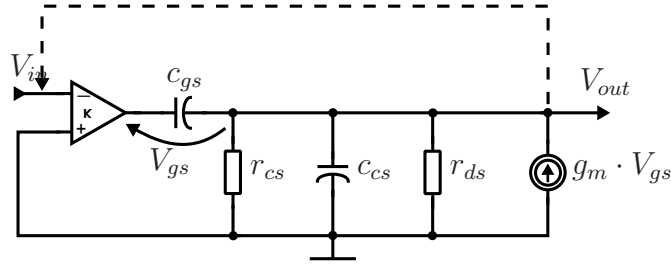
W celu jak najlepszego dopasowania prądów poszczególnych źródeł, pojedyncza cela matrycy przetwornika powinna zawierać jednostkowe źródło prądowe oraz parę kluczy prądowych, zbudowanych na tranzystorach tego samego typu. Jednakże rozwiązanie takie komplikuje plan topologii masek układu scalonego, dodatkowo drastycznie zwiększa rozmiar układu. Z tego też powodu zdecydowano się na zaprojektowanie kluczy prądowych jako skalowanych binarnie tranzystorów typu PMOS o wymiarach $W/L = 2^k \cdot 0.4\mu/0.35\mu$. Pomimo niskiego stosunku W/L rezystancja kluczy jest ciągle cztery rzędy wielkości mniejsza niż rezystancja źródeł prądowych. Co więcej mała powierzchnia kluczy determinuje małą pojemność, w konsekwencji prowadzącą do niskiego poziomu wstrzykiwanego ładunku w trakcie przełączania.

3.2.3. Układ aktywnych kaskod.

W celu wyeliminowania wpływu współczynnika modulacji kanału na wartość prądu poszczególnych źródeł, użyto układów aktywnych kaskod na wyjściu matrycy źródeł prądowych. Wzmacniacz operacyjny zapewnia równość potencjałów dren-źródło wszystkich źródeł prądowych, a konfiguracja aktywnej kaskody znacząco zwiększa rezystancję wyjściową matrycy źródeł prądowych. Korzystając z oznaczeń użytych na rysunku 3.2 rezystancja wyjściowa układu wyraża się zależnością (3.2.2)[38].

$$r_{out} \simeq K \cdot g_m \cdot r_{ds} \cdot r_{cs}. \quad (3.2.2)$$

Istotnym zagadnieniem jest stabilność układu. Małosygnalową analizę stabilności układu z otwartą pętlą sprzężenia zwrotnego przeprowadzono używając schematu z rysunku 3.3.



Rysunek 3.3: Schemat użyty do analizy stabilności układu aktywnej kaskody.

Można pokazać, że transmitancja układu wyraża się zależnością (3.2.3).

$$\frac{V_{out}}{V_{in}} = \frac{K_0 \cdot g_m}{g_m + g_{ds} + g_{cs}} \cdot \frac{1 + s \cdot \frac{C_{gs}}{g_m}}{\left(1 + s \cdot \frac{C_{gs} + C_{cs}}{g_m + g_{ds} + g_{cs}}\right) \cdot \left(1 + \frac{s}{\omega_0}\right)}, \quad (3.2.3)$$

gdzie K_0 – stałoprądowe wzmocnienie wzmacniacza, ω_0 – biegun dominujący wzmacniacza. Położenie zer i biegunów funkcji przenoszenia układu aktywnej kaskody jest następujące:

$$z = -\frac{g_m}{C_{gs}} \quad (3.2.4)$$

$$p_1 = -\omega_0 \quad (3.2.5)$$

$$p_2 = -\frac{g_m + g_{ds} + g_{cs}}{C_{gs} + C_{cs}} \approx -\frac{g_m}{C_{cs} + C_{gs}} \quad (3.2.6)$$

Stabilność układu zależy od wzajemnej odległości wyżej wspomnianych biegunów i sprowadza się do warunku (3.2.7).

$$K_0 \cdot \omega_0 \ll \frac{g_m}{C_{cs} + C_{gs}} \quad (3.2.7)$$

Położenie biegunu niedominującego związane jest z wartością prądu płynącego przez tranzystor kaskodowy (Mc z rys. 3.2). Jeżeli zatem przetwornik zostanie ustawiony w stan generujący niski bądź zerowy prąd, wówczas wspomniany biegun zostanie przeniesiony w stronę bardzo niskich częstotliwości, wzbudzając oscylację układu. Aby temu zapobiec, należy zapewnić minimalną wartość prądu płynącego przez tranzystor kaskodowy. W opisywanym układzie przetwornika cyfrowo–analogowego użyto w tym celu źródeł prądowych typu atrap (ang. *dummy*) włączonych przed i za tranzystorem kaskodowym. Oczywiście prąd generowany przez każde ze źródeł atrap nie może różnić się bardziej niż 50% wartości prądu LSB, by nie powodować dodatkowego pogorszenia liniowości przetwornika. Oznacza to zwiększenie

powierzchni układu. W tym celu zaprojektowano matrycę źródeł prądowych polaryzowanych z węzła polaryzującego główną matrycę przetwornika. Na każde ze źródeł atrap wpuszczających prąd do węzła przeznaczono po dwa tranzystory PMOS o wymiarach $W/L = 7.5\mu/30\mu$. Prąd generowany przez każdy z tranzystorów wynosi $3.75\ \mu A$. Aby wyciągnąć prąd z określonego węzła wykorzystano źródła prądowe skonstruowane na tranzystorach NMOS o wymiarach $W/L = 2 \cdot 4\mu/30\mu$. Aby zniwelować wpływ napięcia dren-źródło tranzystorów na generowany przezeń prąd, umieszczono w odpowiednich gałęziach tranzystory w konfiguracji diodowej odbierające nadmiar napięcia.

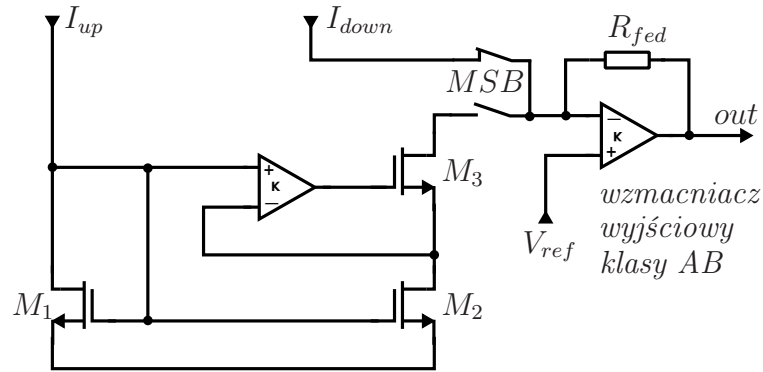
Pomimo niedogodności związanej ze stosowaniem dodatkowych źródeł atrap, układ aktywnej kaskody posiada jeszcze jedną pozytywną cechę. Istotnym ograniczeniem parametrów dynamicznych przetworników cyfrowo-analogowych jest problem tzw. *glitch'y*, czyli szpilek prądowych związanych z wstrzykiwaniem ładunku poprzez klucze w trakcie przełączania stanów przetwornika. Niepożądane szpilki prądowe powstają w trakcie przełączania stanów przetwornika. Skok napięcia o amplitudzie równej pełnemu zasilaniu podany na klucz w postaci tranzystora MOS, zostaje zróżniczkowany i w postaci szybkiej, eksponencjalnej szpilki propaguje się na wyjście układu. Amplituda tej szpilki jest proporcjonalna do stosunku pojemności klucza i pojemności wyjściowej. Szpilki prądowe są szybkimi impulsami, zatem plasują się w zakresie częstotliwości dużo wyższym niż pole wzmocnienia układu aktywnej kaskody. Sytuacja ta determinuje skuteczną filtrację pasożytniczych szpilek prądowych przez układ aktywnej kaskody.

3.3. Obwód wyjściowy zapewniający wysoki zakres dynamiczny.

Wspomniane prądy I_{up} oraz I_{down} wpływają do układu wyjściowego zapewniającego wysoki zakres dynamiczny na wyjściu. Układ ten ukazany jest schematycznie na rysunku 3.4.

Napięcie referencyjne V_{ref} ustawione jest w połowie zasilania. Jeżeli przetwornik ustawiony jest w stan o wartości MSB równej 0, wówczas w rezystor R_{fed} wpływa prąd I_{down} ustalając napięcie wyjściowe w zakresie od $V_{ref} - 511 \cdot I_{LSB} \cdot R_{fed}$ do V_{ref} . W przeciwnym wypadku prąd I_{up} jest odbijany w liniowym lustrze prądowym (tranzystory M_1 oraz M_2) i „wyciąga” prąd z wyjścia wzmacniacza poprzez rezystancję R_{fed} . W rezultacie napięcie na wyjściu układu zmienia się w przedziale od V_{ref} do $V_{ref} + 511 \cdot I_{LSB} \cdot R_{fed}$.

Aby zapewnić jak najwierniejsze odbicie prądu I_{up} , zaprojektowano liniowe źródło prądowe z układem aktywnej kaskody. Potencjały dren-źródło tranzystorów M_1 oraz M_2 stanowiących główne lustro prądowe, są wyrównywane poprzez zastosowanie wzmacniacza operacyjnego sterującego wyjściowy układ aktywnej kaskody. Roz-



Rysunek 3.4: Schemat układu wyjściowego zapewniającego wysoki zakres dynamiczny sygnału wyjściowego.

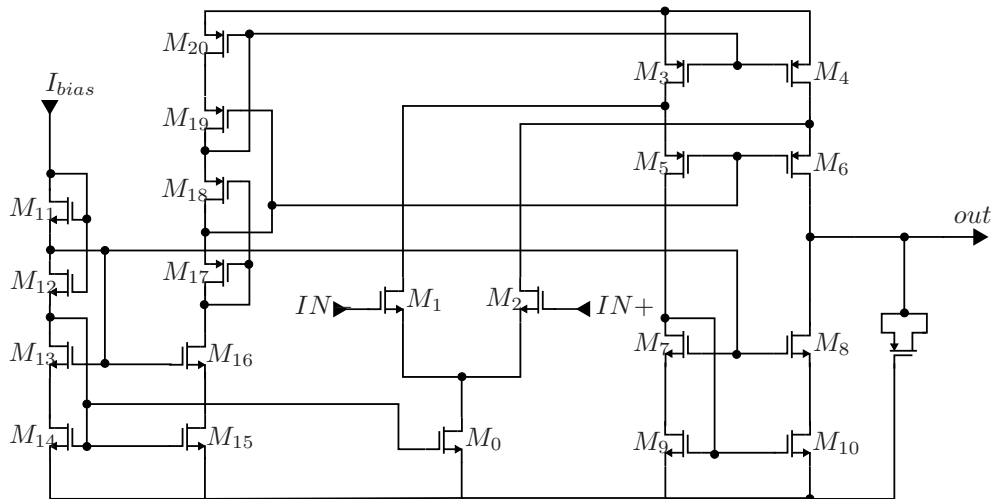
wiązanie to wyklucza błąd systematyczny związany ze współczynnikiem modulacji kanału. Jednakże wartości prądów w gałęziach odbijającej i odbitej są zdeterminowane przez parametry rozrzutu technologicznego. Analogicznie jak w przypadku matrycy źródeł prądowych, liniowe lustro prądowe należy zaprojektować tak, aby bezwzględny rozrzut prądów był nie większy niż połowa prądu generowanego przez źródło prądowe najmniej znaczącego bitu. Z tego też powodu rozważane lustro zbudowano w oparciu o parę tranzystorów M_1 i M_2 podzielonych na 16 mniejszych, o wymiarach $W/L = 3.2\mu/52.5\mu$ każdy. Tranzystor kaskodowy M_3 musi zawsze pracować w nasyceniu. Wartość prądu płynąca przez lustro zmienia się w dość dużym zakresie, dodatkowo dostępne napięcie dren-źródło dla tranzystora kaskodowego wynosi $V_{ref} - V_{ds2}$, czyli poniżej 400 [mV]. Warunki te wymuszają dość duży stosunek W/L tego tranzystora. W przedstawionym projekcie wymiary tranzystora kaskodowego ustalono na $W_3/L_3 = 30\mu m/0.35\mu m$.

3.4. Projekt wzmacniaczy.

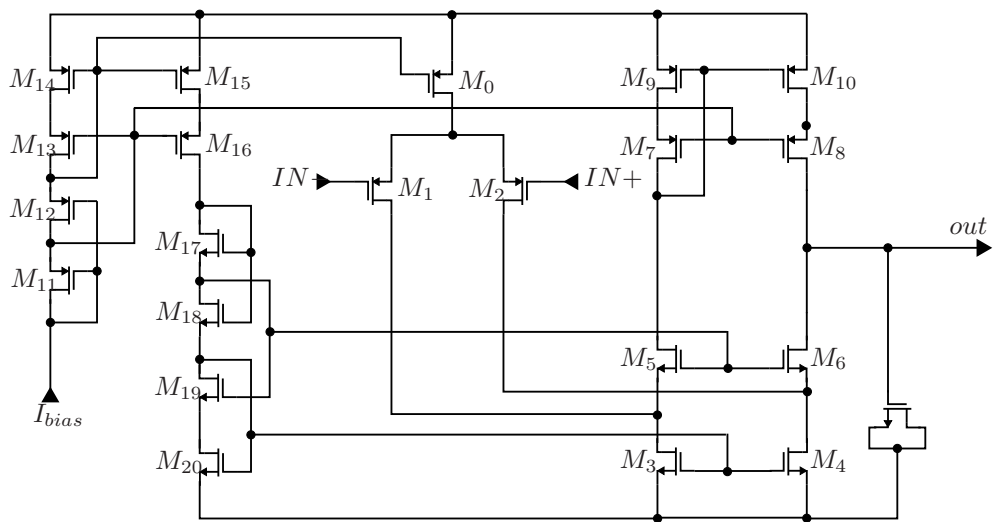
Na potrzeby opisywanego projektu przetwornika zaprojektowano trzy typy wzmacniaczy operacyjnych, użyte w układach aktywnych kaskod, liniowego lustra prądowego oraz na wyjściu przetwornika. Większość wzmacniaczy – z wyjątkiem wzmacniacza wyjściowego – nie wymaga szerokiego zakresu dynamicznego bądź zdolności wysterowania wysokiej pojemności lub małej rezystancji. Z tego też powodu zostały one zaprojektowane jako wzmacniacze jednostopniowe o niskim poborze mocy. Zależnie od wartości napięć referencyjnych zaprojektowano dwa komplementarne wzmacniacze jednostopniowe. Rysunek 3.5a przedstawia wzmacniacz użyty w układach aktywnych kaskod, natomiast rysunek 3.5b wzmacniacz stabilizujący pracę liniowego lustra prądowego. Każdy z opisywanych wzmacniaczy jednostopniowych wysterowuje bramki tranzystorów, w konfiguracji ujemnego sprzężenia zwrotnego poprzez złącze bramka-źródło sterowanego tranzystora. Taka konfiguracja wymu-

sza, ze względu na poziomy napięć wejściowych i wyjściowych wzmacniacza, oparcie projektu wzmacniacza o architekturę zawiniętej kaskody[27].

Wzmacniacz wyjściowy musi sprostać wymaganiu szerokiego zakresu dynamicznego oraz umiejętności wysterowania wyjściowego prądu w szerokim zakresie. Wymagania te wymusiły zaprojektowanie dwustopniowego wzmacniacza operacyjnego, ze stopniem wyjściowym pracującym w klasie AB (konfiguracja *Push-Pull*).



(a) układzie aktywnych kaskod.



(b) układzie liniowego lustra prądowego.

Rysunek 3.5: Schematy wzmacniaczy jednostopniowych użytych w:

3.4.1. Jednostopniowy wzmacniacz różnicowy.

Na potrzeby sterowania stopniami aktywnych kaskod oraz liniowego lustra prądowego zastosowano wzmacniacze oparte o architekturę zawiniętej kaskody, przedstawione na rysunkach 3.5a oraz 3.5b. Strukturę tą stanowią: źródło prądowe (ang. *current source/sink*) M_0 polaryzujące wejściową parę różnicową M_1 i M_2 , aktywne obciążenie M_3 , M_4 i $M_7 - M_{10}$, kaskody M_5 i M_6 oraz układy polaryzujące

wykonane jako lustra prądowe Sookh'a $M_{11} - M_{20}$ [27].

Układ polaryzujący.

Układ polaryzujący aktywne obciążenie wzmacniacza oraz źródło prądowe, zaprojektowany został w oparciu o zapewniające wysoki zakres dynamiczny, kaskodowe lustro prądowe Sookh'a [27], nazwane na cześć jego pomysłodawcy. Układ ten stanowią dwa tego typu lustra: pierwsze zbudowane na tranzystorach NMOS $M_{11} - M_{14}$ i drugie zbudowane na tranzystorach PMOS $M_{17} - M_{20}$. Tranzystory M_{15} i M_{16} odbijają prąd polaryzujący z pierwszego lustra do drugiego. Idea tego rozwiązania opiera się na wprowadzeniu tranzystora $M_{14}(M_{20})$ w punkt pracy znajdujący się tuż nad progiem obszaru nasycenia, a co za tym idzie sterowaniu bramki tranzystora kaskodowego $M_{13}(M_{19})$ potencjałem wynoszącym $V_{th} + 2 \cdot V_{ov}$. W ten sposób spadek napięcia na kaskodowym źródle wynosi $V_{th} + V_{ov}$, zamiast $2 \cdot (V_{th} + V_{ov})$.

Analiza wielkosygnałowa wzmacniacza.

W układzie zawiniętej kaskody całkowity prąd płynący przez wzmacniacz, tj. prąd płynący przez parę wejściową oraz aktywne obciążenie, determinowany jest przez prąd płynący w tranzystorach zbiorczych M_3 i M_4 . Prąd ten zaś ustalony na podstawie stosunku wymiarów tranzystorów M_3 i M_4 w odniesieniu do polaryzującego je tranzystora M_{20} . Przy założeniu tych samych wymiarów tranzystorów M_{14} i M_{15} wyżej wspomniane prądy wyrażają się zależnością (3.4.1).

$$I_{d3} = I_{d4} = I_{bias} \cdot \frac{\left(\frac{W}{L}\right)_3}{\left(\frac{W}{L}\right)_{20}} \quad (3.4.1)$$

Natomiast prąd płynący przez parę różnicową i pozostałą część aktywnego obciążenia ($M_7 - M_{10}$) zależy od stosunku wymiarów źródła prądowego M_0 w odniesieniu do wymiarów tranzystora M_{14} . Zależności (3.4.2), (3.4.3) oraz (3.4.4) opisują wartości tychże prądów.

$$I_{d0} = I_{bias} \cdot \frac{\left(\frac{W}{L}\right)_0}{\left(\frac{W}{L}\right)_{14}} \quad (3.4.2)$$

$$I_{d1} = I_{d2} = \frac{I_{d0}}{2} \quad (3.4.3)$$

$$I_{d9} = I_{d10} = I_{d3} - I_{d1}. \quad (3.4.4)$$

W praktycznych realizacjach, przyjmuje się często założenie projektowe o równości prądów płynących przez wejściową parę różnicową oraz aktywne obciążenie.

Ważnym parametrem wielkosygnałowym wzmacniacza jest tzw. *slew rate*. Para-

metr ów wyznacza szybkość ładowania pojemności wyjściowej wzmacniacza stałym prądem, w odpowiedzi na wysoki skok napięcia. W przypadku architektury opartej o układ zawiniętej kaskody parametr ten wyraża się jako (3.4.5) [27].

$$SR := \frac{dV_{out}}{dt} = \frac{I_{d0}}{C_{load}} \left[\frac{V}{\mu s} \right] \quad (3.4.5)$$

Analiza małosygnalowa wzmacniacza.

Konfiguracja wzmacniacza z aktywnym obciążeniem wprowadza asymetrię do układu i wyniki analizy małosygnalowej są inne niż w przypadku wzmacniaczy w pełni różnicowych. Stałoprądowe wzmocnienie wyraża się jako iloczyn transkonduktancji tranzystora wejściowego g_{m1} oraz efektywnej rezystancji wyjściowej r_{out} (3.4.6) [27].

$$K_0 = \frac{v_{out}}{v_{in}} \approx g_{m1} \cdot r_{out} \quad (3.4.6)$$

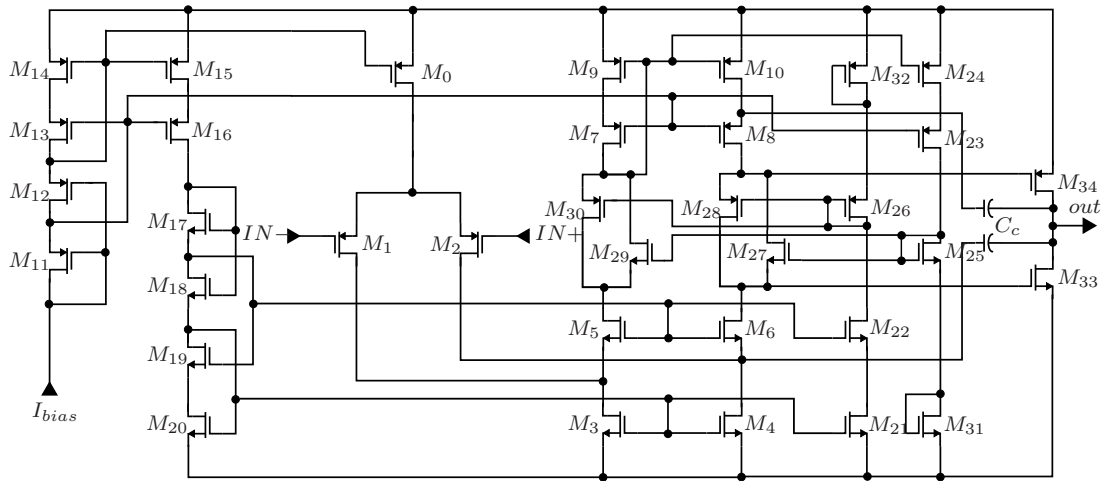
W pierwszym przybliżeniu funkcja przenoszenia wzmacniacza posiada dwa bieguny – dominujący związany z pojemnością obciążenia i niedominujący sprokurowany pojemnościami bramka–źródło tranzystorów kaskodowych. Wzmacniacz jest tym stabilniejszy im większą pojemność musi wysterować, w tym celu w każdym ze wzmacniaczy dodano na wyjściu kondensator aktywny w postaci tranzystora MOS, który zapewnia ok. trzy razy większą pojemność przy tych samych wymiarach niż pasywny kondensator *poly-poly*. Przybliżone wartości biegunów wzmacniacza podają poniższe wyrażenia [29].

$$p_{dom} \approx \frac{1}{C_{load} \cdot r_{out}} \quad (3.4.7)$$

$$p_{non-dom} \approx \frac{g_{m5}}{c_{gs5}} \quad (3.4.8)$$

3.4.2. Wzmacniacz wyjściowy.

Jak wspomniano na początku tego podrozdziału, wzmacniacz wyjściowy musi spełnić wymagania na wysoki zakres dynamiczny oraz na szeroki zakres prądu wyjściowego. Dodatkowo musi zachowywać się stabilnie w przypadku obciążenia dużą pojemnością. Aby spełnić te wymagania zaprojektowano dwustopniowy wzmacniacz operacyjny ze stopniem wyjściowym pracującym w konfiguracji *Push-Pull*. Konfigurację wzmacniacza przedstawioną na rysunku 3.6 stanowi układ polaryzujący oparty o kaskodowe lustro prądowe Sookh'a (tranzystory $M_{11} - M_{20}$), stopień wyjściowy zbudowany na bazie zawiniętej kaskody ($M_0 - M_{10}$), stopień wyjściowy klasy AB (M_{33}, M_{34}) oraz układ polaryzujący stopień wyjściowy zaprojektowany jako tzw. pływające źródło prądowe (ang. *floating current source*) – tranzystory $M_{21} - M_{32}$ [28]. Analiza stopnia polaryzującego oraz pierwszego stopnia wzmacniającego opartego o architekturę zawiniętej kaskody została już omówiona podczas



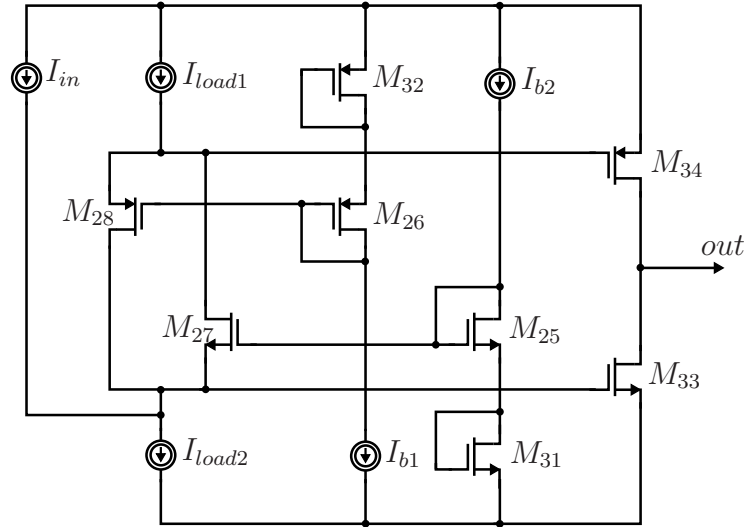
Rysunek 3.6: Schemat wzmacniacza mocy.

rozpatrywania wzmacniaczy jednostopniowych, stąd też w następnej części rozdziału skupiono się na stopniu wyjściowym oraz analizie kompensacji częstotliwościowej rozpatrywanego wzmacniacza.

Wyjściowy stopień typu *Push–Pull*.

Klasyczne wzmacniacze pracujące w klasie A, tj. takie które w gałęzi wyjściowej zawierają jeden tranzystor wyjściowy oraz źródło prądowe, posiadają jednokierunkowe ograniczenie prądu wyjściowego związane z wartością prądu źródła prądowego umieszczonego w tej gałęzi. Ten tryb pracy ogranicza zakres dynamiczny (wyjściowy potencjał nie może być niższy niż potencjał źródła prądowego) oraz istotnie zwiększa pobór mocy. Rozwiązaniem powyższych niedogodności jest zastosowanie stopnia wyjściowego pracującego w klasie AB, tzw. stopnia *Push–Pull*. Stopień taki zbudowany jest z gałęzi zawierającej komplementarne tranzystory MOS, które w przypadku braku potrzeby generowania prądu wyjściowego pracują w okolicach progu zakresu nasycenia, generując niski prąd spoczynkowy w gałęzi wyjściowej wzmacniacza. W przypadku zapotrzebowania na wygenerowanie prądu wyjściowego, zmieniają się punkty pracy obu wyjściowych tranzystorów. Zaprojektowanie takiego stopnia wymaga jednak dodatkowego układu polaryzującego wyjściowe tranzystory w sposób umożliwiający powyższą pracę. W literaturze przedmiotu znany jest szereg rozwiązań układów typu *Push–Pull* [27, 29, 30, 31].

W niniejszym projekcie wykorzystano rozwiązanie znane pod nazwą „pływającego źródła prądowego” (ang. *floating current source*) zaproponowane po raz pierwszy przez D. Monticellego w 1986 roku [28] i z powodzeniem stosowane w wielu projektach [32, 33]. Konceptyjny schemat użytego rozwiązania przedstawiono na rysunku 3.7. Oznaczenia przyjęte na rysunku 3.7 są analogiczne jak na schemacie całego wzmacniacza (rysunek 3.6). Źródła prądowe I_{load1} oraz I_{load2} przedstawiają odpowiednio prądy w obciążeniu pierwszego stopnia i prąd zbiorczy obciążenia oraz

Rysunek 3.7: Schemat wyjściowego stopnia *Push–Pull* (wg [32]).

tranzystora wejściowego. Układ „pływającego lustra prądowego” stanowią tranzystory $M_{25} - M_{28}$, natomiast potencjały bramek tranzystorów wyjściowych M_{33} i M_{34} w stanie spoczynkowym (tj. przy zerowym prądzie obciążenia) są ustalane przez tranzystory M_{31} i M_{32} połączone w konfiguracji diodowej. Ze względu na podział prądu I_{load1} pomiędzy tranzystory M_{27} i M_{28} , wymagane jest ustawienie prądów I_{b1} oraz I_{b2} równych sobie i równych jednocześnie połowie prądu obciążenia I_{load1} . Z tego też powodu zależności między prądami w gałęziach są następujące (3.4.9).

$$\begin{aligned} I_{load2} &= I_{load1} + I_{in} \\ I_{b1} = I_{b2} &= \frac{I_{load1}}{2} \end{aligned} \quad (3.4.9)$$

Prąd spoczynkowy ustalany jest na podstawie stosunku wymiarów tranzystorów M_{31} do M_{33} oraz M_{32} do M_{34} . Zależność opisująca natężenie prądu w gałęzi wyjściowej w stanie spoczynku jest następująca.

$$I_{33} = I_{34} = I_{b2} \cdot \frac{\left(\frac{W}{L}\right)_{33}}{\left(\frac{W}{L}\right)_{31}} = I_{b1} \cdot \frac{\left(\frac{W}{L}\right)_{34}}{\left(\frac{W}{L}\right)_{32}} \quad (3.4.10)$$

Ideą pracy pływającego lustra prądowego jest ustalenie na nim stałego spadku napięcia i przesuwaniu potencjałów na źródłach tranzystorów M_{27} i M_{28} . W stanie spoczynkowym prąd płynący przez tranzystory M_{27} i M_{28} jest taki sam i równy połowie prądu obciążenia I_{load1} . Aby wyjściowy tranzystor M_{34} mógł „wpompować” na wyjście prąd większy od spoczynkowego, potencjał na jego bramce (i jednocześnie potencjał na źródłach tranzystorów M_{27} oraz M_{28}) musi się zmniejszyć. Potencjały bramek są ustalone na sztywno przez tranzystory M_{25} i M_{26} , zatem

przesuwanie potencjałów odbywa się poprzez zmianę wartości prądów tranzystorów M_{27} i M_{28} . W opisywanym przypadku zwiększa się pobór prądu przez tranzystor M_{27} skutkując zwiększeniem się napięcia bramka–źródło tegoż tranzystora, powodując obniżenie potencjałów na bramkach tranzystorów wyjściowych. Analogiczną dyskusję należy przeprowadzić w przypadku wyciągania prądu z wyjścia do tranzystora M_{33} [32].

Analiza małosygnałowa.

W analizie małosygnałowej można pominąć polaryzujące stopień wyjściowy wpływające źródło prądowe wraz z jego układem polaryzującym, gdyż od strony tranzystorów kaskodowych widziana jest jedynie transkonduktancja tranzystorów stanowiących wpływające źródło prądowe, zaniedbywalna w stosunku do efektywnej rezystancji istniejącej gałęzi obciążenia pierwszego stopnia. Zatem stałoprądowe wzmocnienie wzmacniacza wyraża się jako iloczyn wzmocnień obydwu stopni (3.4.11).

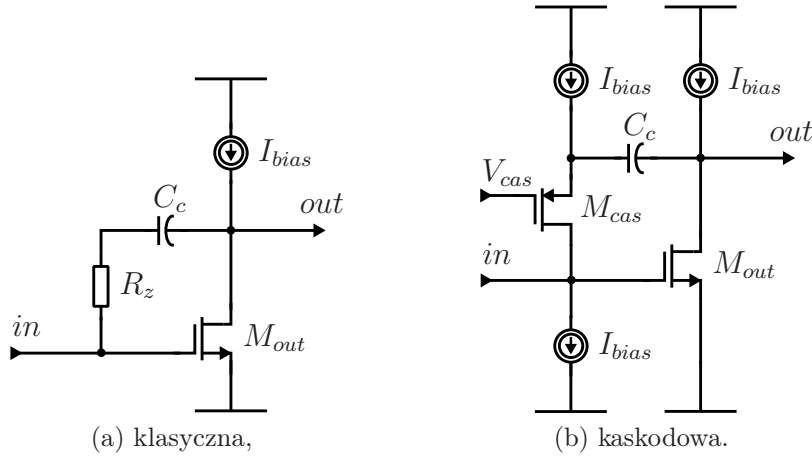
$$K_0 \approx -g_{m1} \cdot [g_{m5} \cdot r_{ds5} \cdot (r_{ds3} \parallel r_{ds1}) \parallel (g_{m7} \cdot r_{ds7} \cdot r_{ds9})] \cdot g_{m33} \cdot [(r_{ds33} \parallel r_{ds34}) \parallel r_{load}] \quad (3.4.11)$$

Z racji występowania przynajmniej jednej pary biegunów na każdy stopień wzmacniający, należy w tego typu wzmacniaczach stosować kompensację częstotliwościową w celu zapewnienia odpowiedniej stabilności układu. Problem ów zostanie przedstawiony w następnym paragrafie obecnego rozdziału.

Kompensacja częstotliwościowa.

Kompensacja częstotliwościowa polega na rozsunieciu pierwszych dwóch biegunów wzmacniacza w sposób zapewniający stabilną jego pracę. Głównym efektem wykorzystywanym do kompensacji wzmacniaczy operacyjnych jest tzw. efekt Millera, tj. mnożenie pojemności sprzężenia zwrotnego przez wzmocnienie stopnia zawierającego pojemność umieszczoną w sprzężeniu. W tym celu wstawia się pomiędzy bramkę a dren wyjściowego stopnia wzmacniającego pojemność generującą, po wymnożeniu millerowskim (wraz z rezystancją wyjściową pierwszego stopnia) biegun dominujący [27]. W literaturze przedmiotu wyróżnia się dwa tego typu kompensacji częstotliwościowej – klasyczną technikę kompensacji Millera [27] oraz ulepszoną (kaskodową) technikę kompensacji zaproponowaną w 1982 roku przez Read'a i Wieser'a [34], natomiast rozwiniętą osobno przez Ahuję, Fishera oraz Ribnera i Copeland'a [35, 36, 31]. Wymienione techniki kompensacji przedstawiono schematycznie na rysunku 3.8.

Klasyczna technika kompensacji wprowadza do funkcji przenoszenia wzmacniacza dwustopniowego biegun dominujący, związany z pojemnością kompensującą C_c (3.4.12), biegun niedominujący wynikający z pojemności obciążenia C_{load} (3.4.13)



Rysunek 3.8: Techniki kompensacji częstotliwościowej:

oraz zero powiązane z rezystancją R_z (3.4.14) [27, 36].

$$p_d \approx \frac{1}{K_{out} \cdot r_{in} \cdot C_c}, \quad (3.4.12)$$

$$p_{nd} \approx \frac{g_{m_{out}}}{C_{load}}, \quad (3.4.13)$$

$$z \approx -\frac{1}{C_c \cdot \left(\frac{1}{g_{m_{out}}} - R_z \right)}, \quad (3.4.14)$$

gdzie $K_{out} \approx g_{m_{out}} \cdot r_{out}$ jest wzmocnieniem drugiego stopnia, $g_{m_{out}}$ transkonduktancją wyjściowego tranzystora, r_{in} rezystancją wyjściową pierwszego stopnia, zaś r_{out} jest rezystancją wyjściową układu (równoległe połączenie rezystancji dren–źródło tranzystora wyjściowego M_{out} oraz rezystancji obciążenia).

Występujące zero może powodować pogorszenie stabilności wzmacniacza, jednakże można dobrać rezystor R_z równy odwrotności transkonduktancji wyjściowego tranzystora by je wyeliminować, lub wprowadzić w taki zakres częstotliwości by skompensowało biegun niedominujący. Istotnym problemem tej techniki kompensacyjnej jest kiepski współczynnik tłumienia zakłóceń pochodzących od zasilania PSRR (ang. *Power Supply Rejection Ratio*) wynoszący (3.4.15) [36].

$$PSRR \approx \frac{s + \frac{1}{K_{out} \cdot r_{in} \cdot C_c}}{s + \frac{g_{m_{in}}}{C_c}}, \quad (3.4.15)$$

gdzie $g_{m_{in}}$ jest transkonduktancją tranzystora wejściowego pierwszego stopnia.

Dla zakresu pracy w obszarze wysokich częstotliwości pojemność kompensująca zwiera bramkę i dren tranzystora wyjściowego, konfigurując go w diodę. Rozwiązaniem tego problemu jest zastosowanie kaskodowej techniki kompensacji.

Idea tego rozwiązania polega na połączeniu kondensatora kompensującego po-

między wyjście wzmacniacza a wirtualną masę, której realizację stanowi źródło tranzystora kaskodowego (rys. 3.8b). Kaskodowa technika kompensacji wprowadza do funkcji przenoszenia wzmacniacza trzy bieguny oraz dwa zera. Żmudną analizę częstotliwościową kaskodowego wzmacniacza dwustopniowego wykorzystującego tą technikę kompensacji przeprowadzili Ribner oraz Copeland[36]. Korzystając z oznaczeń użytych na schemacie 3.8b można zapisać:

$$p_d \approx \frac{1}{K_{out} \cdot r_{in} \cdot C_c}, \quad (3.4.16)$$

$$p_{nd_1} \approx \frac{g_{m_{out}} \cdot C_c}{c_{gs_{out}} \cdot (C_{load} + C_c)}, \quad (3.4.17)$$

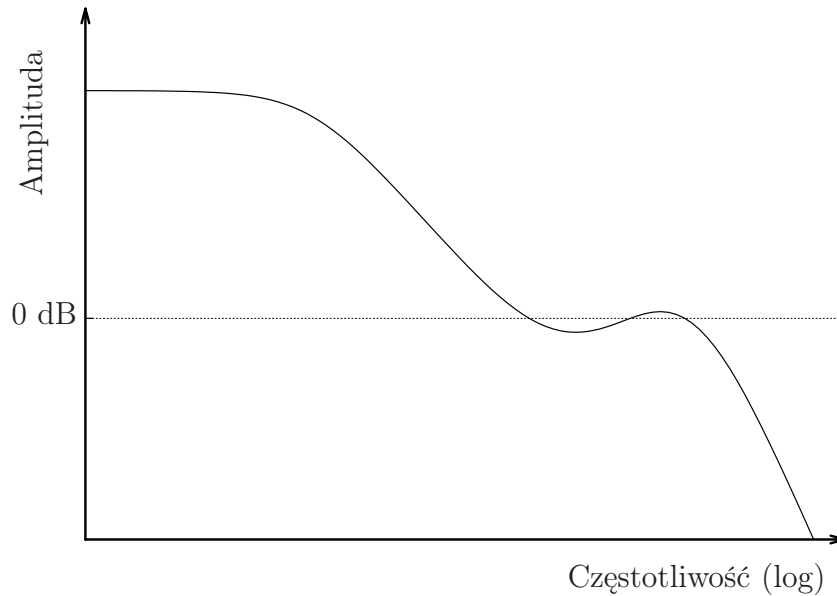
$$p_{nd_2} \approx \frac{g_{m_{cas}} \cdot (C_{load} + C_c)}{C_c \cdot C_{load}}, \quad (3.4.18)$$

$$z_1 \approx \frac{g_{m_{out}}}{c_{gs_{out}}} \cdot (1 + \delta), \quad (3.4.19)$$

$$z_2 \approx 2 \cdot \frac{g_{m_{cas}}}{C_c} \cdot \frac{1}{1 + \delta}, \quad (3.4.20)$$

$$\delta = \frac{1}{2} \cdot \left(\sqrt{1 + 8 \cdot \frac{g_{m_{cas}}}{g_{m_{out}}} \cdot \frac{c_{gs_{out}}}{C_c}} - 1 \right), \quad (3.4.21)$$

Przykładową charakterystykę amplitudową wzmacniacza stosującego tego rodzaju kompensację przedstawiono na rysunku 3.9.



Rysunek 3.9: Przykładowa charakterystyka amplitudowa wzmacniacza wykorzystującego kaskodową technikę kompensacji (wg [36]).

Podwójna liczba zer w funkcji przenoszenia może spowodować występowanie „piku” amplitudowego w wysokich częstotliwościach, osiągającego wartość powyżej 0 [dB]. Okoliczność taka prowadzi do niestabilności wzmacniacza, gdyż faza odpowiedzi jest

przesunięta wówczas o więcej niż 180 stopni. Znane są trzy sposoby zapobiegania powstawania opisywanego „piku” amplitudowego. Pierwszym z nich jest trzymanie odpowiednio wysokiego stosunku transkonduktancji tranzystora kaskodowego do transkonduktancji tranzystora wyjściowego, przy utrzymywaniu wartości pojemności kompensującej odpowiednio nisko w stosunku do wartości pojemności obciążenia. Drugi sposób polega na używaniu relatywnie dużych tranzystorów wyjściowych w celu zapewnienia relatywnie wysokiej wartości pojemności c_{gsout} . Ostatnim sposobem jest przesunięcie biegunów p_{nd_1} i p_{nd_2} najbliżej siebie i skompensowanie jednym z nich zera z_1 . Zabieg ten powoduje uproszczenie funkcji przenoszenia do postaci (3.4.22)[36].

$$K(s) \propto \frac{s - 2 \cdot \frac{g_{m_{cas}}}{C_c} \cdot \frac{1}{1 + \delta}}{\left(s + \frac{g_{m_{out}} \cdot C_c}{g_{in_{down}} \cdot g_{in_{up}}} \right) \cdot \left(s + \sqrt{\frac{g_{m_{cas}} \cdot g_{m_{out}}}{C_{load} \cdot c_{gsout}}} \right)} \quad (3.4.22)$$

Obecne po tej operacji dodatnie zero z_2 występuje w bardzo wysokim zakresie częstotliwości, nie prowadząc już do pogorszenia stabilności wzmacniacza.

Znacznej poprawie ulega natomiast współczynnik tłumienia zakłóceń pochodzących od zasilania (3.4.23) [36].

$$PSRR \approx \frac{c_{gdout} \cdot g_{m_{cas}}}{C_c \cdot (2 \cdot g_{m_{cas}} + g_{m_{in}})} \cdot \frac{s + \frac{1}{K_{out} \cdot r_{in} \cdot c_{gdout}}}{s + \frac{g_{m_{in}}}{C_c} \cdot \frac{g_{m_{cas}}}{2 \cdot g_{m_{cas}} + g_{m_{in}}}} \quad (3.4.23)$$

Zatem użycie kaskodowej techniki kompensacji częstotliwościowej, przesuwa zero pogarszające PSRR w dziedzinie wysokich częstotliwości oraz tłumi zakłócenia c_{gdout}/C_c razy w stosunku do klasycznej metody kompensacji[36].

Podsumowując obydwie techniki kompensacji częstotliwościowej, lepsze parametry wzmacniacza można otrzymać stosując kaskodową technikę kompensacji. Zarówno pole wzmocnienia ω_u , jak i współczynnik tłumienia zakłóceń od zasilania PSRR są wyższe niż w przypadku użycia klasycznej techniki kompensacji Millera. Natomiast mankamentem tej techniki jest komplikacja funkcji przenoszenia wzmacniacza i trudniejszy proces projektowania, związany z eliminacją wspomnianego wcześniej „piku” amplitudowego.

3.5. Symulacje układu.

Projekt układu zrealizowano przy użyciu oprogramowania wspomagającego komputerowe projektowanie CAD (ang. *Computer Aided Design*) firmy Cadence, korzystając dodatkowo z programu symulującego układy elektroniczne – Spectre. W niniejszym rozdziale zostaną przedstawione symulacje użytych w projekcie wzmac-

niaczy oraz pełnego bloku przetwornika.

Istotnymi parametrami wzmacniaczy operacyjnych jest wzmocnienie w otwartej pętli, pole wzmocnienia oraz margines fazy. Standardową konfiguracją pracy wzmacniacza operacyjnego jest praca z zamkniętą ujemną pętlą sprzężenia zwrotnego, natomiast wspomniane parametry opisują wzmacniacz skonfigurowany bez pętli sprzężenia zwrotnego. Z tego też powodu wyznaczenie interesujących parametrów wzmacniacza w trakcie symulacji wymaga użycia kilku komórek wzmacniacza skonfigurowanych odpowiednio z zamkniętą i otwartą pętlą sprzężenia zwrotnego[37]. W przypadku pełnego bloku przetwornika istotnym parametrem jest zbadanie liniowości, pobieranej mocy oraz szybkości układu. Opis procedur symulacyjnych wraz z ich wynikami zostanie zaprezentowany w dalszej części rozdziału.

3.5.1. Wzmacniacz jednostopniowy użyty w układzie liniowego lustra prądowego.

Głównym celem wzmacniacza użytego w układzie liniowego lustra prądowego (rysunek 3.5b) jest stabilizacja potencjałów dren-źródło tranzystorów stanowiących lustro prądowe. Z tego też powodu wzmacniacz ów nie wymaga dużego poboru mocy oraz szerokiego pola wzmocnienia. Wymiary tranzystorów wyznaczone w trakcie projektowania przedstawia tabela 3.1. Prąd polaryzacyjny I_{bias} ustawiono na po-

Tablica 3.1: Wymiary tranzystorów użytych we wzmacniaczu.

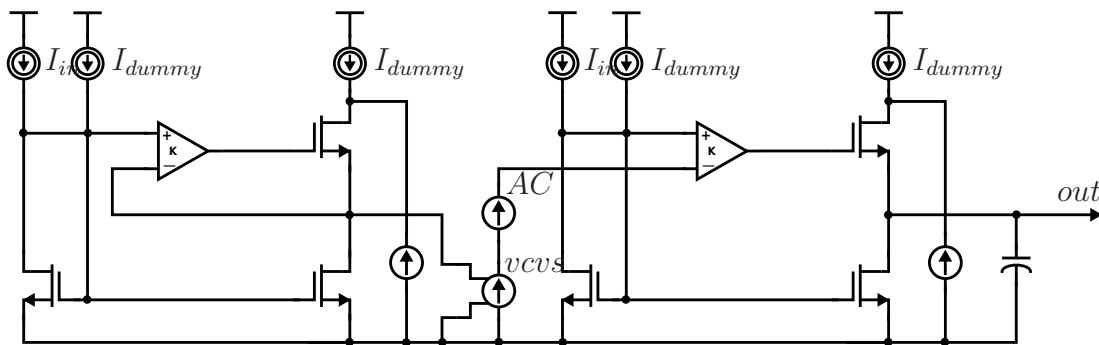
typ tranz.	położenie w układzie	Oznaczenie	szerokość [μm]	długość [μm]
PMOS	Źródło prądowe	M_0	40	1.5
PMOS	Para wejściowa	M_1, M_2	40	1
PMOS	Aktywne obciążenie	M_9, M_{10}	20	1.5
PMOS	Aktywne obciążenie	M_7, M_8	10	1
NMOS	Aktywne obciążenie	M_5, M_6	10	1
NMOS	Aktywne obciążenie	M_3, M_4	20	1.5
PMOS	Pojemność obciążenia	M_{21}	7	28.5
PMOS	Polaryzacja	M_{11}, M_{13}, M_{16}	20	1
PMOS	Polaryzacja	M_{14}, M_{15}	40	1.5
PMOS	Polaryzacja	M_{12}	3	5
NMOS	Polaryzacja	M_{17}, M_{19}	20	1
NMOS	Polaryzacja	M_{20}	20	1.5
NMOS	Polaryzacja	M_{18}	3	5

ziomie $4 \mu\text{A}$ co skutkuje poborem mocy $52.8 \mu\text{W}$, z czego gałęzie polaryzacyjne pobierają połowę. Źródło prądowe podające prąd na wejściową parę różnicową nie posiada kaskody. W związku z tym potencjał dren-źródło jest wyższy i występuje błąd wzmocnienia prądowego lustra.

Symulacje zmiennoprądowe.

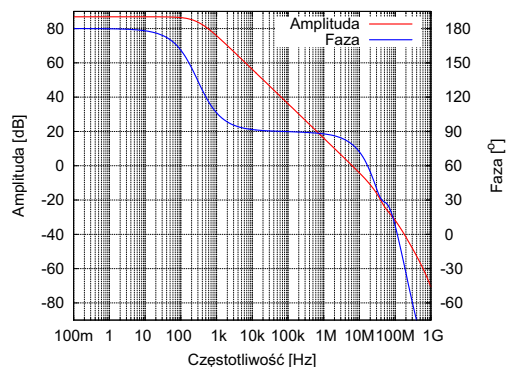
Aby otrzymać informację na temat wzmocnienia oraz marginesu fazy wzmacniacza pracującego w określonej konfiguracji, należy przeprowadzić symulację zmiennoprądową.

prądową w układzie z rozpiętą pętlą sprzężenia zwrotnego. Schemat układu wykorzystanego do symulacji przedstawia rysunek 3.10.

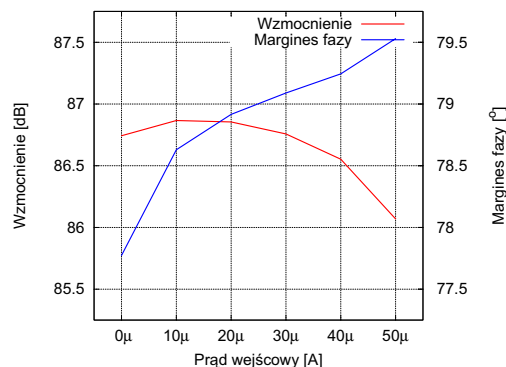


Rysunek 3.10: Schemat symulacji zmiennoprądowej wzmacniacza.

Na przedstawionym schemacie źródło napięcia oznaczone AC jest wymuszeniem zmiennoprądowym podawanym na układ z rozpiętą pętlą sprzężenia zwrotnego, $vcvs$ jest natomiast źródłem napięcia sterowanym napięciem, potrzebnym do ustalenia właściwego poziomu stałego na wejściu odwracającym wzmacniacza. Źródło I_{dummy} zapewnia stały minimalny prąd płynący przez aktywne kaskody i ustalony jest na wartość $7.5 \mu A$. Pojemność podłączona na wyjściu układu symuluje pojemność wejściową wzmacniacza¹. Wyniki symulacji zmiennoprądowej w postaci charakterystyk częstotliwościowych (tzw. charakterystyk Bodego), przeprowadzonych dla wejściowego prądu $I_{in} = 10[\mu A]$ obrazuje rysunek 3.11a. Najważniejsze parametry



(a) Charakterystyki częstotliwościowe.



(b) Wzmocnienie i margines fazy względem prądu płynącego przez lustro.

Rysunek 3.11: Wyniki symulacji zmiennoprądowej wzmacniacza użytego w konfiguracji liniowego lustra prądowego.

wzmacniacza pracującego w konfiguracji liniowego lustra prądowego, wyekstrahowane

z przeprowadzonej symulacji zebrano w tabeli 3.2. Ze względu na zależność sta-

¹ Najpoprawniejszym rozwiązaniem jest podanie wyjścia na kolejną replikę układu, jednak w większości symulacji zabieg z podaniem pojemności jest wystarczający.

Tablica 3.2: Parametry wzmacniacza pracującego w konfiguracji liniowego lustra prądowego.

parametr	wartość
Wzmocnienie [dB]	86.9
Margines fazy [°]	78.6
Pole wzmocnienia [Hz]	6.27M

łoprądowego wzmocnienia oraz marginesu fazy od warunków polaryzacji lustra (potencjał wejściowy wzmacniacza oraz transkonduktancja tranzystora kaskodowego), przeprowadzono dodatkową symulację przy zmiennym prądzie wejściowym lustra. Wyniki tej symulacji przedstawia rysunek 3.11b.

Symulacje najgorszych przypadków.

Ze względu na rozrzuty parametrów procesu technologicznego, należy przeprowadzić analizę tzw. najgorszych przypadków. W tym celu symulator korzysta z odpowiednich sekcji modeli elementów używanych w danej technologii. Wyróżnić można trzy wspólne sekcje dla elementów zarówno aktywnych (tranzystorów) jak i pasywnych (rezystory, kondensatory) oraz dodatkowe dwie sekcje dla tranzystorów.

— Typowe ustawienie (ang. *typical TM*).

Jest to przypadek idealnego procesu technologicznego.

— Najgorsza moc (ang. *worst power WP*).

Przypadek „najgorszej mocy” oznacza zmniejszenie wartości pojemności i rezystancji elementów pasywnych oraz zwiększenie wartości prądu pobieranego przez tranzystory, w związku ze zwiększeniem się ruchliwości nośników i zmniejszeniem grubości tlenku.

— Najgorsza szybkość (ang. *worst speed WS*).

Ten przypadek oznacza zwiększenie rezystancji i pojemności elementów biernych (dłuższe stałe czasowe układu) oraz zmniejszenie ruchliwości nośników w tranzystorach.

— „Najgorsze zero” (ang. *worst zero WZ*).

Dotyczy tylko tranzystorów i opisuje przypadek zmiany napięć progowych tranzystorów. Przy czym napięcia progowe tranzystorów NMOS zwiększają się, natomiast tranzystorów PMOS zmniejszają (zmniejsza się różnica napięć progowych $V_{thp} - V_{thn}$).

— „Najgorsza jedyńka” (ang. *worst one WO*).

Analogiczny przypadek do „najgorszego zera”, z tą różnicą iż napięcia progowe „rozsuwają” się względem siebie (V_{thn} maleje, zaś V_{thp} rośnie).

W trakcie przeprowadzania symulacji najgorszych przypadków uwzględniane są jeszcze zmiany temperatury oraz napięcia zasilania. Z tego też powodu należy wykonać siedem symulacji najgorszych przypadków, których ustawienia zestawia tabela 3.3.

Tablica 3.3: Ustawienia analizy najgorszych przypadków.

Przypadek	Proces			Warunki pracy	
	MOS	Rezystor	Kondensator	Temperatura [°C]	Zasilanie [V]
1	TM	TM	TM	25	3.3
2	WP	WP	WP	0	3.6
3	WS	WS	WS	85	3.0
4	WO	WP	WP	0	3.6
5	WO	WS	WS	85	3.0
6	WZ	WP	WP	0	3.6
7	WZ	WS	WS	85	3.0

W trakcie symulacji zbadano czułość układu na zmiany parametrów procesu. Wyniki symulacji marginesu fazy oraz wzmocnienia przedstawia tabela 3.4.

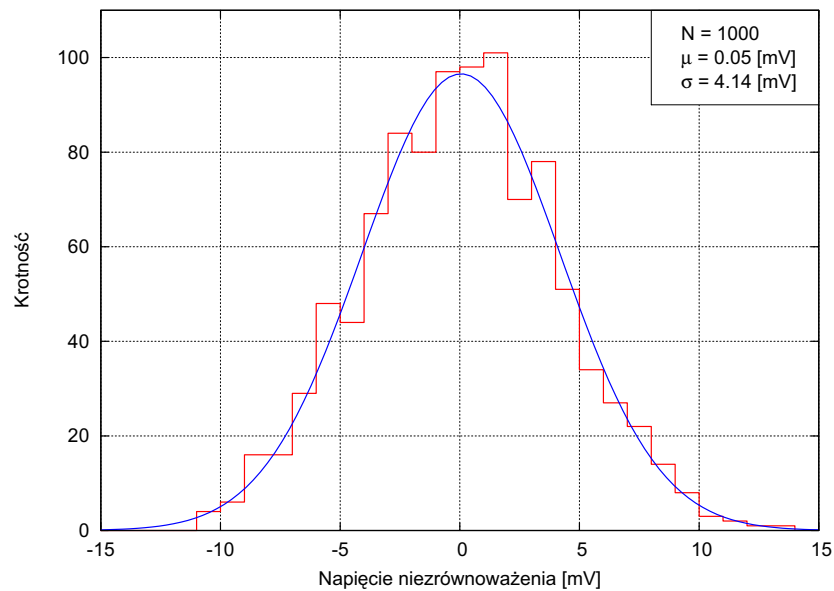
Tablica 3.4: Wyniki symulacji najgorszych przypadków.

Przypadek	Wzmocnienie	Margines fazy
TM	86.8	78.6
WP	85.6	79.4
WS	87.8	78.0
WOWP	85.6	78.2
WOWS	87.5	77.8
WZWP	85.9	79.3
WZWS	87.3	78.3

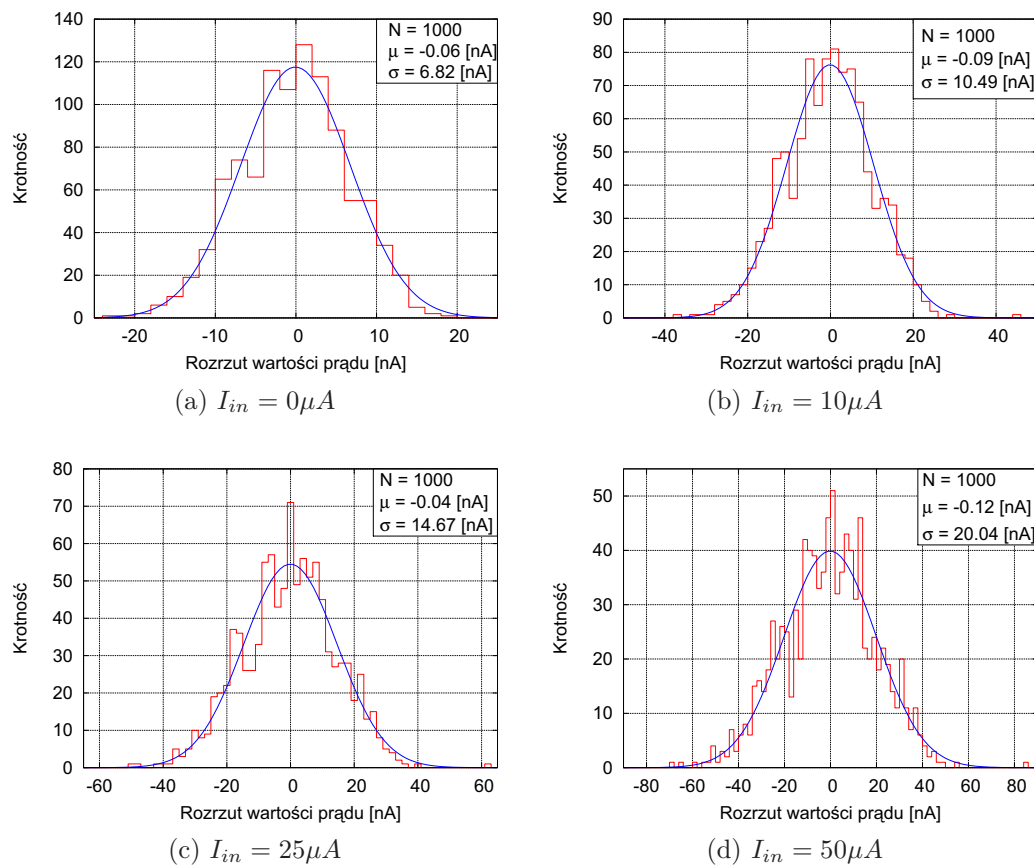
Symulacje Monte Carlo.

Symulacje Monte Carlo przedstawiają rozrzut parametrów układu wynikający z efektów niedopasowania elementów na układzie scalonym. Interesującym parametrem wzmacniacza jaki można w ten sposób przesymulować jest wejściowe napięcie niezrównoważenia, natomiast z punktu widzenia układu liniowego lustro prądowe – różnica prądów wejściowego i wyjściowego lustra. Rysunek 3.12 przedstawia rozrzut wejściowego napięcia niezrównoważenia wzmacniacza, natomiast rysunek 3.13 przedstawia rozrzut wyjściowego prądu dla czterech wartości prądu wejściowego (przez lustro płynie dodatkowe $7.5 \mu A$ prądu generowanego przez źródła *dummy*).

Rozrzut napięcia niezrównoważenia związany jest z rozrzutem napięć progowych tranzystorów tworzących wejściową parę różnicową oraz aktywne obciążenie wzmacniacza. Oszacowany przy użyciu symulacji Monte Carlo rozrzut napięcia niezrównoważenia wynosi na poziomie σ nieco ponad 4 mV. Zasymulowany rozrzut prądu wyjściowego zgadza się z oszacowaniem przy użyciu modelu Pelgroma [17]. W najgorszym przypadku (maksymalny prąd lustra prądowego) rozrzut na poziomie 3σ wy-



Rysunek 3.12: Wejściowe napięcie niezrównoważenia wzmacniacza pracującego w konfiguracji liniowego lustra prądowego.



Rysunek 3.13: Rozrzut różnicy prądów wejściowego i wyjściowego liniowego lustra prądowego ($\Delta I = I_{in} - I_{out}$).

nosi

60 nA czyli nieco powyżej połowy prądu najmniej znaczącego bitu przetwornika.

3.5.2. Wzmacniacz jednostopniowy użyty w układzie aktywnych kaskod.

Analogicznie jak w przypadku poprzedniego wzmacniacza, wzmacniacz użyty w stopniu aktywnych kaskod (rysunek 3.5a) służy do stabilizacji potencjałów dren-źródło tranzystorów stanowiących matrycę źródeł prądowych. Wymiary tranzystorów wyznaczone w trakcie projektowania przedstawia tabela 3.5. Prąd polary-

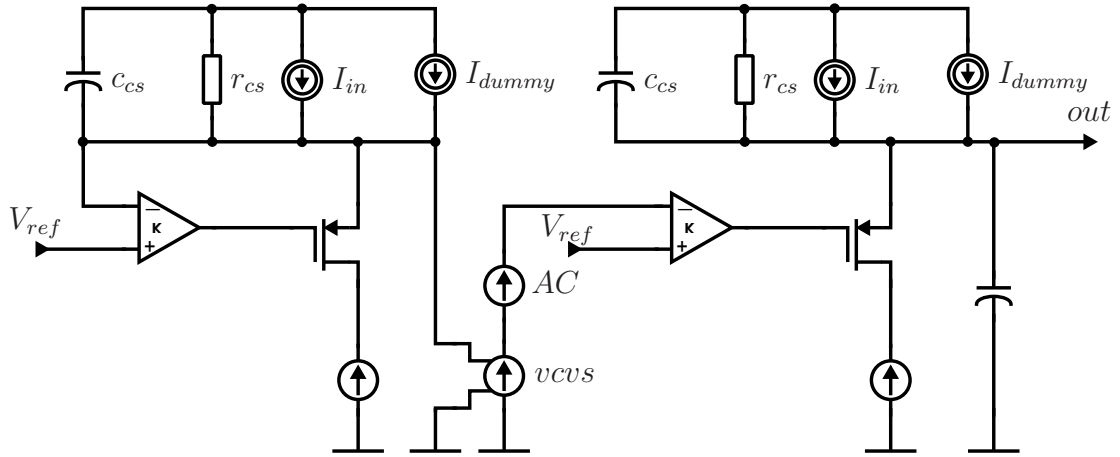
Tablica 3.5: Wymiary tranzystorów użytych we wzmacniaczu.

typ tranz.	położenie w układzie	Oznaczenie	szerokość [μm]	długość [μm]
NMOS	Źródło prądowe	M_0	10	0.7
NMOS	Para wejściowa	M_1, M_2	10	0.4
NMOS	Aktywne obciążenie	M_9, M_{10}	5	0.7
NMOS	Aktywne obciążenie	M_7, M_8	5	0.35
PMOS	Aktywne obciążenie	M_5, M_6	5	0.35
PMOS	Aktywne obciążenie	M_3, M_4	7	0.7
PMOS	Pojemność obciążenia	M_{21}	36	20
PMOS	Pojemność obciążenia	M_{21a}	7	4
NMOS	Polaryzacja	M_{13}, M_{16}	10	0.35
NMOS	Polaryzacja	M_{11}, M_{14}, M_{15}	10	0.7
NMOS	Polaryzacja	M_{12}	2	3
PMOS	Polaryzacja	M_{17}, M_{20}	7	0.7
PMOS	Polaryzacja	M_{19}	10	0.35
PMOS	Polaryzacja	M_{18}	5	1.5

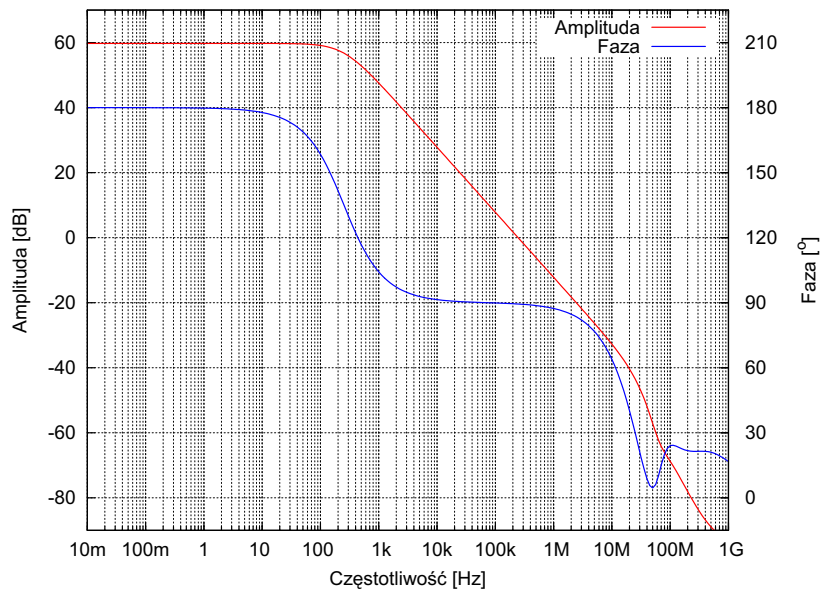
zujący ustawiono na wartość $I_{bias} = 500 \text{ nA}$, co odpowiada poborowi mocy na poziomie $6.6 \mu\text{W}$, przy czym gałęzie polaryzacyjne pobierają połowę mocy. Podobnie jak w przypadku poprzedniego wzmacniacza, również w tym projekcie zastosowano proste źródło prądowe wyciągające prąd z wejściowej pary różnicowej, co skutkuje zwiększoną wartością prądu niż wynikałoby to ze stosunku wymiarów tranzystorów źródła oraz polaryzującego.

Symulacje zmiennoprądowe.

Aby określić parametry wzmacniacza pracującego w układzie aktywnej kaskody oraz zbadać jego stabilność użyto w symulacjach zmiennoprądowych schematu przedstawionego na rys 3.14. Widoczne na schemacie symulacyjnym elementy bierne c_{cs} oraz r_{cs} symulują impedancję małosygnałową źródeł prądowych, natomiast źródło napięcia stałego połączone między drenem tranzystora kaskodowego a masą zapewnia odpowiedni potencjał dren-źródło tranzystora kaskodowego oraz odprowadzenie prądu do masy. Wartości małosygnałowych parametrów źródeł prądowych wynoszą odpowiednio $c_{cs} = 1.3 \text{ pF}$ oraz $r_{cs} = 58 \text{ M}\Omega$. Otrzymane w wyniku symulacji zmiennoprądowej charakterystyki częstotliwościowe wzmacniacza pracującego w konfiguracji aktywnej kaskody zobrazowano na rysunku 3.15.



Rysunek 3.14: Schemat układu do symulacji zmiennoprądowej wzmacniacza użytego w konfiguracji aktywnej kaskody.



Rysunek 3.15: Charakterystyki wzmacniacza w konfiguracji użytej w projekcie.

Najważniejsze parametry projektowanego wzmacniacza zestawiono w tabeli 3.6. Jak

Tablica 3.6: Parametry wzmacniacza pracującego w konfiguracji aktywnej kaskody.

parametr	wartość
Wzmocnienie [dB]	59.8
Margines fazy [°]	89.5
Pole wzmocnienia [Hz]	246k

widać wartość stałoprądowego wzmocnienia oraz pola wzmocnienia nie są zbyt wysokie jak na wybraną architekturę. Fakt ten podyktowany jest pracą tranzystorów wzmacniacza w słabej inwersji. Zabieg ten okazał się być celowy ze względu na

problemy ze stabilnością układu w początkowej fazie projektowania. Drastyczne obniżenie wzmocnienia pozwoliło uzyskać wysoki margines fazy i zagwarantować stabilną pracę pierwszego prototypu.

Symulacje najgorszych przypadków.

Analogicznie jak w przypadku poprzedniego wzmacniacza, w tym również sprawdzono jak wzmacniacz może zachowywać się w najgorszych przypadkach procesu technologicznego. Wyniki symulacji marginesu fazy oraz wzmocnienia przy trzech różnych wartościach prądu zestawiono w tabeli 3.7. Wyniki symulacji świadczą

Tablica 3.7: Wyniki symulacji najgorszych przypadków.

Przypadek	Wzmocnienie			Margines fazy		
	$I_{in} = 0$	$I_{in} = 25\mu$	$I_{in} = 50\mu$	$I_{in} = 0$	$I_{in} = 25\mu$	$I_{in} = 50\mu$
TM	59.8	59.7	59.5	89.4	89.5	89.5
WP	57.0	56.9	56.8	89.5	89.6	89.6
WS	60.0	59.8	59.4	89.3	89.4	89.5
WOWP	62.1	62.0	61.8	89.3	89.5	89.5
WOWS	60.1	60.0	59.6	89.4	89.5	89.5
WZWP	56.8	56.7	56.6	89.5	89.5	89.5
WZWS	56.4	56.3	56.1	89.5	89.5	89.6

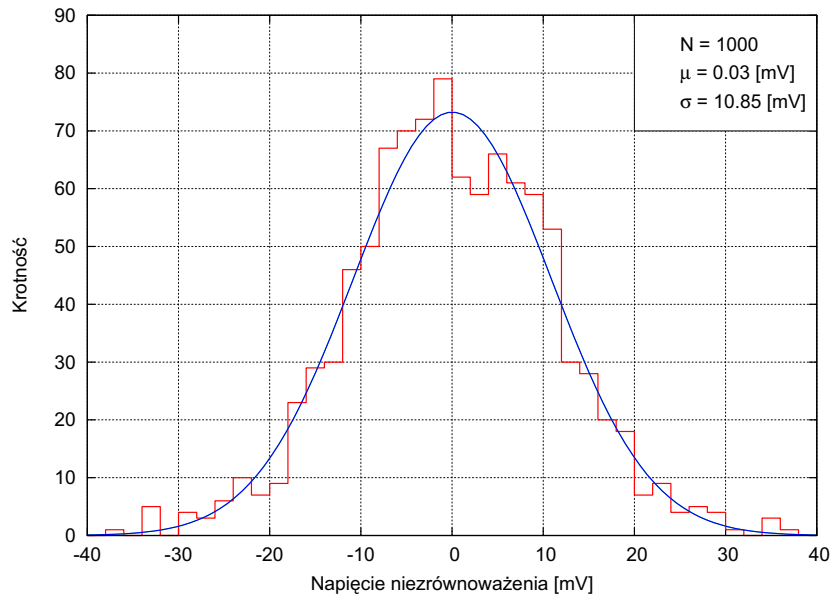
o całkiem niezłej „wytrzymałości” układu na wahnięcia procesu technologicznego, chociaż w przypadku „najgorszej mocy” oraz „najgorszego zera” wzmocnienie spada o ponad trzy decybele (około 30 %). Jednakże, co jest w tym układzie najważniejsze, pozostaje on ciągle stabilny.

Symulacje Monte Carlo.

Model Pelgroma niedopasowania tranzystorów MOS sprawdza się dobrze dla tranzystorów pracujących w obszarze nasycenia w silnej inwersji. Ze względu na pracę tranzystorów budujących wzmacniacz w obszarze słabej inwersji, zdecydowano się przeprowadzić symulacje Monte Carlo by poznać napięcie niezrównoważenia wzmacniacza. Wyniki tej symulacji przedstawiono na rysunku 3.16. Oszacowana na podstawie modelu Pelgroma wartość rozrzutu napięcia niezrównoważenia jest dwukrotnie niższa (około 5 mV) niż w przypadku rzeczywistym.

3.5.3. Wyjściowy wzmacniacz operacyjny.

W przeciwieństwie do poprzednio prezentowanych układów, wyjściowy wzmacniacz musi wysterować dużą pojemność wyjściową układu scalonego oraz wysterować prąd w szerokim zakresie wartości oraz w dwóch kierunkach. Aby spełnić powyższe wymagania zdecydowano zaprojektować dwustopniowy wzmacniacz operacyjny z wyjściowym stopniem typu *Push-Pull* wg schematu z rysunku 3.6. Wymiary tran-



Rysunek 3.16: Wejściowe napięcie niezrównoważenia wzmacniacza pracującego w konfiguracji aktywnej kaskody.

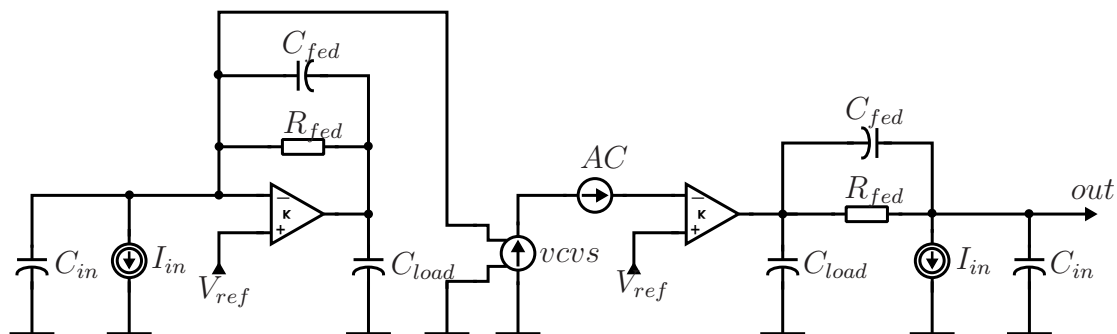
zystorów zestawiono w tabeli 3.8, prąd polaryzujący I_{bias} przyjęto równy $5\mu A$ ustalając pobór mocy, przy zerowym prądzie wyjściowym, na $82.5\mu W$, z czego gałęzie polaryzacyjne pobierają $33\mu W$. Stosunek prądów płynących przez wejściowe tranzystory oraz aktywne obciążenie pierwszego stopnia wybrano równy $1/3$. Uwarunkowano to zmniejszeniem wzmocnienia wzmacniacza oraz zwiększeniem *Slew rate*. Wymiary tranzystorów polaryzujących drugi stopień wybrano takie same jak tranzystorów wyjściowych. Skutkuje to prądem spoczynkowym drugiego stopnia równym połowie prądu obciążenia stopnia pierwszego, zatem przy wysokim stosunku W/L tych tranzystorów, oznacza to wprowadzenie ich w zakres podprogowy, a więc w zakres pracy klasy B. Niestety skutkuje to niskim spadkiem napięcia dren-źródło tranzystorów polaryzujących drugi stopień (M_{31} i M_{32}), który determinuje potencjały bramek tranzystorów wyjściowych i jednocześnie drenów tranzystorów kaskodowych stopnia pierwszego. W praktyce oznacza to „przyduszanie” tranzystorów kaskodowych pierwszego stopnia i asymetrię prądów płynącego lustra prądowego. Dodatkowo fakt ten wprowadza asymetrię parametrów wzmacniacza względem prądu wyjściowego.

Symulacje zmiennoprądowe.

Wyjściowy wzmacniacz operacyjny symulowano w konfiguracji wzmacniacza transimpedancyjnego, tj. umieszczono w pętli sprzężenia zwrotnego rezystor R_{fed} o wartości $25k\Omega$. Dodatkowo równolegle z rezystorem połączono kondensator filtrujący C_{fed} o wartości $1.2pF$. Dokładny schemat symulacji przedstawia rysunek 3.17. W trakcie przeprowadzania symulacji zmiennoprądowych wyznaczono wzmocnienie, margines fazy, pole wzmocnienia oraz współczynnik tłumienia zakłóceń od

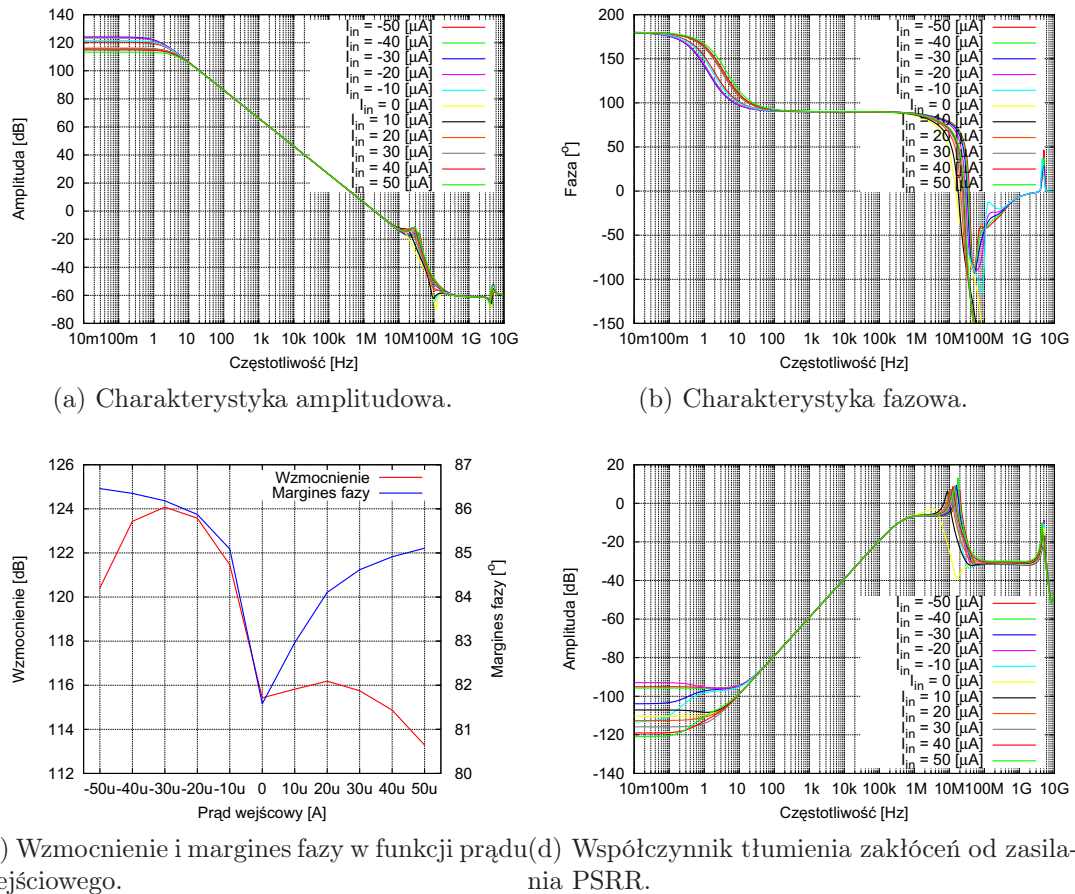
Tablica 3.8: Wymiary tranzystorów użytych we wzmacniaczu.

typ tranz.	położenie w układzie	Oznaczenie	szerokość [μm]	długość [μm]
PMOS	Źródło prądowe	M_0	20	1.5
PMOS	Para wejściowa	M_1, M_2	40	1
PMOS	Aktywne obciążenie	M_9, M_{10}	20	0.7
PMOS	Aktywne obciążenie	M_7, M_8	20	0.7
NMOS	Aktywne obciążenie	M_5, M_6	20	0.7
NMOS	Aktywne obciążenie	M_3, M_4	20	0.7
PMOS	Polaryzacja	M_{11}, M_{14}, M_{15}	40	1.5
PMOS	Polaryzacja	M_{13}, M_{16}	26.7	0.7
PMOS	Polaryzacja	M_{12}	7	4.5
NMOS	Polaryzacja	M_{17}, M_{20}	20	0.7
NMOS	Polaryzacja	M_{19}	20	0.7
NMOS	Polaryzacja	M_{18}	3.4	6
NMOS	Pol. pływającego źr. pr.	M_{21}	7.5	0.7
NMOS	Pol. pływającego źr. pr.	M_{22}	10	0.7
PMOS	Pol. pływającego źr. pr.	M_{23}	10	0.7
PMOS	Pol. pływającego źr. pr.	M_{24}	10.5	0.7
NMOS	Pływające źr. prądowe	M_{25}, M_{27}, M_{29}	3	0.35
PMOS	Pływające źr. prądowe	M_{26}, M_{28}, M_{30}	6	0.35
NMOS	Pol. 2-go stopnia	M_{31}	50	0.7
PMOS	Pol. 2-go stopnia	M_{32}	100	0.7
NMOS	Drugi stopień	M_{33}	50	0.7
PMOS	Drugi stopień	M_{34}	100	0.7
Poly-Poly	Kompensacja	C_{c1}	4.5	131.75
Poly-Poly	Kompensacja	C_{c2}	4.5	131.75



Rysunek 3.17: Schemat układu symulującego wyjściowy wzmacniacz operacyjny.

zasilania projektowanego wzmacniacza. Charakterystyki częstotliwościowe amplitudy oraz fazy przedstawiają rysunki 3.18a i 3.18b. W zależności od wyjściowego prądu wzmacniacza, wzmocnienie oscyluje w okolicach 120 dB jednakże bez wpływu na pole wzmocnienia wynoszące 2 MHz. Zmiany prądu wyjściowego powodują zmiany polaryzacji stopnia wyjściowego i przesuwiają w nieznacznym stopniu zera oraz bieguny funkcji przenoszenia, co objawia się zmianą amplitudy oraz położenia wysokoczęstotliwościowego „piku” amplitudowego, o którym była mowa w poprzednim podrozdziale dotyczącym technik kompensacji częstotliwościowych. W żadnym z przypadków amplituda tegoż piku nie przekracza -10 dB nie wpływając prak-



Rysunek 3.18: Wyniki symulacji zmiennoprądowej wzmacniacza wyjściowego.

tycznie na stabilność układu. Zależność wzmocnienia oraz marginesu fazy w funkcji prądu wyjściowego przedstawiono na rysunku 3.18c. Ujemna wartość prądu oznacza wpływanie prądu do stopnia wyjściowego wzmacniacza, dodatnia zaś jego wpływania ze stopnia wyjściowego. Jak wspomniano wcześniej wzmocnienie wzmacniacza jest niesymetrycznie rozłożone względem wyjściowego prądu. Osiąga ono maksimum dla prądu wpływającego do wzmacniacza o wartości ok. $30 \mu A$ i wynosi 124 dB, natomiast minimum (113 dB) przypada dla prądu wpływającego ze wzmacniacza o wartości $50 \mu A$. Asymetria ta wynika dodatkowo z mniejszego stosunku szerokości tranzystorów PMOS oraz NMOS użytych we wzmacniaczu, niż stosunek ruchliwości dziur i elektronów w użytej technologii.

Dodatkowym parametrem wyznaczonym w trakcie symulacji zmiennoprądowych wyjściowego wzmacniacza operacyjnego jest współczynnik tłumienia zakłóceń pochodzących od zasilania PSRR. Symulację tą przeprowadza się analogicznie jak symulację marginesu fazy oraz wzmocnienia, z tą różnicą że wymuszenie zmiennoprądowe podaje się na źródło zasilania. Charakterystyki amplitudowe przedstawiające ów współczynnik dla różnych wartości prądu wyjściowego przedstawia rysunek 3.18d. Wartości PSRR dla kilku wybranych częstotliwości oraz prądów wyjściowych

przedstawia tabela 3.9. Wartości współczynnika tłumienia zakłóceń pochodzących

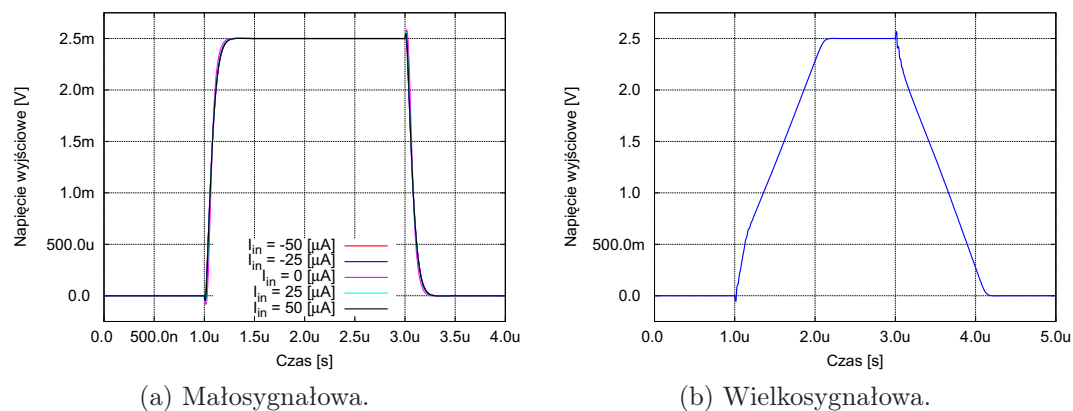
Tablica 3.9: Wartości PSRR dla wybranych częstotliwości i prądów wyjściowych wzmacniacza.

Częstotliwość [Hz]	PSRR [dB]				
	$I_{in} = -50\mu A$	$I_{in} = -30\mu A$	$I_{in} = 0A$	$I_{in} = 30\mu A$	$I_{in} = 50\mu A$
0	-95.1	-103.9	-110.5	-115.9	-121.0
100	-79.1	-79.1	-79.2	-79.1	-79.1
1k	-59.2	-59.2	-59.2	-59.1	-59.1
10k	-39.2	-39.2	-39.2	-39.1	-39.1
100k	-19.4	-19.4	-19.3	-19.3	-19.3
1M	-6.8	-6.8	-6.0	-6.6	-6.6

od zasilania PSRR, w klasycznych pracach opisujących kaskodową technikę kompensacji były większe – w [36] 55 dB, 35 dB w [35] czy 60 dB w pracy [31], dla częstotliwości 100 kHz. Jednakże należy zauważyć, iż w wyżej wymienionych pracach prezentowane wzmacniacze wykazywały się wyższym poborem mocy, szerszym pasmem oraz większymi wartościami pojemności kompensujących (głównie z racji użytych technologii).

Symulacje czasowe.

Ze względu na skomplikowaną funkcję przenoszenia oraz punkt umiejscowienia wzmacniacza w układzie przetwornika, przeprowadzono dodatkowe symulacje odpowiedzi wzmacniacza na skok prądu wejściowego w konfiguracji przetwornika prąd – napięcie. Odpowiedź małosygnalową na prostokątny impuls prądowy o amplitudzie 100 nA przedstawia rysunek 3.19a, natomiast wielkosygnalową odpowiedź na impuls o amplitudzie 100 μA przedstawia rysunek 3.19b. Czasy ustalania się „małego” sygnału wynoszą 250 [ns], natomiast *slew rate* wynosi 1.98 [V/ μs].



Rysunek 3.19: Odpowiedzi wzmacniacza wyjściowego.

Symulacje najgorszych przypadków.

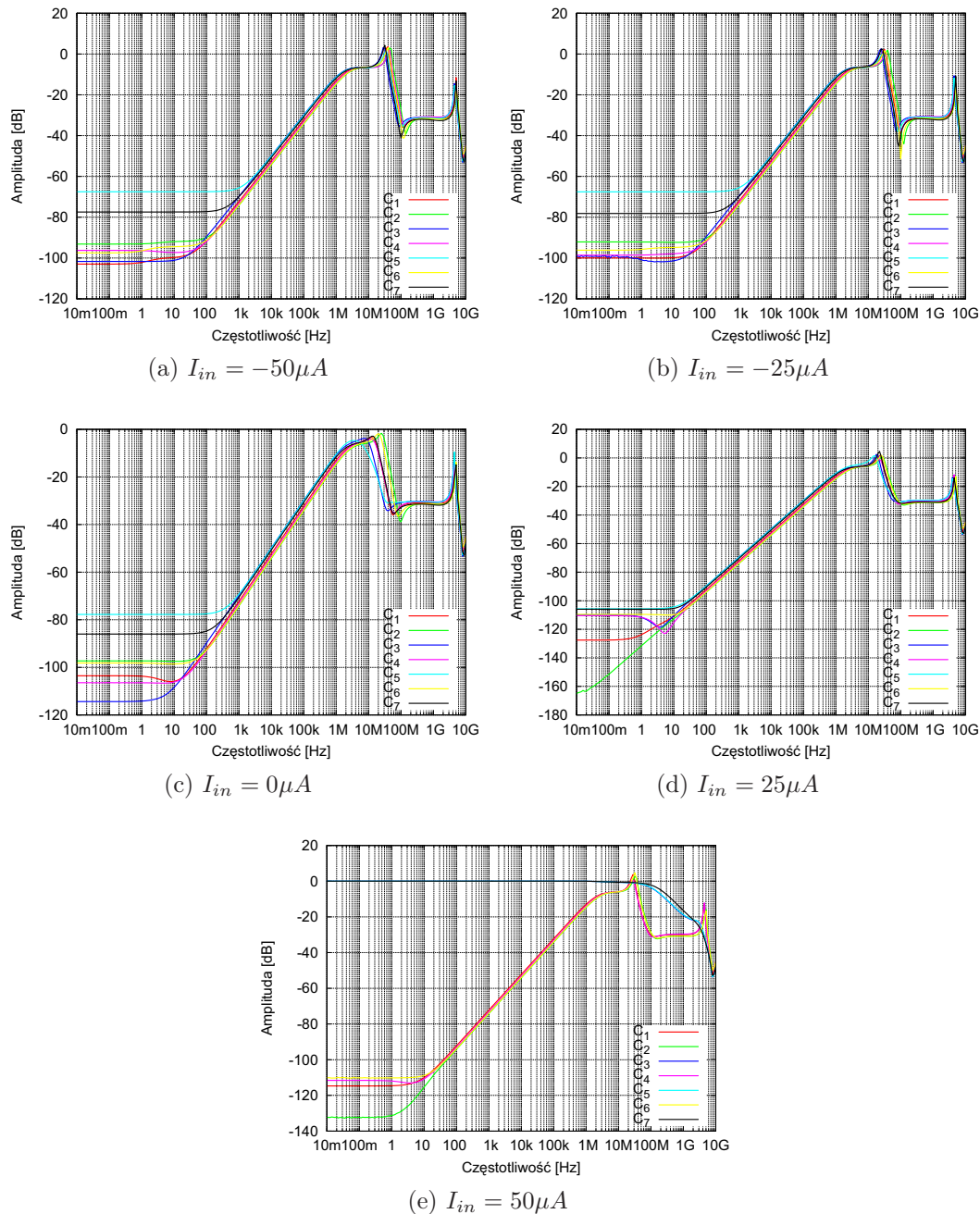
Analogicznie jak w przypadku wzmacniaczy jednostopniowych, przeprowadzono symulacje najgorszych przypadków by zbadać czułość układu wzmacniacza na niedoskonałości procesu technologicznego. Wartości wzmocnienia stałoprądowego oraz marginesu fazy przedstawia tabela 3.10. Analizy z uwzględnieniem przypadku „naj-

Tablica 3.10: Wzmocnienie oraz margines fazy wzmacniacza w symulacji najgorszych przypadków.

$I_{in}[\mu A]$	Przypadek	Wzmocnienie [dB]	Margines fazy [$^{\circ}$]
-50	TM	120.4	86.5
	WP	116.7	86.3
	WS	106.6	86.7
	WOWP	117.3	86.5
	WOWS	95.0	87.2
	WZWP	123.8	85.9
	WZWS	99.7	86.5
-30	TM	124.1	86.2
	WP	116.2	86.1
	WS	126.7	86.5
	WOWP	117.6	86.2
	WOWS	107.9	86.9
	WZWP	124.1	85.6
	WZWS	117.7	86.3
0	TM	115.5	81.6
	WP	109.1	84.5
	WS	117.9	79.8
	WOWP	113.7	81.1
	WOWS	84.4	71.1
	WZWP	114.6	83.2
	WZWS	102.9	82.9
30	TM	115.8	84.6
	WP	108.3	84.4
	WS	119.4	85.1
	WOWP	121.2	84.2
	WOWS	97.7	79.5
	WZWP	108.7	84.0
	WZWS	105.1	85.1
50	TM	113.3	85.1
	WP	108.3	84.8
	WS	-72.1	-
	WOWP	120.5	84.7
	WOWS	-72.0	-
	WZWP	107.8	84.6
	WZWS	-78.1	-

gorsza szybkość” dla wyjściowego prądu $50 \mu A$ pokazują, iż wzmacniacz nie pracuje.

Jednakże wynika to tylko z faktu obniżenia napięcia zasilania do 3 V, oraz zwiększenia rezystancji rezystora w sprzężeniu zwrotnym. Przy płynącym prądzie $50 \mu A$ powstający spadek napięcia wymusiłby potencjał na wyjściu wzmacniacza wyższy niż napięcie zasilania, zatem symulacja ta pokazuje niepracujący układ. W przypadku nie obniżania zasilania przypadki te będą zachowywać się jak dla innych wartości prądu. Analizę najgorszych przypadków współczynnika tłumienia zakłóceń od zasilania przedstawia rysunek 3.20. Przypadek „najgorsza szybkość” dla



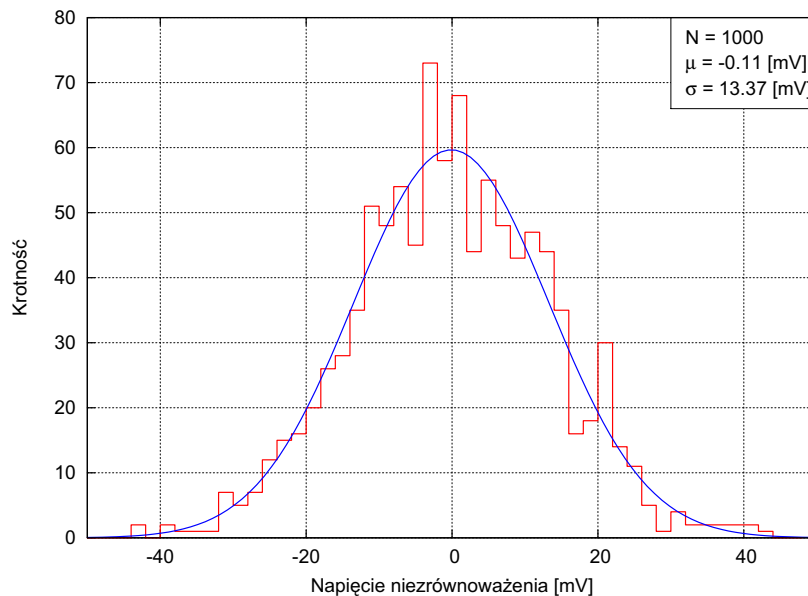
Rysunek 3.20: Analiza najgorszych przypadków współczynnika PSRR.

wyjściowego prądu $50 \mu A$ przedstawia niepracujący układ ($PSRR = 0 \text{ dB}$) jednakże jak wspomniano jest to związane z obniżeniem napięcia zasilania dla układu.

Konkludując symulacje najgorszych przypadków układ wzmacniacza zachowuje się poprawnie niezależnie od wahań procesu technologicznego, jednakże w konfiguracji wzmacniacza transimpedancyjnego istnieje sytuacja nasycenia wzmacniacza jeżeli dostępne zasilanie jest zbyt niskie.

Symulacje Monte Carlo.

Napięcie niezrównoważenia wyjściowego wzmacniacza operacyjnego przenosi się na przesunięcie poziomu stałego projektowanego przetwornika cyfrowo – analogowego. Z tego też powodu przeprowadzono stałoprądowe symulacje Monte Carlo napięcia niezrównoważenia wzmacniacza. Wynik symulacji przedstawiono na rysunku 3.21. Rozrzut napięcia niezrównoważenia podlega rozkładowi normalnemu

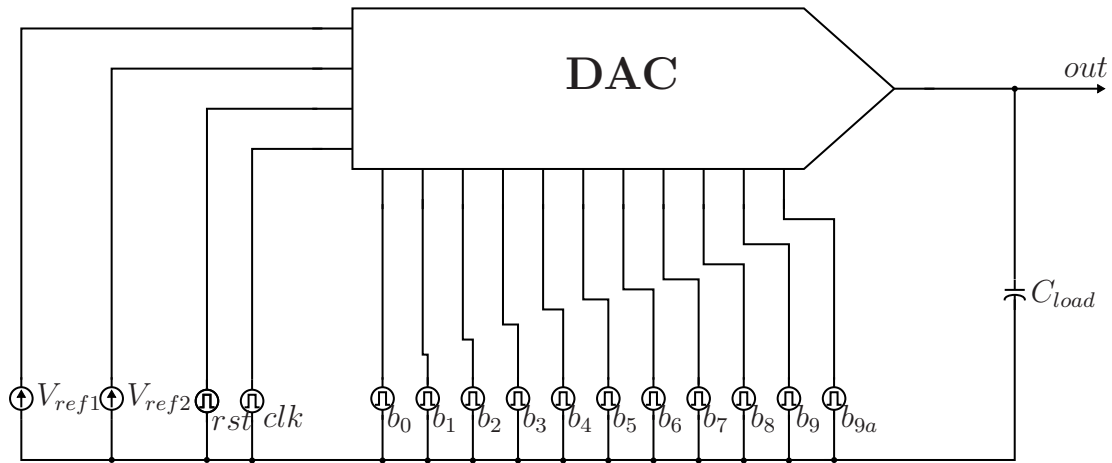


Rysunek 3.21: Napięcie niezrównoważenia wyjściowego wzmacniacza operacyjnego.

o odchyleniu standardowym równym 13.4 mV. Zatem w najgorszym przypadku niedopasowania elementów w układzie wzmacniacza, poziom stały przetwornika może zmienić się o 40 mV.

3.5.4. Pełny blok przetwornika.

Symulacje pełnego bloku przetwornika mają za zadanie przynieść informacje dotyczące liniowości układu, pobieranej mocy oraz szybkości. W dalszej części rozdziału zostaną przedstawione wyniki symulacji stałoprądowych oraz czasowych, natomiast na zakończenie przedstawione zostaną wyniki symulacji Monte Carlo. Schemat układu symulacyjnego przedstawiono na rysunku 3.22. Źródła napięciowe V_{ref1} oraz V_{ref2} są odpowiednio referencjami ustawiającymi napięcie na wejściu układu polaryzującego przetwornik (domyślnie 1.2 V) oraz poziom stały przetwornika (domyślnie połowa zasilania 1.65 V). Źródła b_9 oraz b_{9a} reprezentują najbardziej zna-

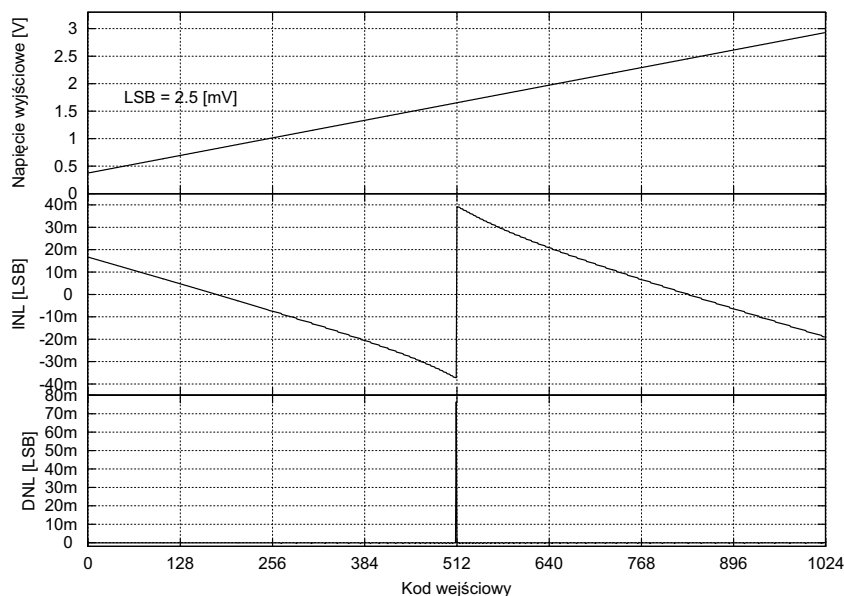


Rysunek 3.22: Schemat układu symulacyjnego przetwornik cyfrowo-analogowy.

czący bit, który został rozdzielony na dwa sygnały przesunięte względem siebie w czasie. Postępowanie to zostanie wyjaśnione w dalszej części rozdziału przy omówieniu symulacji czasowych.

Symulacje stałoprądowe.

Symulacje stałoprądowe przeprowadzono dokonując parametrycznego przemiana napięć stałych na źródłach $b_0 - b_9$ ustawiając po kolei wszystkie stany przetwornika. Wynikiem tej symulacji są nieliniowości przetwornika, zarówno całkowita (INL) oraz różniczkowa (DNL), przedstawione na rysunku 3.23. Symulacja potwier-



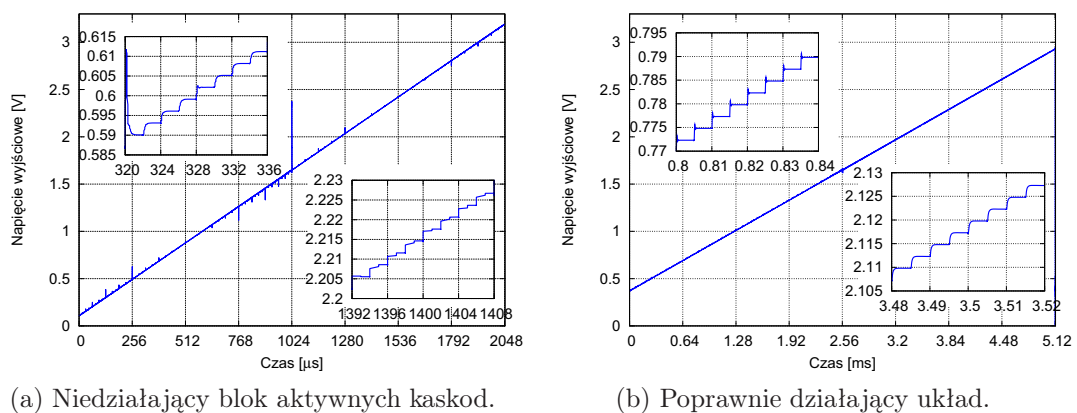
Rysunek 3.23: Wynik symulacji stałoprądowych przetwornika.

dza szeroki zakres dynamiczny przetwornika i wysoką liniowość gwarantowaną przez architekturę. Efektywna liczba bitów ENOB obliczona z tej symulacji wynosi 9.997

bita. Oczywiście praktyczna rozdzielczość przetwornika zależy od stopnia dopasowania tranzystorów w macierzy źródeł prądowych. Zatem obliczona efektywna liczba bitów jest górną granicą dokładności przetwornika. Moc pobierana przez blok analogowy wynosi $452 - 621 \mu W$, natomiast zakres dynamiczny wynosi od 374 mV do 2.926 V przy wartości LSB wynoszącej 2.5 mV .

Symulacje czasowe.

Symulacje czasowe umożliwiają zbadanie czasów ustalania się zadanego poziomu przetwornika, wartości szpilek prądowych czy stabilności układu. W przypadku gdy tranzystor kaskodowy w stopniu aktywnej kaskody nie działa w zakresie nasycenia, wówczas stopień aktywnej kaskody nie tłumi szpilek prądowych pochodzących od przełączania kluczy. Sytuację tą obrazuje rysunek 3.24a. W sytuacji poprawnej

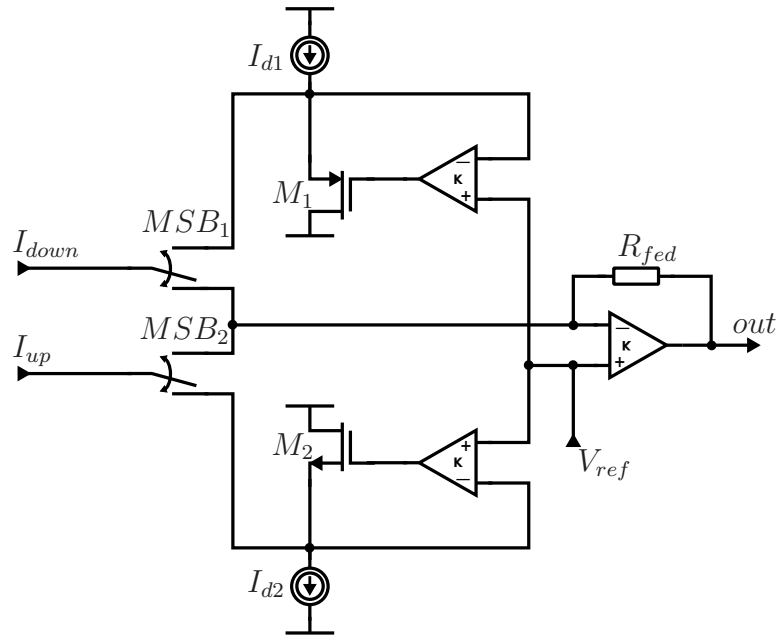


(a) Niedziałający blok aktywnych kaskod.

(b) Poprawnie działający układ.

Rysunek 3.24: Przebiegi wyjściowe przetwornika.

pracy bloku aktywnych kaskod, szpilki prądowe praktycznie nie występują co obrazuje rysunek 3.24b. Jediną szpilką prądową jaka może zaistnieć w przetworniku jest szpilka pochodząca od przełączenia klucza najbardziej znaczącego bitu, umiejscowionego tuż przy wyjściu układu. Aby wyjaśnić mechanizm powstawania tej szpilki należy zrozumieć otoczenie tegoż klucza, zobrazowane schematycznie na rysunku 3.25. W sytuacji ustawienia najbardziej znaczącego bitu na logiczne 0, klucz MSB_1 przepuszcza prąd I_{down} na wyjście przetwornika, natomiast komplementarny prąd I_{up} jest wpuszczany do tranzystora M_2 . Zmiana wartości najbardziej znaczącego bitu powoduje zmianę przewodzenia kluczy MSB_1 oraz MSB_2 . Jeżeli stan poprzedzający przełączenie MSB wymuszał duży prąd w tranzystorze M_2 to przełączenie klucza MSB_2 powoduje silną zmianę prądu drenu tranzystora M_2 , czyli gwałtowną zmianę jego punktu pracy. Tranzystor ma skończony czas przełączania, zatem nadmiar prądu którego nie jest w stanie „przełknąć” przedostaje się na wyjście układu w postaci dość sporego impulsu napięciowego o czasie trwania do 800 ns i amplitudzie prawie 700 mV . Zapobieganie powstawania tej szpilki prądowej można zrealizować na dwa sposoby. Po pierwsze można ustawić wartość prądów I_{d1} oraz I_{d2} na wartość po-

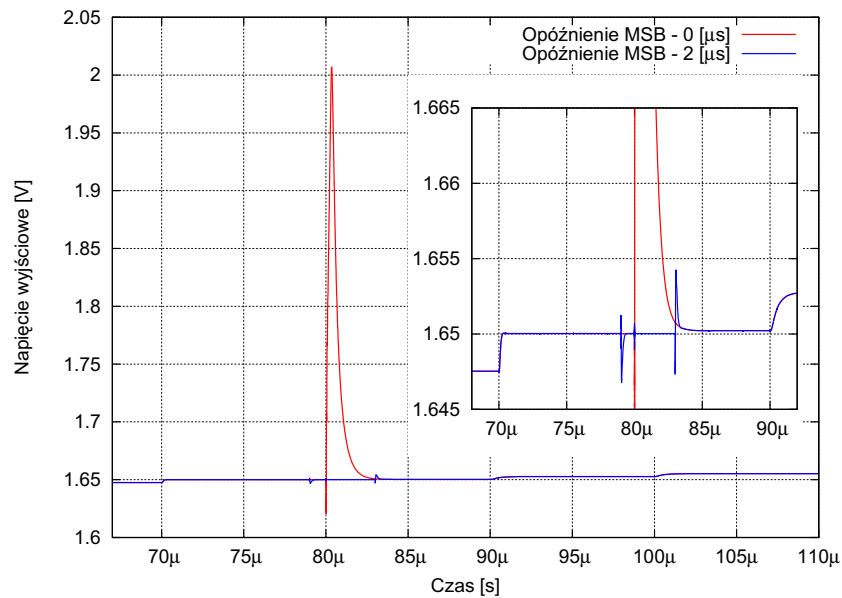


Rysunek 3.25: Dokładny schemat układu przetwornika w otoczeniu klucza MSB.

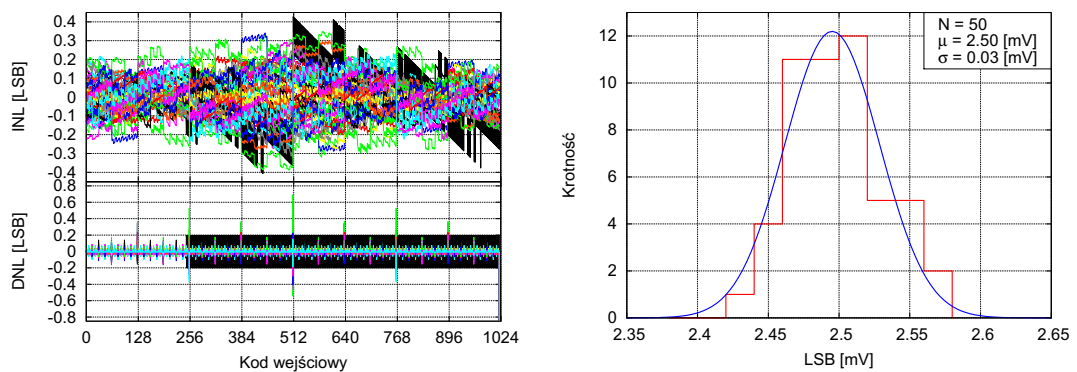
równywalną z maksymalną wartością prądów I_{down} lub I_{up} . Rozwiązanie to wymaga jednakże ponad dwukrotnego zwiększenia poboru mocy układu. Drugim rozwiązaniem jest opóźnienie przełączania kluczy MSB tak, aby na czas przełączania się tranzystorów M_1 lub M_2 wyjściowy wzmacniacz pracował w konfiguracji wtórnika. Symulacje pokazują, iż opóźnienie przełączenia kluczy MSB o $2 \mu s$ eliminuje w zupełności problem tej szpilki prądowej. Sytuację przełączenia kilku kolejnych stanów w okolicy połowy skali z uwzględnieniem przełączenia kluczy MSB z opóźnieniem $2 \mu s$ oraz bez opóźnienia przedstawia rysunek 3.26.

Symulacje Monte Carlo.

Dokładność przetwornika determinuje stopień dopasowania tranzystorów w macierzy źródeł prądowych oraz liniowego lustra prądowego, natomiast wartość skoku jednego LSB uwarunkowana jest dopasowaniem rezystorów – referencyjnego w układzie polaryzującym oraz wyjściowego. Aby wyznaczyć nieliniowości przetwornika oraz wartość skoku LSB należy przeprowadzić symulacje stałoprądowe przemiatając po każdym stanie przetwornika, dodatkowo wykonać odpowiednią liczbę powtórzeń symulacji Monte Carlo. Niestety pakiet analiz Monte Carlo oprogramowania Cadence, nie umożliwia przemiatania po większej niż jeden liczbie parametrów. Z tego też powodu należy przeprowadzić symulację czasową o odpowiednio długim kroku jednego LSB. Symulacje takie są niestety długotrwałe – 50 powtórzeń symulacji Monte Carlo trwało 237 godzin. Wyniki tej symulacji przedstawiono na rysunkach 3.27a oraz 3.27b. Maksymalna wartość nieliniowości całkowitej otrzymanej z symulacji MC wynosi 0.42 LSB. Niestety istnieje możliwość występowania różniczkowej



Rysunek 3.26: Przebiegi wyjściowe przetwornika uwzględniające przełączenie klucza MSB bez oraz z opóźnieniem.



(a) Nieliniowości przetwornika.

(b) Rozkład wartości kroku LSB przetwornika.

Rysunek 3.27: Wyniki symulacji Monte Carlo.

nieliniowości większej niż 0.5 LSB, co jest związane z oparciem architektury o źródła prądowe skalowane binarnie.

3.6. Plan topologii masek układu.

W poprzednich rozdziałach tej pracy skupiono się na aspektach funkcjonalnych i układowych projektowanego przetwornika. Przy projekcie matrycy źródeł prądowych wspomniano o efektach niedopasowania elementów spowodowanych przez fluktuacje procesu technologicznego, a istotnie wpływających na rozdzielczość przetwornika. Następnym czynnikiem ograniczającym dokładność przetwornika (jak również innych układów analogowych) jest sposób wykonania planu masek układu scalonego.

Ze względu na aspekty fizyczne procesów technologicznych zarysowano szereg reguł przygotowania planu masek układu, w celu skompensowania gradientów temperatury, domieszkowania krzemu, grubości tlenku bramkowego, czy efektów związanych z procesem trawienia kolejnych warstw układu scalonego[26].

Reguły dobrego projektowania masek układu:

1. Identyczna polaryzacja.

Pasożytnicze rezystancje ścieżek zmieniają warunki polaryzacji elementów wpływając na ich elektryczne parametry. W trakcie projektowania masek układu należy zadbać o to by wszelkie doprowadzenia metaliczne oraz kontakty były identyczne dla każdego elementu scalonego.

2. Zgodna orientacja.

Anizotropia sieci krystalicznej monokryształu krzemu wprowadza różnice w parametrach elektrycznych elementów zorientowanych w inny sposób. W przypadku tranzystorów zorientowanych względem siebie o kąt prosty występują istotne różnice w wartościach prądu drenu. Należy zatem unikać wszelkich obrotów elementów na układzie, jedyną dozwoloną operacją geometryczną jest translacja przestrzenna[26, 17].

3. Stosowanie elementów atrap zapewniających podobne otoczenie.

Proces produkcyjny pozostawia ślad w układzie poprzez tzw. efekty brzegowe. Skrajne bramki polikrzemowe są podtrawiane[38, 26] co powoduje zmianę wartości prądu nawet o kilka procent, dodatkowo zmieniony jest stopień domieszkowania krzemu. Niepomijalny jest również wpływ sąsiadujących elementów na polaryzację elementów. Ścieżki metalowe (głównie metale pierwszy i drugi) oraz polikrzemowe powodują powstawanie dodatkowego pola elektrycznego mogącego modulować przepływ nośników w sąsiednich elementach[26]. Należy unikać przykrywania warstw aktywnych elementów ścieżkami z pierwszego i drugiego metalu. W przypadku metali wyższych jest to dopuszczalne pod warunkiem identycznego przykrycia dopasowywanych elementów.

4. Geometria wspólnego środka (ang. *common centroid*).

Wspomniane powyżej gradienty temperatury, grubości tlenku, niejednorodne profile domieszkowania kompensuje się poprzez odpowiednie rozmieszczenie komponentów. Technika geometrii wspólnego środka polega na podzieleniu dopasowanych elementów na kilka (naście) elementów jednostkowych i odpowiednim ich wymieszaniu wokół środka matrycy. Zabieg ten należy bezwzględnie stosować w przypadku układania wejściowych par różnicowych bądź źródeł prądowych[38, 23, 27, 26, 39].

5. Używanie tranzystorów o tych samych wymiarach.

Dopasowanie tranzystorów o różnych szerokościach a szczególnie długościach jest bardzo słabe. Należy używać tranzystorów o tej samej długości, natomiast

tranzystory szersze wykonywać w postaci równolegle łączonych tranzystorów jednostkowych[26].

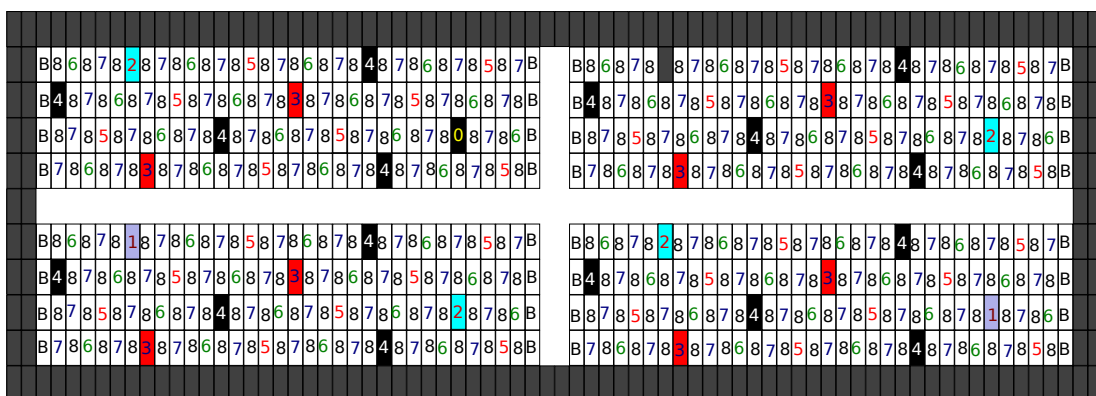
6. Używanie dużych elementów.

Reguła ta wspomniana przy omawianiu dopasowania elementów wynika z niejednorodności brzegów elementów oraz fluktuacji parametrów fizycznych procesu[26, 17, 16].

Zadośćuczynienie wszystkim wymaganiom projektowym jest trudne i może prowadzić do silnej komplikacji planu masek układu oraz drastycznego zwiększenia jego powierzchni. W tym celu należy przeprowadzić analizę, które z elementów układu są najczulsze na efekty niedopasowania i tylko dla nich trzymać się powyższych reguł projektowych. W przypadku omawianego projektu przetwornika najczulszym punktem układu jest główna matryca źródeł prądowych, następnym elementem jest liniowe lustro prądowe, źródła atrapy prowadzące minimalny prąd dla stopni aktywnych kaskod, aż wreszcie wejściowe pary różnicowe wzmacniaczy ze względu na napięcie niedopasowania.

3.6.1. Matryca źródeł prądowych.

Najczulszym punktem projektu masek przetwornika jest matryca źródeł prądowych. W literaturze przedmiotu można odnaleźć popularne rozwiązanie podziału matrycy na cztery niezależne bloki aktywnych tranzystorów (wraz z polaryzacją)[40]. W opisywanym projekcie w celu zaoszczędzenia na powierzchni dokonano rozdziału matrycy źródeł prądowych na cztery podmatryce, natomiast pod każdą z nich wykonano sieć między połączeń, które połączono kompletnie tuż przed kluczami prądowymi. Niestety pomiędzy każdym z segmentów nie umieszczono tranzystorów atrap co (jak się okazało w trakcie pomiarów wyprodukowanego prototypu) odbiło się niekorzystnie na otoczenie skrajnych tranzystorów w matrycy, a tym samym na dokładność przetwornika. Schemat blokowy rozmieszczenia źródeł prądowych w matrycy przedstawia rysunek 3.28. Literą „B” oznaczono tranzystory polaryzu-



Rysunek 3.28: Schemat blokowy rozmieszczenia źródeł prądowych w matrycy.

jące, „0” oznacza źródło najmniej znaczącego bitu LSB, natomiast 8 bitu *MSB* – 1 (bit najbardziej znaczący steruje kluczem w stopniu wyjściowym przetwornika). Kolorem szarym zaznaczono tranzystory atrapy. Wymiary tranzystorów atrapy u góry i na dole matrycy są mniejsze niż źródeł prądowych (w celu zaoszczędzenia na powierzchni matrycy) i wynoszą $W/L = 0.5\mu/5\mu$. Aby zadośćuczynić regule dotyczącej połączeń metalowych, w przerwach między tranzystorowych umieszczono na całej wysokości matrycy po dwie ścieżki z metalu pierwszego oraz drugiego służące do łączenia drenów tranzystorów. Pod matrycą źródeł prądowych dokonano połączenia tranzystorów w binarnie skalowane źródła prądowe i wyjściowe 9 ścieżek metalowych doprowadzono do różnicowych kluczy prądowych sterowanych przez blok cyfrowy.

3.6.2. Blok cyfrowy.

W mieszanych układach cyfrowo–analogowych (ang. *mixed design circuits*) należy kłaść silny nacisk na odseparowanie bloków cyfrowych od analogowych[38]. Jest to szczególnie istotne w przypadku gdy częstotliwość przełączania sygnałów cyfrowych mieści się w pasmie przenoszenia układów analogowych. Separację bloków analogowych i cyfrowych powinno się opierać na poniższych regułach:

1. Rozdzielenie linii zasilania dla bloków cyfrowych i analogowych.

Działanie układów cyfrowych polega na przełączaniu napięć od dolnej do górnej linii zasilania i włączaniu lub wyłączaniu w ten sposób konkretnych tranzystorów podłączonych jedną z końcówek do którejś z linii zasilających. Gwałtowny skok napięcia na bramce tranzystora powoduje wstrzyknięcie impulsu prądowego, powstałego poprzez zróżniczkowanie skoku napięcia na bramce tranzystora, do linii zasilającej poprzez utworzony kanał w tymże tranzystorze. Nie rozdzielenie linii zasilających powoduje przedostawanie się takich szpilek prądowych do bloków analogowych i ich propagację w postaci tzw. szumów przełączania. W skrajnym przypadku mogą one doprowadzić do „dudnienia” bloków analogowych, tj. do ich destabilizacji.

2. Stosowanie pierścieni ochronnych (ang. *guard rings*).

Powstające podczas przełączania bloków cyfrowych szpilki prądowe, propagują się również poprzez podłoże. W celu ich wyeliminowania należy otoczyć bloki układowe pierścieniami ochronnymi zbudowanymi z warstwy metalizacji i kontaktów do wysoko domieszkowanego podłoża lub studni. Pierścienie te należy następnie podłączyć od niskoimpedancyjnych węzłów zasilania (najlepiej specjalnie przeznaczonych do zasilania pierścieni). Po takim zabiegu jakakolwiek szpilka prądowa która się dostanie w okolice pierścienia, zostanie przezeń wyłapana i odprowadzona z układu.

3. Czułe układy analogowe (źródła prądowe, pary wejściowe) opierać na tranzystorach w osobnych studniach (w używanej w tym projekcie technologii są to

tranzystory PMOS umieszczone w studniach typu n), w celu lepszej izolacji od podłoża.

4. Ekranowanie sygnałów cyfrowych od analogowych.

Sygnały cyfrowe mogą propagować się poprzez sprzężenia pojemnościowe do sygnałów analogowych. Szczególnie wrażliwymi punktami są węzły wysokoimpedancyjne jak wyjścia źródeł prądowych, lub węzły obciążone wysoką pojemnością. Wówczas sprzężenie pojemnościowe rzędu pojedynczych fF może spowodować znaczący przesłuch sygnału cyfrowego. Z tego powodu należy ekranować sygnały cyfrowe od analogowych dodatkową warstwą metalu pośredniego podłączoną do masy[38].

W opisywanym projekcie blok cyfrowy wykonano jako prosty, 11-bitowy rejestr równoległy – równoległy oparty na przerzutnikach typu D dostarczonych przez producenta. Ze względu na wynoszącą ponad dwa rzędy wielkości różnice w paśmie przenoszenia bloków analogowych i cyfrowych, z powyższych reguł projektowych ograniczono się tylko do rozdzielania linii zasilania i zastosowania pierścienia ochronnego wokół bloku cyfrowego. Dodatkowo zaekranowano sygnał zegarowy od sygnałów analogowych.

3.6.3. Pozostałe bloki funkcjonalne przetwornika.

Spośród pozostałych bloków funkcjonalnych przetwornika dużą uwagę do planu masek układu przywiązano w przypadku liniowego lustra prądowego oraz źródeł atrap zapewniających minimalny przepływ prądu przez tranzystory w bloku aktywnych kaskod.

Liniowe lustro prądowe.

Aby zapewnić jak najlepsze dopasowanie prądu w liniowym lustrze prądowym tranzystory je tworzące zbudowano w oparciu o 32 tranzystory jednostkowe, połączone techniką jednowymiarowego wspólnego środka. Po bokach matrycy dodano po jednej parze tranzystorów atrap o wymiarach $W/L = 0.7\mu/52.5\mu$. Obok matrycy umieszczono jednostopniowy wzmacniacz różnicowy wraz z tranzystorem kaskodowym.

Źródła prądowe zapewniające minimalny prąd aktywnym kaskodom.

Ze względu na sporą długość kanału ($30\mu m$) tranzystorów tworzących opisywane źródła prądowe, zaprojektowane je podobnie jak liniowe lustro prądowe, przy użyciu techniki jednowymiarowego wspólnego środka, dodając po brzegach po jednym tranzystorze atrapie.

Wzmacniacze operacyjne.

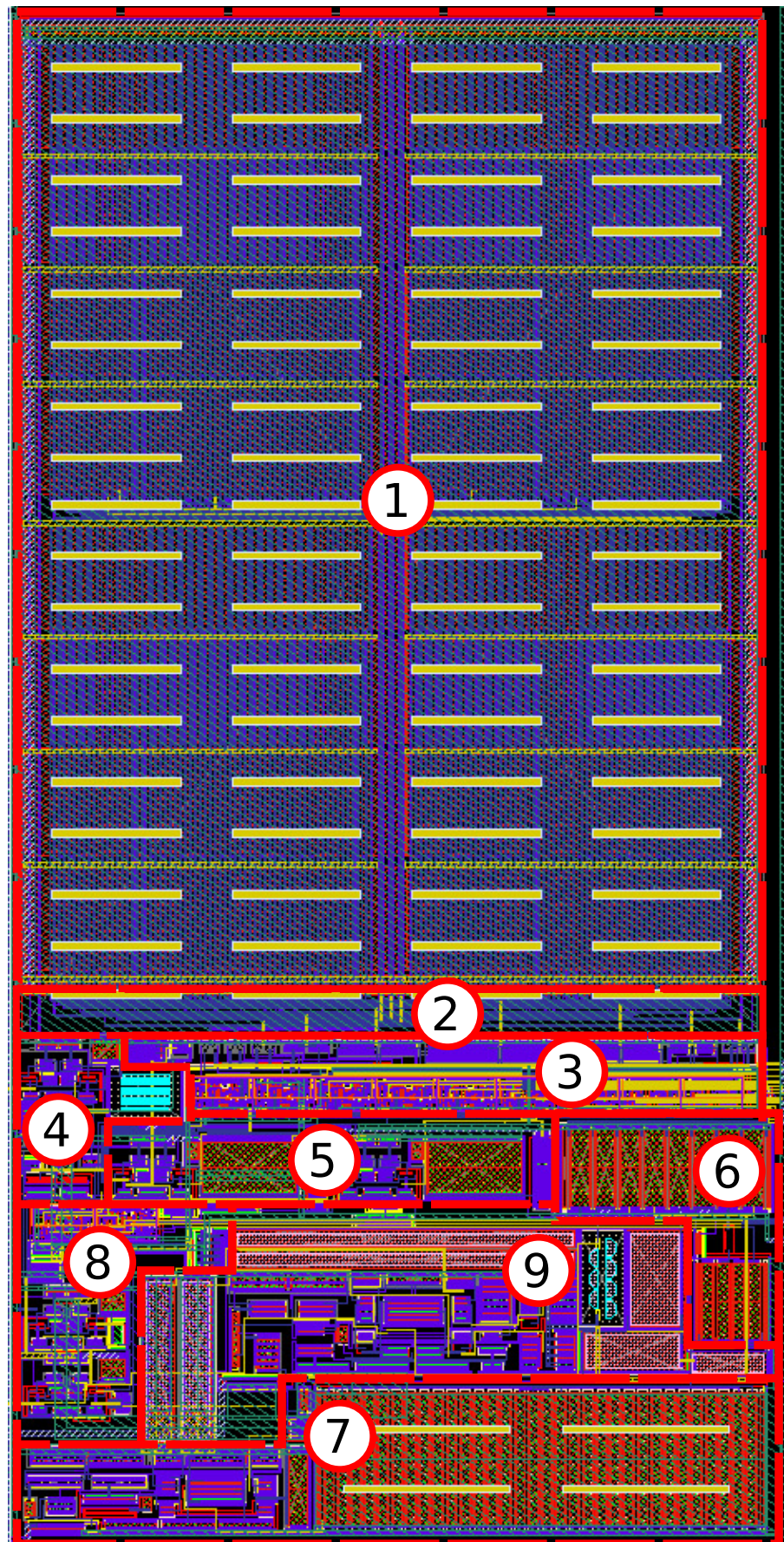
Wzmacniacze zaprojektowano tak, aby para wejściowa była symetrycznie otoczona przez aktywne obciążenie. W projektach wzmacniaczy – wyjściowym oraz

wykorzystanym w liniowym lustrze prądowym – parę wejściową ułożono używając techniki jednowymiarowego wspólnego środka.

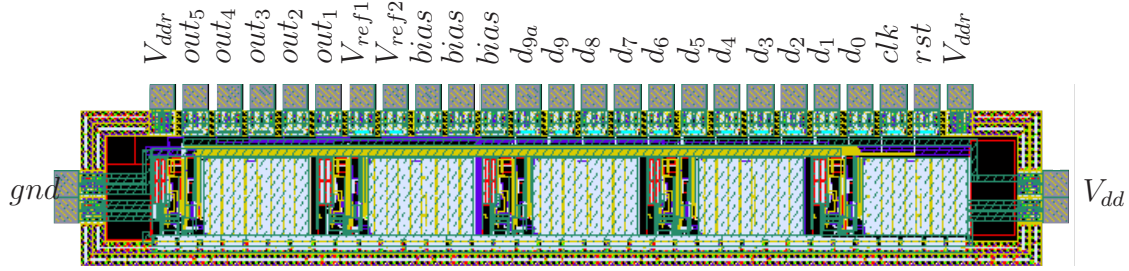
Rdzeń przetwornika zbudowany z powyżej opisanych bloków funkcjonalnych przedstawiono na rysunku 3.29. Wymiary przetwornika to $595 \times 295 \mu\text{m}^2$, co daje powierzchnię 0.176 mm^2 . Ze względu na tak małą powierzchnię nie produkowano pojedynczego układu zawierającego tylko jeden przetwornik, lecz umieszczono pięć prototypów na każdym z układów scalonych (rysunek 3.30).

3.7. Symulacje „postlayoutowe”.

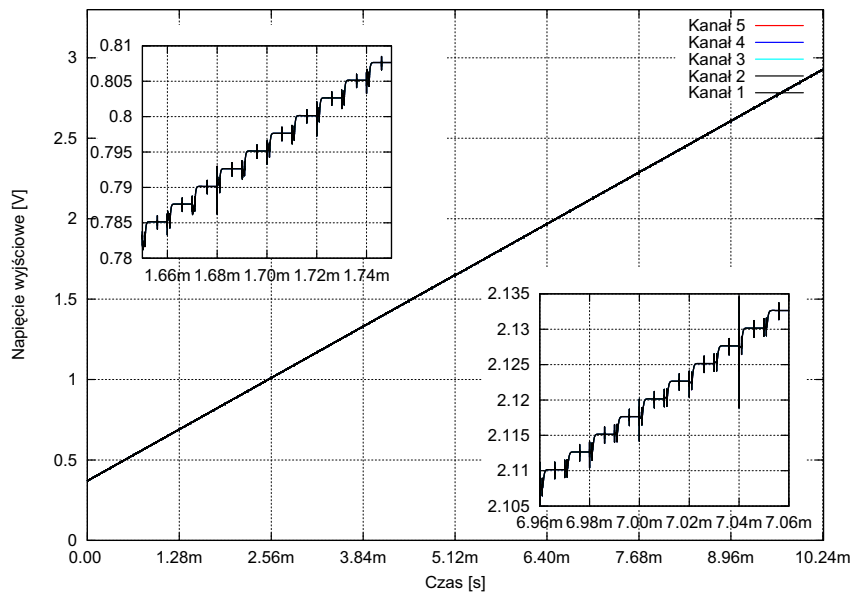
Ostatnim krokiem wykonywanym podczas projektowania układu jest sprawdzenie zachowania się układu po wyekstrahowaniu z planu masek elementów pasożytniczych, tj. rezystancji ścieżek i pojemności między ścieżkami. Symulację taką przeprowadzono dla pełnego układu pięciu przetworników, jakie znalazły się na strukturze scalonej. Przebieg wyjściowy układu scalonego przedstawiono na rysunku 3.31. W przeciwieństwie do przedstawianych poprzednio symulacji dotyczących „czystego” układu, po wyekstrahowaniu elementów pasożytniczych pojawiły się szумы przełączania. Głównym powodem ich występowania jest niedostateczne ekranowanie sygnałów cyfrowych od najwrażliwszego węzła, jakim jest węzeł polaryzujący bramki tranzystorów w matrycy źródeł prądowych oraz źródeł atrap zapewniających minimalny prąd stopniowi aktywnych kaskod.



Rysunek 3.29: Plan masek układu przetwornika bez wyprowadzonych pól kontaktowych.
 (1) Matryca źródeł prądowych wraz z tranzystorami polaryzującymi. (2) Sieć połączeń.
 (3) Blok cyfrowy wraz z kluczami. (4) Układ polaryzujący. (5) Stopień aktywnych kaskod.
 (6) Źródła atrapy. (7) Liniowe lustro prądowe. (8) Stabilizacja potencjałów przy kluczu MSB.
 (9) Wyjściowy wzmacniacz operacyjny wraz ze sprzężeniem zwrotnym.



Rysunek 3.30: Plan maski wyprodukowanego układu scalonego zawierającego przetwornik analogowo – cyfrowy oraz pięć przetworników cyfrowo – analogowych. Pady $d_0 - d_{9a}$ oznaczają wejścia cyfrowe, $bias$ polaryzację prądową wzmacniaczy, $out_1 - out_5$ wyjścia analogowe, V_{ddr} potencjał pierścienia ochronnego, $V_{ref1,2}$ napięcia referencyjne, V_{dd} , gnd linie zasilania.

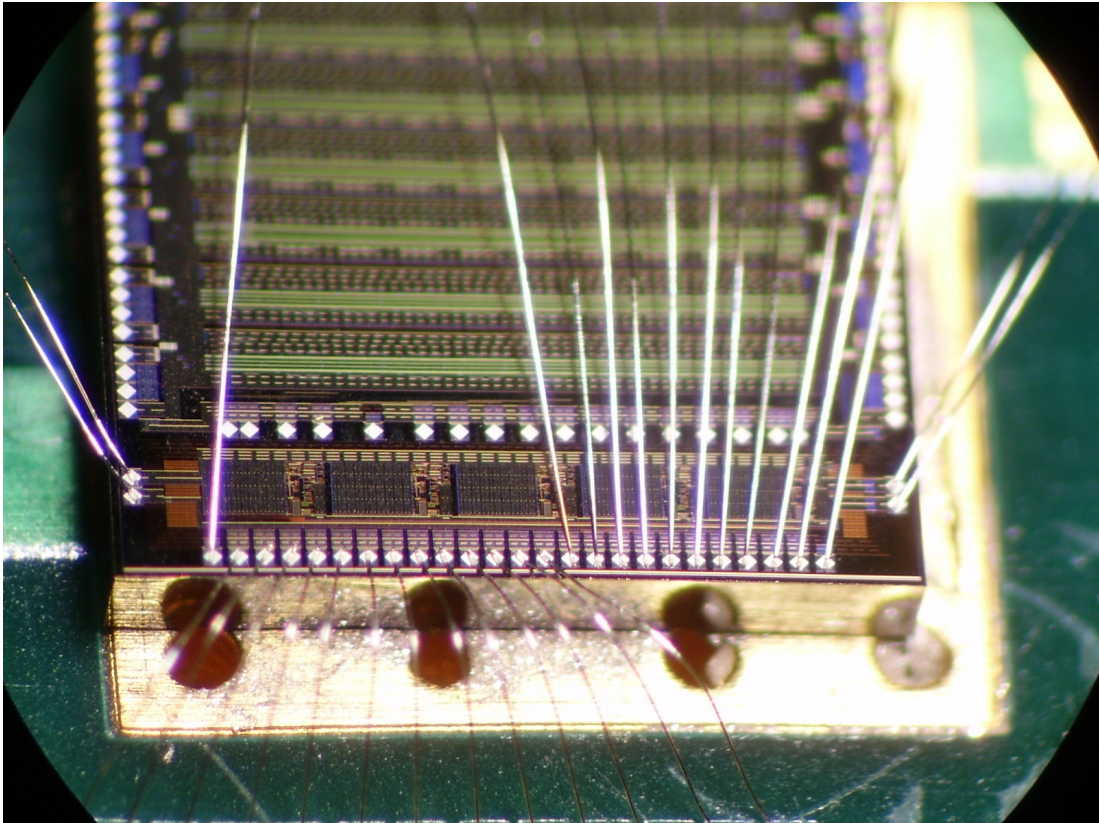


Rysunek 3.31: Symulacje układu po wyekstrahowaniu elementów pasozytniczych z planu maski układu scalonego.

Rozdział 4

Pomiary parametrów zaprojektowanego przetwornika cyfrowo – analogowego.

Wyprodukowany pierwszy prototyp poddany został pomiarom testowym mającym na celu scharakteryzowanie układu oraz sprawdzenie jakości wykonania poprzez porównanie wyników pomiarów z symulacjami. Zdjęcie pierwszego prototypu przymocowanego techniką połączeń mikroprzewodowych (ang. *wire bonding*) przedstawiono na rysunku 4.1. W trakcie badań układu przetestowano dwa ASIC'i, prze-



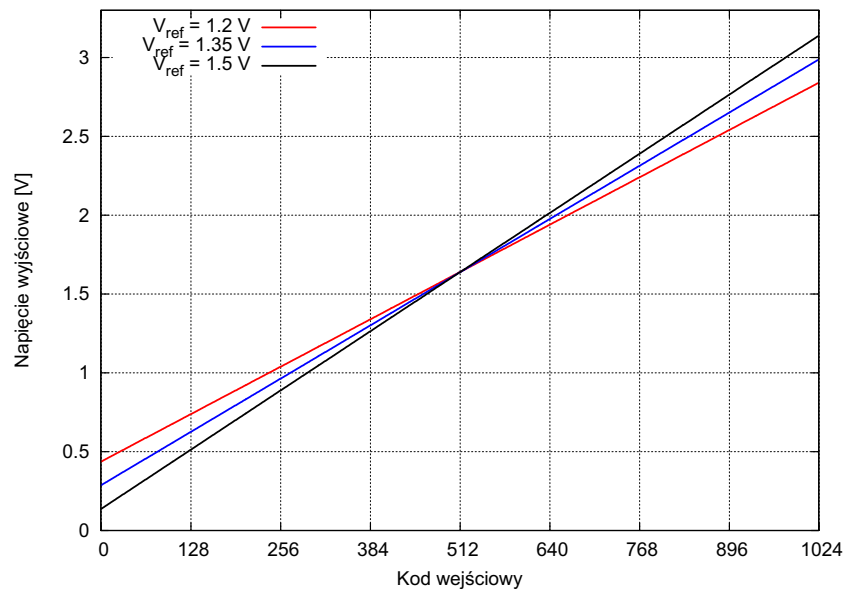
Rysunek 4.1: Zdjęcie prototypu przymocowanego do płytki ewaluacyjnej.

prowadzając pomiary parametrów statycznych, poboru mocy oraz parametrów czasowych. Pomiary statyczne niosą informacje o liniowości przetwornika i są z punktu widzenia zastosowania układu najważniejszymi pomiarami. Dlatego też zostaną one omówione jako pierwsze.

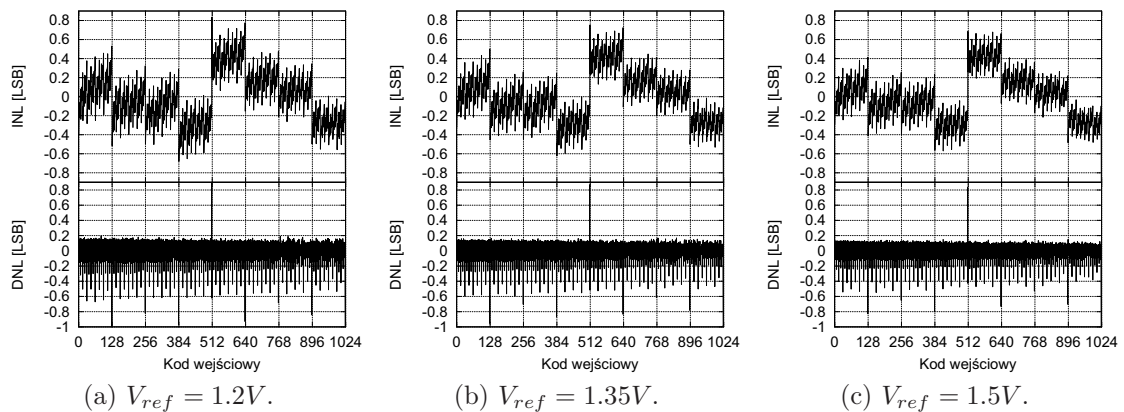
4.1. Pomiarów parametrów statycznych.

Wyznaczenie parametrów statycznych polega na mierzeniu wyjściowego napięcia w stanie ustalenia dla każdego, kolejnego stanu przetwornika. Wyznaczonymi parametrami są wartość kroku przetwornika LSB, zakres dynamiczny FSR (ang. *Full Scale Range*) oraz liniowość. Pomiarów parametrów statycznych przeprowadzono przy użyciu precyzyjnego analizatora urządzeń półprzewodnikowych (ang. *semiconductor device analyser*) Agilent B1500, mogącego ustawiać oraz mierzyć z bardzo wysoką precyzją napięcia oraz prądy. Stan logiczny na wejście przetwornika podawany był z generatora przebiegów AWG2021, który dodatkowo synchronizował analizator B1500. Pomiar odbywał się poprzez trzydziestokrotne zmierzenie każdego ze stanów przetwornika. Napięcie wyjściowe zostało następnie obliczone jako średnia arytmetyczna z trzydziestu próbek i tak obrobione dane pomiarowe posłużyły do wyznaczenia parametrów statycznych przetwornika. Podkreślić należy fakt, iż z powodu rozdzielenia sygnału najbardziej znaczącego bitu na dwa osobne sygnały (MSB_1 i MSB_2) oraz wybranej architektury istnieją trzy kombinacje ustawiające przetwornik w ten sam stan odpowiadający połowie skali przetwornika. Z tego powodu oznaczono owe trzy stany jako: $511^- - MSB_1 = MSB_2 = 0$, pozostałe bity = 1; $511 - MSB_1 = 0$, pozostałe = 1 (konfiguracja wtórnika); oraz $511^+ - MSB_1 = MSB_2 = 1$ pozostałe bity = 0. W analizowanych danych pomiarowych uwzględniano stan ustawiający wyjściowy wzmacniacz w konfiguracji wtórnika napięciowego (511).

Parametry układu zbadano dla trzech różnych wartości napięcia referencyjnego, tj. dla trzech wartości prądu przetwornika. Przykładowe funkcje przejścia (napięcie wyjściowe w funkcji wejściowego słowa) przedstawiono na rysunku 4.2. Wartości kroków LSB przetwornika, dla mierzonych napięć referencyjnych są odpowiednio równe 2.4, 2.7 i 3.0 mV. Krok przetwornika a tym samym zakres dynamiczny dla ustawień domyślnych ($V_{ref} = 1.2 V$) jest niższy niż przewidywały to symulacje (LSB = 2.5 mV, FSR=2.555 V). Fakt ten należy zrzucić na karb rozmiarów rezystora referencyjnego. Otóż wykonany on został z wysokorezystywnego polikrzemu ($1.2 k\Omega/\square$) o szerokości $0.8 \mu m$, czyli najmniejszej możliwej szerokości. Natomiast reguły projektowe zalecają budowanie precyzyjnych rezystorów o szerokości przynajmniej $2 \mu m$. Najprawdopodobniej wartość rezystora referencyjnego jest dużo większa niż przewidziano więc stosunek rezystancji wyjściowej do referencyjnej jest mniejszy niż planowano. Następnym parametrem wyekstrahowanym z przeprowadzonych pomiarów statycznych jest liniowość, a konkretnie nieliniowości: całkowita i różniczkowa, których przykładowy wykres przedstawiono na rysunku 4.3. Wraz ze wzrostem napięcia referencyjnego V_{ref} wzrasta prąd generowany przez źródła prądowe, zatem wzrasta napięcie przesterowania tranzystorów poprawiając dopasowanie ich prądów. Uwidacznia się to poprawą liniowości przetwornika. W poprzednim



Rysunek 4.2: Przykładowe funkcje przejścia przetwornika dla mierzonych napięć referencyjnych.



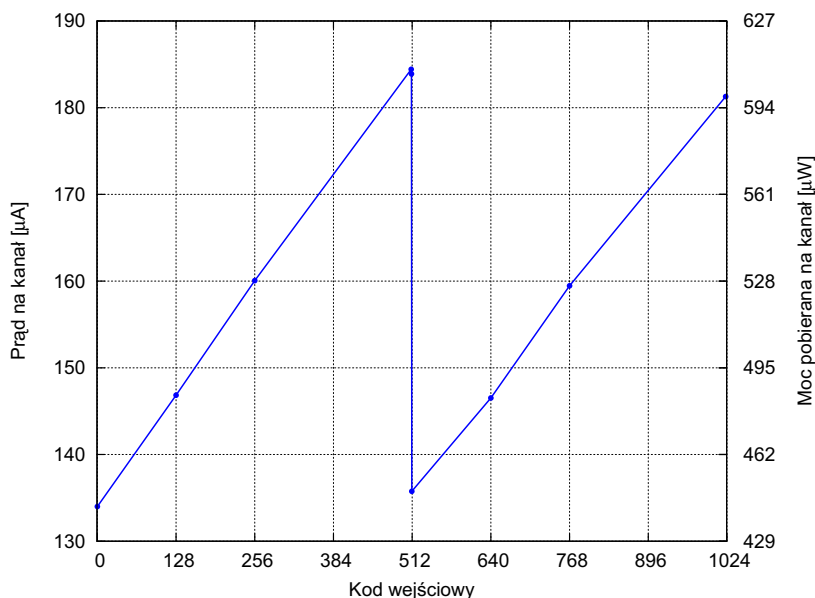
Rysunek 4.3: Przykładowe wykresy nieliniowości przetwornika dla mierzonych napięć referencyjnych.

rozdziale dyskutowane były wyniki symulacji Monte Carlo liniowości przetwornika. Pomiar wyprodukowanego prototypu pokazuje wyniki gorsze od symulowanych. Szczególnie nieliniowość różniczkowa przekracza wartość 0.5 LSB, w trakcie przełączania siódmego i ósmego bitu (MSB-2 i MSB-1). Sytuacja ta wynika z niedopełnienia reguł w trakcie projektowania matrycy źródeł prądowych. Tyczy się to szczególnie otoczenia źródeł – między segmentami matrycy nie było tranzystorów atrapy, natomiast ułożenie ścieżek metalowych nie było jednorodne na całej matrycy. Dodatkowo jak pokazały wyniki pomiarów pozostałych przebadanych układów scalonych, wpływ na wartość nieliniowości ma też położenie przetwornika na waflu krzemowym. Wyniki pomiarów w postaci wykresów nieliniowości oraz ta-

bel zestawiających parametry wszystkich przebadanych przetworników umieszczono w dodatku A.

4.2. Pomiary poboru mocy.

W wymienionych na początku rozdziału drugiego założeniach projektowych położono nacisk na niski pobór mocy przetwornika (poniżej 1 mW). Wobec tego wymagania, następnym w kolejności wykonanym pomiarem parametrów zaprojektowanego przetwornika, był pomiar poboru mocy. Ze względu na wspólne zasilanie każdego z kanałów na pojedynczym układzie scalonym, wyznaczony pobór mocy na pojedynczy przetwornik jest średnią arytmetyczną pobieranej mocy całego układu. Pomiar poboru mocy opierał się na zmierzeniu stałej wartości zasilania oraz prądu pobieranego przez układ w funkcji ustawianego stanu przetwornika. Do pomiaru napięcia zasilającego oraz prądu pobieranego przez układ wykorzystano multimetr cyfrowy HP34410A. Wyniki pomiaru poboru mocy przy domyślnych ustawieniach układu, zobrazowano na rysunku 4.4. Zastosowanie liniowego lustra prądowego do

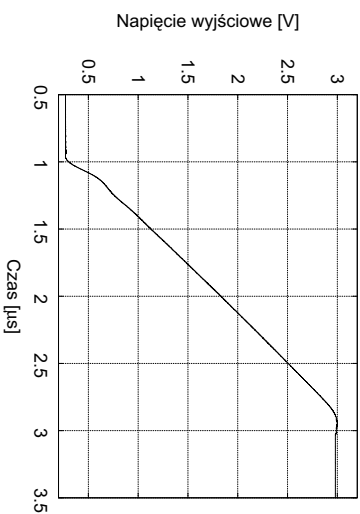


Rysunek 4.4: Zależność pobieranej mocy przez pojedynczy przetwornik od kodu wejściowego.

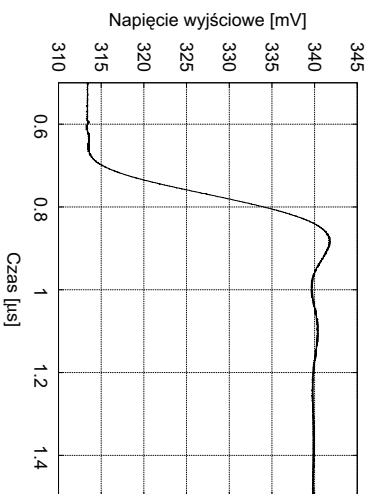
odbijania komplementarnego prądu macierzy źródeł prądowych, powoduje liniowy wzrost poboru prądu od stanu pierwszego do połowy skali, kiedy to cały prąd macierzy jest odbijany w lustrze. Ustawienie najbardziej znaczącego bitu na poziom logicznej „1” powoduje powtórzenie sytuacji. Najmniejszy pobór mocy wynosi $446.9 \mu W$ dla stanu 0_D , zaś największy $615.1 \mu W$ występuje w sytuacji ustawienia stanu 511_D^- . Zmierzony pobór mocy zgadza się z symulacjami układu, przypomnijmy wg symulacji pobór mocy układu zawierał się w przedziale od 452 do $621 \mu W$.

4.3. Pomiarów parametrów czasowych.

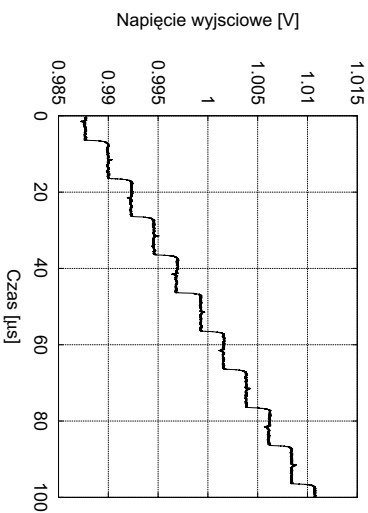
Do istotnych parametrów charakteryzujących przetwornik w dziedzinie czasu są czasy ustalania się sygnału wyjściowego i pomiary energii szpilek prądowych powstających podczas przełączania stanu przetwornika. Pomiarów parametrów czasowych wykonano podając odpowiednią sekwencję stanów na wejście przetwornika przy użyciu generatora sygnałów AWG2021 oraz obserwując wygenerowany przebieg na wyjściu przetwornika, przy użyciu oscyloskopu TDS3034. Zgodnie z zaleceniami komisji IEEE (ang. *Institute of Electrical and Electronics Engineers*) ds. standaryzacji pomiarów przetworników D/A i A/D, czas ustalania definiuje się jako czas ustalenia się sygnału wyjściowego przetwornika do poziomu ± 0.5 LSB, od zmiany cyfrowego stanu wejściowego, przełączającego pomiędzy pierwszym a ostatnim stanem[7]. Rysunek 4.5a obrazuje reakcję układu na zmianę stanu od pierwszego do ostatniego. Dodatkowo sprawdzono zachowanie się układu na podanie kolejnych stanów logicznych, przy różnej częstotliwości zegara generatora. Przebiegi wyjściowe przedstawia rysunek 4.5. Czas ustalania się sygnału wyjściowego wymuszonego zmianą stanu od pierwszego do ostatniego, wynosi $2.05 \mu s$. Czas ten spowodowany jest ograniczeniem w *slew rate* wyjściowego wzmacniacza operacyjnego. Pozostałe pomiary przedstawiają odpowiedzi małosygnałowe układu. Rysunek 4.5b przedstawia reakcje układu na zmianę stanu o 10 LSB. Czas ustalania się sygnału wynosi ok. 200 ns i związany jest z pasmem przenoszenia wzmacniacza. Przebiegi wyjściowe kolejnych kroków przetwornika przy różnych częstotliwościach generowanego sygnału przedstawiają rysunki 4.5c – 4.5f. Widać wyraźną różnicę zachowania się sygnału dla kodów wejściowych o różnej wartości MSB. W przypadku kodów o MSB = „0”, czasy ustalania się schodka są około dwa razy mniejsze niż dla kodów o MSB = „1”, jednakże w odpowiedzi widać dwa przerzuty oraz przesłuch od zegara w postaci szpilki o amplitudzie zbliżonej do wartości kroku. Asymetria czasów narastania jest związana z dodatkową stałą czasową wynikającą z transkonduktancji i pojemności liniowego lustra prądowego, natomiast przesłuch zegara związany jest z niedostatecznym ekranowaniem linii polaryzującej bramki źródeł prądowych od sygnału zegara, co wspomniano przy omawianiu symulacji po wyekstrahowaniu elementów pasożytniczych planu masek. Dużo mniejsza amplituda przesłuchu zegara podczas przełączania kodów o MSB = „1” również związana jest ze stałą czasową liniowego lustra prądowego – duża pojemność lustra filtruje impuls pochodzący od przełączenia zegara. Z przeprowadzonych pomiarów widać wyraźnie, że przetwornik radzi sobie ze zmianami sygnału z częstotliwością do 500 kHz. W przypadku częstotliwości zegara równej 1 MHz stany o MSB = „0” zdarzają się ustalić w przeciwieństwie do stanów o MSB = „1”. Jednakże szpilki pochodzące od przełączania zegara ograniczają własności dynamiczne przetwornika. Czas narastania sygnału zdefiniowany jako czas między osiągnięciem przez sygnał 10% i 90% wartości wynosi dla przełączenia pełnej skali



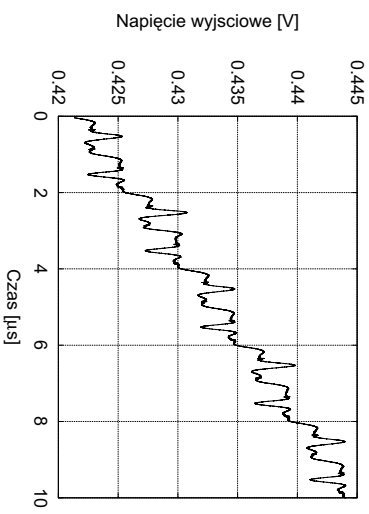
(a) Przebieg wyjściowy ukazujący przełączenie między pierwszym a ostatnim stanem przetwornika.



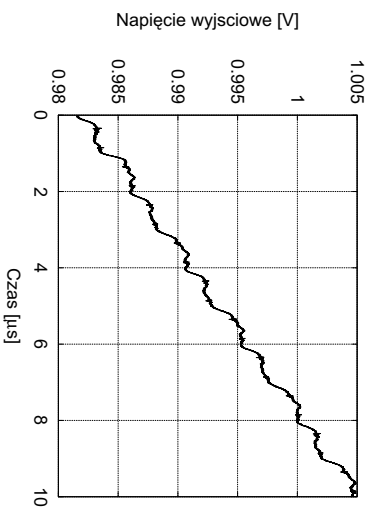
(b) Przebieg wyjściowy ukazujący przełączenie stanu o 10 LSB.



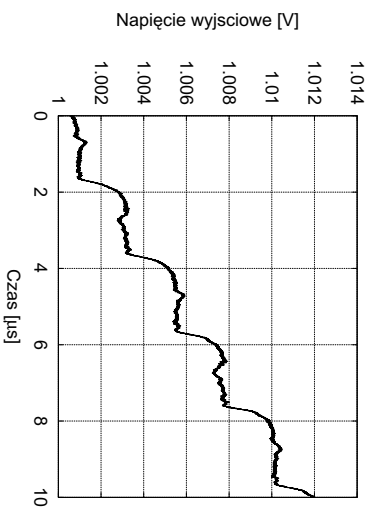
(c) Przebieg wyjściowy ukazujący stany o MSB="1", przełączane o 1 LSB z $f_{clk} = 100kHz$.



(d) Przebieg wyjściowy ukazujący stany o MSB="0", przełączane o 1 LSB z $f_{clk} = 1MHz$.



(e) Przebieg wyjściowy ukazujący stany o MSB="1", przełączane o 1 LSB z $f_{clk} = 1MHz$.



(f) Przebieg wyjściowy ukazujący stany o MSB="1", przełączane o 1 LSB z $f_{clk} = 500kHz$.

Rysunek 4.5: Przebiegi wyjściowe przetwornika.

$t_r = 1.56\mu s$, natomiast w przypadku małosygnalowym wynosi on 108 [ns].

Oprócz wspomnianych wyżej szpilek pochodzących od przełączania zegara, nie występują szpilki prądowe pochodzące od przełączania stanów przetwornika. Związane jest to z poprawnym działaniem stopnia aktywnych kaskod filtrujących skutecznie szpilki prądowe powstające na skutek wstrzykiwania ładunku przez klucze.

4.4. Pomiar wejściowego napięcia niezrównoważenia wyjściowego wzmacniacza operacyjnego.

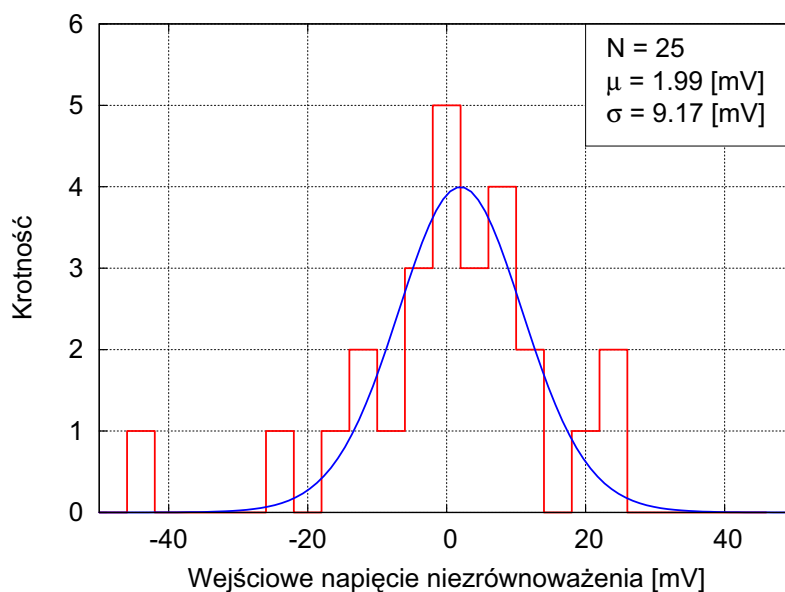
W trakcie projektowania wyjściowego wzmacniacza operacyjnego, przeprowadzono symulacje Monte Carlo wejściowego napięcia niezrównoważenia wzmacniacza. Konstrukcja przetwornika umożliwia pomiar tego napięcia, poprzez podanie takiej kombinacji bitów, aby wzmacniacz wyjściowy znalazł się w konfiguracji wtórnika napięciowego. Wówczas napięcie na wyjściu przetwornika jest tożsame z napięciem panującym na wejściu odwracającym wzmacniacza. Wejściowe napięcie niezrównoważenia równe jest różnicy napięć na wejściach wzmacniacza. Dokonano pomiaru napięcia niezrównoważenia dwudziestu pięciu układów przy użyciu multimetru HP34401. Wyniki pomiarów przedstawia w postaci histogramu rysunek 4.6. Ze względu na niewielką liczbę pomiarów, przedstawiony histogram należy aproksymować rozkładem studenta o $\nu = N - 1 = 25$ stopniach swobody (4.4.1).

$$f(x, \nu) = N \cdot \frac{\Gamma\left(\frac{\nu+1}{2}\right)}{\Gamma\left(\frac{\nu}{2}\right)} \cdot \frac{1}{\sqrt{\nu \cdot \pi}} \cdot \left[1 + \left(\frac{x-\mu}{\sigma}\right)^2 \cdot \frac{1}{\nu}\right]^{-\frac{\nu+1}{2}} \quad (4.4.1)$$

Otrzymane parametry rozkładu są mniejsze od symulowanych, jednakże wynika to tylko z faktu niskiej statystyki. Należy podkreślić iż cztery układy wykazały napięcie niezrównoważenia na poziomie 20 mV, zaś w jednym przypadku wyniosło ono ponad 40 mV. Ostatnia przytoczona wartość odpowiada przypadkowi rozrzutu o 3σ napięcia niezrównoważenia oszacowanego symulacjami Monte Carlo.

4.5. Porównanie z najlepszymi projektami 10-bitowych przetworników o niskim poborze mocy.

Parametry opisanego w niniejszej pracy projektu przetwornika postanowiono odnieść do najlepszych projektów 10 bitowych przetworników cyfrowo-analogowych o niskim poborze mocy, opublikowanych w międzynarodowych czasopismach. Parametry porównywanych przetworników zebrano w tabeli 4.1. Układy przedstawione w pracach [41] oraz [42] są zestawione głównie ze względu na podobną architekturę (sterowane źródła prądowe), jednakże są to przetworniki stricte dynamiczne, dlatego



Rysunek 4.6: Wyniki pomiaru wejściowego napięcia niezrównoważenia wyjściowego wzmacniacza operacyjnego.

pobierają najwięcej mocy spośród wszystkich przedstawionych. Opisane układy zbudowane są w oparciu o kaskodowe źródła prądowe, natomiast blok cyfrowy oparty jest o „własnoręcznie” projektowane układy zatrzasków (ang. *latch*) umożliwiających pracę z wysokimi częstotliwościami próbkowania przy niskim poziomie wstrzykiwania ładunku poprzez klucze. Układy zaprezentowane w pracach [41, 42] posiadają jedynie wyjście prądowe, zatem sygnał był mierzony na rezystorze terminującym układ pomiarowy. Nie można zatem mówić o wysokim zakresie dynamicznym tych przetworników. Głównymi zaletami tych układów są bardzo niski poziom nieliniowości – odpowiednio 0.2 i 0.1 LSB oraz wysoka częstotliwość próbkowania, przy relatywnie niskiej mocy pobieranej przez układy.

Trzecim przetwornikiem wykorzystanym w porównaniu projektów jest układ zaprezentowany w pracy [43]. Prezentowany przetwornik oparty jest o architekturę skalowanych źródeł prądowych, degenerowanych rezystorową drabinką R–2R. Zabieg degeneracji zmniejsza wymagania na dopasowanie tranzystorów, dodatkowo wykorzystanie drabinki R–2R dokłada do układu dodatkowe ujemne sprzężenie zwrotne korygujące wartości prądów płynących w gałęziach przetwornika. Przytoczone czynniki istotnie wpływają na rozmiar układu. W przypadku tej pracy powierzchnia przetwornika wynosi zaledwie 0.01 [mm²]. Nieliniowości przetwornika [43] są porównywalne z prezentowanym w tej pracy projektem. Natomiast przetwornik ten pobiera więcej mocy i posiada jedynie wyjście prądowe. Niestety nie podano w pracy [43] żadnych informacji dotyczących szybkości układu, oprócz lakonicznego stwierdzenia iż przeznaczony on jest do pracy statycznej. Ciekawym projektem jest układ zaprezentowany w pracy [9]. Zaprezentowano w niej jedynie element dzie-

łący napięcia, zaprojektowany w postaci „odwróconej” drabinki rezystorowej wraz z logiką cyfrową. Jednakże parametry uzyskane są zadowalające, przy bardzo małej powierzchni¹ układu (0.022 mm^2) i bardzo niskim poborze mocy (0.07 mW mocy pobieranej przez drabinkę). Należy jednak wziąć pod uwagę fakt braku bufora wyjściowego, który wymagałby dużej powierzchni z racji minimalizacji napięcia niezrównoważenia oraz pobierałby zdecydowaną część prądu. Ostatnią z porównywanych prac jest projekt przedstawiony w [44]. Zaprezentowany tam układ jest w pełni funkcjonalnym przetwornikiem zawierającym element dzielący napięcie w postaci drabinki rezystorowej oraz bufor wyjściowy zaprojektowany w postaci dwustopniowego wzmacniacza klasy AB pracującego z szerokim zakresem dynamicznym zarówno wejścia jak i wyjścia. Układ ten charakteryzuje się podobną powierzchnią oraz poborem mocy do prezentowanego w niniejszej pracy. Nieliniowość całkowita jest wyższa (2.0 LSB) jednakże różniczkowa zadowalająca (0.5 LSB). Porównując niniejszą pracę oraz [44] należy jednak mieć na uwadze przepaść technologiczną – $0.35 \mu\text{m}$ oraz $0.13 \mu\text{m}$.

¹ w przytoczonym układzie użyto elementów nie spełniających dopasowania na wymaganym poziomie.

Tablica 4.1: Porównanie z innymi przetwornikami.

	[41]	[42]	[43]	[9]	[44]	ta praca
architektura	źródła prądowe	źródła prądowe	drabinka R-2R	drabinka rezystorowa	drabinka rezystorowa	źródła prądowe
rozdzielczość [bit]	10	10	10	10	10	10
technologia	0.35 μm CMOS	0.18 μm CMOS	0.18 μm CMOS	0.35 μm CMOS	0.13 μm CMOS	0.35 μm CMOS
pobór mocy [mW]	≤ 7.8	≤ 22	4	0.07 (prąd drabinki)	0.5	≤ 0.6
powierzchnia [mm ²]	0.23	0.35	0.01	0.022	0.18	0.18
max INL [LSB]	0.2	0.1	0.75	0.7	2.0	0.6
max DNL [LSB]	0.2	0.1	0.7	0.35	0.5	0.8
czas ustalania	??	??	??	3 μs /10pF	??	2 μs
max. częstotliwość próbkowania	30 MS/s	250 MS/s	??	??	2 MS/s	???
zakres wolny od zniekształceń SFDR	61 dB $f_{sig} = 15 MHz$ $f_{sam} = 30 MHz$	>60 dB $f_{sig} = 122.5 MHz$ $f_{sam} = 250 MHz$?? dB $f_{sig} = ?? MHz$ $f_{sam} = ?? MHz$?? dB $f_{sig} = ?? MHz$ $f_{sam} = ?? MHz$?? dB $f_{sig} = ?? MHz$ $f_{sam} = ?? MHz$???
typ wyjścia	prądowe $\leq 2.5 mA$	prądowe $\leq 10 mA$	prądowe $< 2.2 mA$	napieciowe (bez bufora)	napieciowe	napieciowe
Zakres dynamiczny	2.5 [mA] @50 Ω	10 [mA] @50 Ω	2.2 [mA] @50 Ω	V_{ref}	pełny zakres	pełny zakres

Rozdział 5

Udoskonalenie projektu przetwornika 10 bitowego.

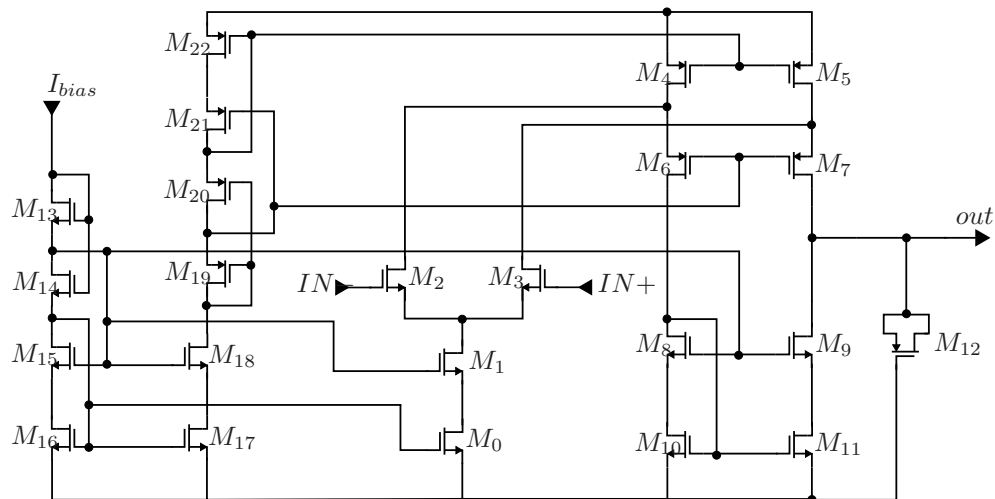
Wyniki pomiarów pierwszego prototypu przetwornika wykazały potrzebę wprowadzenia pewnych poprawek w projekcie. Zbyt wysoka wartość nieliniowości różniczkowej kieruje wzrok projektanta w udoskonalenie planu masek matrycy źródeł prądowych, asymetria czasów ustalania się sygnału wyjściowego dla stanów o różnej wartości najbardziej znaczącego bitu, przynosi refleksję dotyczącą liniowego lustra prądowego. Optymalizacji oczekują również użyte w projekcie wzmacniacze. W niniejszym rozdziale zostaną omówione zmiany dokonane w układzie, wyniki przeprowadzonych symulacji oraz zmiany w planie topologii masek przetwornika.

5.1. Układ aktywnej kaskody.

Wzmacniacz jednostopniowy użyty w stopniu aktywnej kaskody, cierpi na problem związany z niskim wzmocnieniem i potrzebą używania bardzo wysokiej wartości pojemności wyjściowej w celu uzyskania zadowalającego poziomu stabilności. Dodatkowo każdy z tranzystorów budujących ów wzmacniacz pracuje w obszarze słabej inwersji. Stabilność układu można uzyskać poprzez zastosowanie tranzystorów o odpowiednio niskim stosunku W/L . Uzyskana w ten sposób wysoka rezystancja wyjściowa umożliwia wytworzenie pierwszego biegunu przy relatywnie mniejszej pojemności obciążenia. Dodatkowo tranzystory pracujące w obszarze silnej inwersji wykazują się lepszym dopasowaniem parametrów elektrycznych co przekłada się na wejściowe napięcie niedopasowania wzmacniacza. Efektem optymalizacji rozważanych wzmacniaczy jednostopniowych są układy przedstawione na rysunku 5.1. Z punktu widzenia architektury, główną zmianą jest użycie kaskodowego źródła prądowego polaryzującego wejściową parę różnicową. Rozwiązanie to zwiększa wartość współczynnika tłumienia sygnału wspólnego CMRR oraz eliminuje błąd wzmocnienia lustra prądowego związany z współczynnikiem modulacji kanału λ .

5.1.1. Symulacje układu.

W poprawionym projekcie omawianego wzmacniacza ustawiono wartość prądu polaryzującego na 250 nA, natomiast wymiary tranzystorów zestawiono w tabeli 5.1. Zastosowanie kaskodowego źródła prądowego spowodowało wyrównanie rozplywu



Rysunek 5.1: Schemat poprawionej wersji wzmacniacza pracującego w układzie aktywnej kaskody.

Tablica 5.1: Wymiary tranzystorów użytych w poprawionym projekcie wzmacniacza jednostopniowego stopnia aktywnej kaskody.

Tranzystor	Szerokość [μm]	Długość [μm]
M_0, M_1, M_4, M_5	3	3
M_2, M_3	3	6
$M_4 - M_{13}, M_{15} - M_{18}, M_{20} - M_{22}$	1.5	3
M_{14}	0.4	14
M_{20}	0.5	5
M_{12}	5.5	20.15

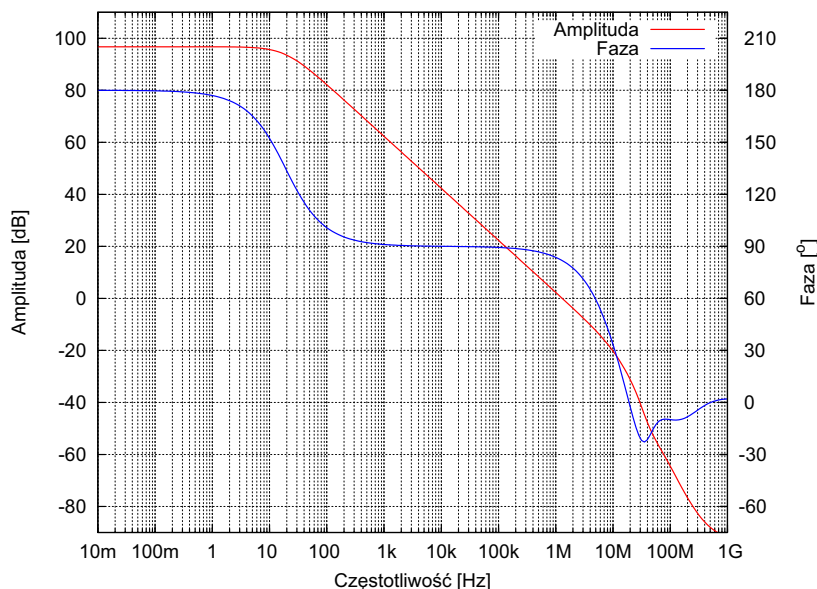
prądów w gałęziach wzmacniacza poprzez eliminację błędu wzmocnienia wywołanego przez różnice napięć dren-źródło tranzystorów polaryzujących.

Symulacje zmiennoprądowe.

Symulacje zmiennoprądowe przeprowadzono używając tego samego układu symulującego ukazanego na rysunku 3.14. Charakterystyki częstotliwościowe będące wynikiem symulacji przedstawia rysunek 5.2. Najważniejsze parametry wzmacniacza wyekstrahowane z przeprowadzonej symulacji zawarto w tabeli 5.2. W porów-

Tablica 5.2: Parametry poprawionego wzmacniacza pracującego w układzie aktywnej kaskody.

Parametr	Wartość
Wzmocnienie [dB]	96.7
Margines fazy [$^\circ$]	81.8
Pole wzmocnienia [MHz]	1.3



Rysunek 5.2: Charakterystyki częstotliwościowe poprawionej wersji wzmacniacza pracującego w układzie aktywnej kaskody.

naniu do pierwszej wersji wzmacniacza uzyskano niższy pobór mocy, dużo wyższe wzmocnienie oraz zadowalający margines fazy przy wyższym polu wzmocnienia oraz mniejszej powierzchni.

Symulacje najgorszych przypadków

Poprawny projekt układu jest nieczuły na rozrzut procesu technologicznego. W celu sprawdzenia zachowania się układu w przypadku skrajnych parametrów procesu przeprowadzono symulacje najgorszych przypadków, których wyniki zestawiono w tabeli 5.3. Zmiany wzmocnienia nie przekraczają 3 [dB], natomiast margines fazy

Tablica 5.3: Wyniki symulacji najgorszych przypadków.

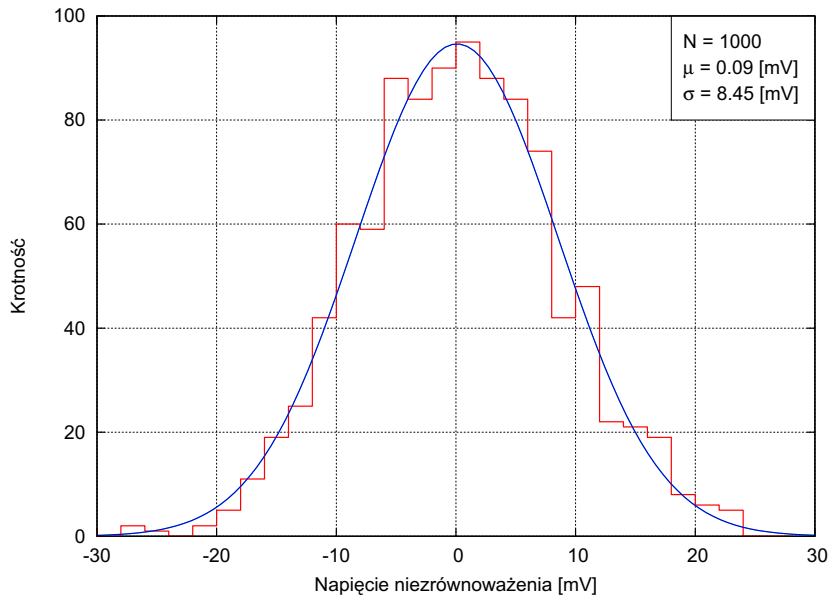
Przypadek	Wzmocnienie	Margines fazy
TM	96.7	81.8
WP	93.9	82.3
WS	99.9	81.4
WOWP	97.3	80.8
WOWS	98.0	80.9
WZWP	96.3	82.5
WZWS	95.7	82.7

jest zawsze większy niż 80° .

Symulacje Monte Carlo.

Analogicznie jak w rozdziale opisującym pierwszy projekt układu, przeprowadzono symulacje Monte Carlo w celu uzyskania informacji o możliwej wartości

wejściowego napięcia niedopasowania wzmacniacza. Wyniki symulacji w postaci rozkładu wartości napięcia niedopasowania wzmacniacza przedstawia rysunek 5.3. Wprowadzenie tranzystorów w obszar silnej inwersji oraz zwiększenie ich powierzchni



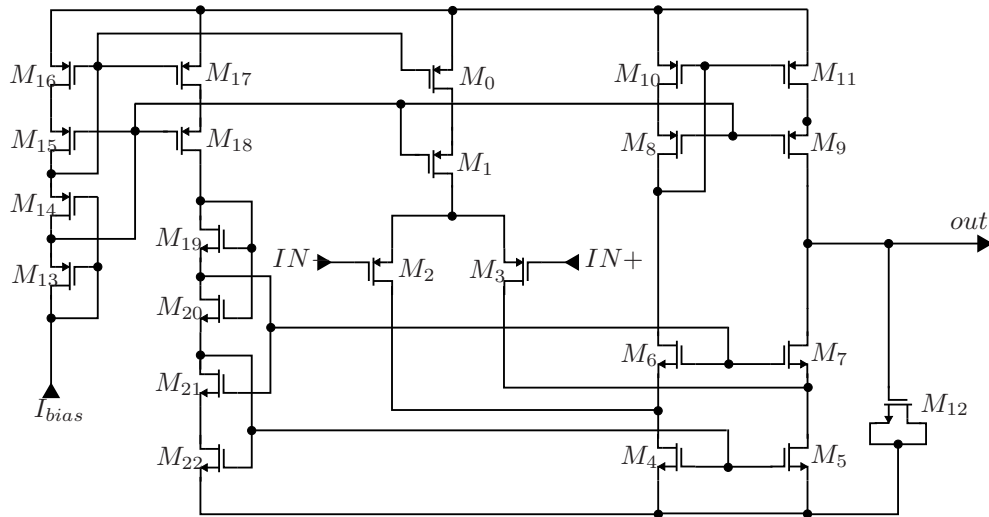
Rysunek 5.3: Rozkład wejściowego napięcia niezrównoważenia poprawionej wersji wzmacniacza z układu aktywnej kaskody.

wpłynęło pozytywnie na ich dopasowanie objawiając się mniejszym napięciem niezrównoważenia wzmacniacza.

5.2. Konfiguracja liniowego lustra prądowego.

Ze względu na wysoką stałą czasową liniowego lustra prądowego prokurującego asymetrię czasów ustalania się sygnałów zależnie od wartości najbardziej znaczącego bitu, zdecydowano się zmniejszyć jego wymiary. Zmiana wymiarów liniowego lustra prądowego odbija się niekorzystnie na spodziewanym rozrzucie niedopasowania prądów lustra. Z tego też powodu zaprojektowano układ „trzymujący” liniowe lustro prądowe. Użyty w tej konfiguracji wzmacniacz jednostopniowy cierpi dodatkowo na zbyt wysoki pobór mocy. Na rysunku 5.4 przedstawiono schemat usprawnionej wersji wzmacniacza pracującego w opisywanym układzie liniowego lustra prądowego.

Liniowe lustro prądowe zaprojektowane na potrzeby pierwszego prototypu spełniało swoją rolę jeżeli chodzi o założenia odpowiedniej liniowości, jednakże okupione one były zbyt dużą stałą czasową tegoż układu. W związku z tym efektem postanowiono zmniejszyć wymagania na dopasowanie tranzystorów lustra i dodać układ „trzymujący”. Interesujące są zatem wyniki symulacji zarówno samego wzmacniacza jak i pełnego układu liniowego lustra prądowego.



Rysunek 5.4: Schemat poprawionej wersji wzmacniacza pracującego w układzie liniowego lustra prądowego.

5.2.1. Wzmacniacz jednostopniowy.

Wzmacniacz jednostopniowy użyty w konfiguracji liniowego lustra prądowego wymagał optymalizacji ze względu na pobór mocy oraz powierzchnie zajmowaną w układzie. Z tego też powodu przewymiarowano rozmiary tranzystorów stanowiących układ wzmacniacza oraz wzorem poprzednio przedstawianego wzmacniacza, zastosowano układ kaskodowego źródła prądowego polaryzującego wejściową parę różnicową. Wymiary tranzystorów budujących omawiany wzmacniacz przedstawiono w tabeli 5.4. Skorygowano również wartość prądu polaryzującego I_{bias} , zmniejszając

Tablica 5.4: Wymiary tranzystorów użytych w poprawionej wersji wzmacniacza pracującego w konfiguracji liniowego lustra prądowego.

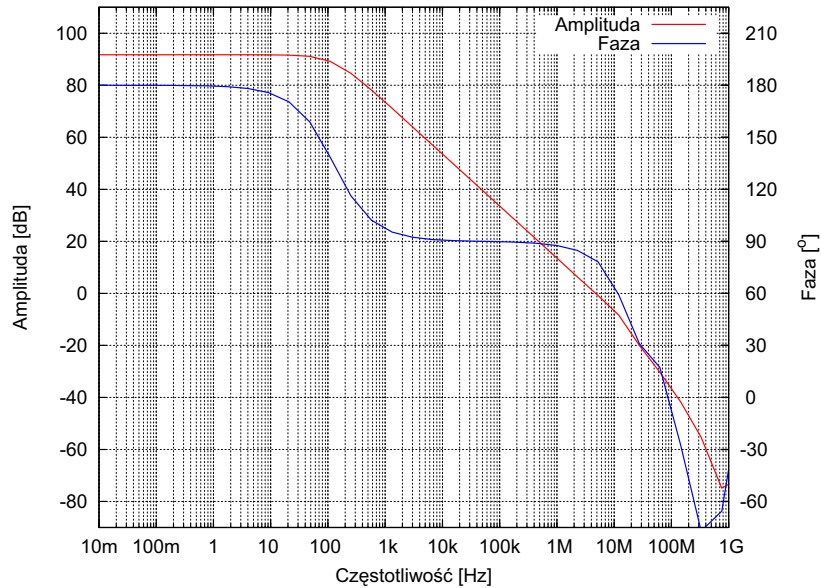
Tranzystor	Szerokość [μm]	Długość [μm]
M_0, M_1	8	2
M_2, M_3	6	3
$M_4, M_5, M_8 - M_{11}, M_{13}, M_{15} - M_{18}$	4	2
$M_6, M_7, M_{19}, M_{21}, M_{22}$	2	2
M_{12}	2.5	18.7
M_{14}	0.8	4.3
M_{20}	0.4	8

go z 4 do $0.5 \mu\text{A}$ uzyskując w efekcie pobór mocy równy $9.9 \mu\text{W}$.

Symulacje zmiennoprądowe.

Symulacje wzmocnienia w otwartej pętli oraz marginesu fazy przeprowadzono w sposób analogiczny jak w przypadku pierwszego prototypu, uwzględniając zmiany wymiarów tranzystorów tworzących układ liniowego lustra prądowego. Wyniki prze-

prorowadzonych symulacji przedstawia rysunek 5.5. Wartości podstawowych param-



Rysunek 5.5: Charakterystyki częstotliwościowe poprawionej wersji wzmacniacza pracującego w układzie liniowego lustra prądowego.

trów wzmacniacza przedstawia tabela 5.5. W wyniku optymalizacji wzmacniacza,

Tablica 5.5: Parametry drugiej wersji wzmacniacza pracującego w układzie liniowego lustra prądowego.

Parametr	Wartość
Wzmocnienie [dB]	91.7
Margines fazy [°]	79.3
Pole wzmocnienia [MHz]	4.8

uzyskano układ pobierający pięciokrotnie mniej mocy oraz zajmujący mniej powierzchni, przy praktycznie tych samych parametrach.

Symulacje najgorszych przypadków.

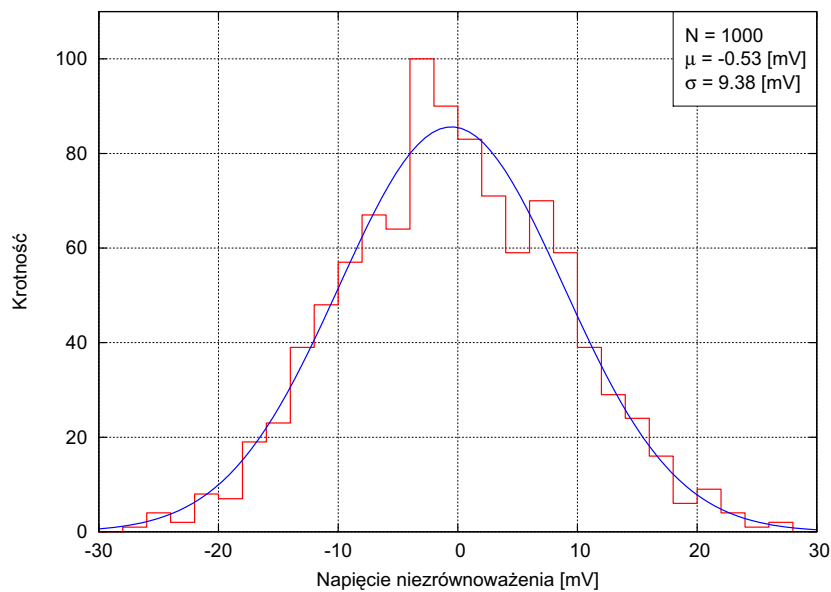
Wyniki symulacji najgorszych przypadków przedstawiono w tabeli 5.6. Podobnie jak w przypadku wzmacniacza jednostopniowego użytego w układzie aktywnej kaskody, tak również omawiany wzmacniacz jest praktycznie niewrażliwy na rozrzut parametrów procesu technologicznego.

Symulacje Monte Carlo.

Aby dokonać pełnego porównania obu projektów wzmacniacza, przeprowadzono symulacje Monte Carlo wejściowego napięcia niezrównoważenia wzmacniacza. Rozkład statystyczny napięcia niezrównoważenia przedstawia rysunek 5.6. W porównaniu do poprzedniego projektu napięcie niezrównoważenia jest blisko dwa razy

Tablica 5.6: Wyniki symulacji najgorszych przypadków wzmacniacza pracującego w układzie liniowego lustra prądowego.

Przypadek	Wzmocnienie	Margines fazy
TM	91.6	79.3
WP	89.2	79.7
WS	95.2	78.0
WOWP	90.6	78.7
WOWS	92.3	77.9
WZWP	91.9	79.6
WZWS	93.7	78.9



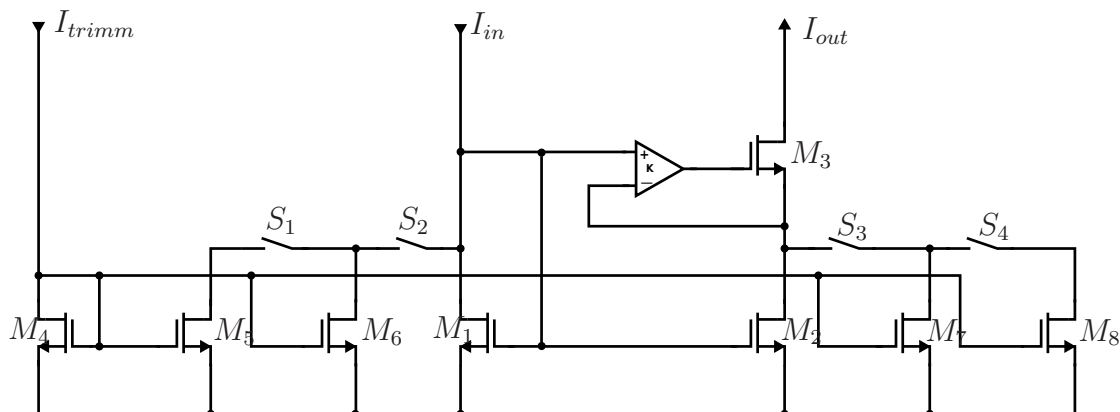
Rysunek 5.6: Rozkład napięcia niezrównoważenia poprawionej wersji wzmacniacza pracującego w układzie liniowego lustra prądowego.

większe, co jest związane z rozmiarami tranzystorów stanowiących wejściową parę różnicową. Jednakże nie wpływa ono istotnie na błąd wzmocnienia liniowego lustra prądowego, które jest zdeterminowane przez dopasowanie tranzystorów budujących lustro prądowe.

5.2.2. Liniowe lustro prądowe

Jak wspomniano poprzednio główne zmiany wprowadzone w liniowym lustrze prądowym odnoszą się do zmniejszenia stałej czasowej lustra, tj. zwiększenia transkonduktancji i zmniejszenia pojemności tranzystorów tworzących lustro. Rozrzut wartości prądu wyjściowego oszacowany z modelu Pelgroma niedopasowania tranzystorów wynosi na poziomie σ , przy maksymalnej wartości prądu ($66.1\mu A$) 50 nA. Na wypadek scenariusza wystąpienia zbyt dużego rozrzutu prądów w gałęziach lustra dołączone zostały równolegle po dwa źródła prądowe generujące prąd o wartości

50 nA (0.5 LSB), w celu „dotrymowania” lustra prądowego. Schemat poprawionej wersji liniowego lustra prądowego przedstawia rysunek 5.7. Prąd tryмуюący I_{trimm}



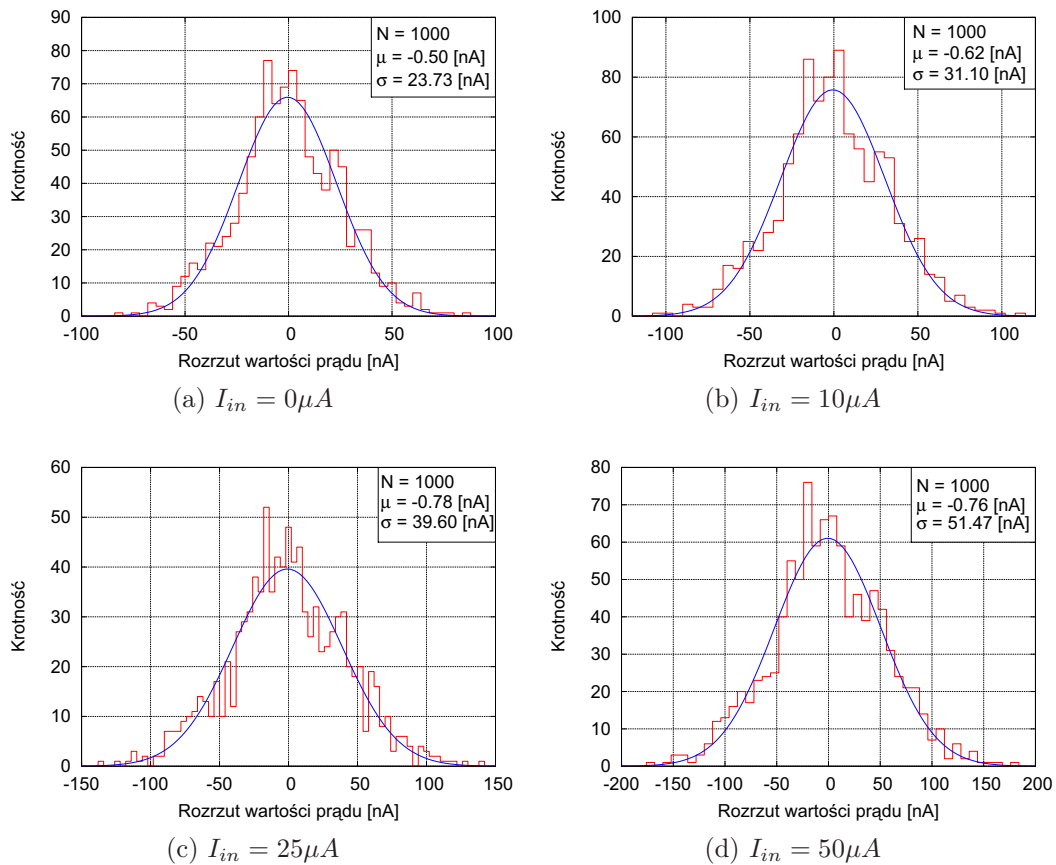
Rysunek 5.7: Schemat poprawionej wersji liniowego lustra prądowego.

doprowadzany jest z jednego ze źródeł z głównej matrycy przetwornika, zatem jego wartość wynosi $I_{trimm} = I_{LSB} = 100nA$. Prąd ten odbijany jest ze stosunkiem 2:1 na źródła „trymujące” zbudowane na tranzystorach $M_5 - M_8$. Zatem „dotrymowanie” lustra prądowego polega na odjęciu prądu o wartości 0.5 lub 1 LSB, od wejścia lub wyjścia lustra prądowego. Zabieg ten przeprowadza się poprzez podanie sygnałów sterujących na klucze $S_1 - S_4$, zbudowane na tranzystorach NMOS. Sygnały sterujące generowane są przez logikę kombinacyjną opisaną w dalszej części rozdziału. Wymiary tranzystorów użytych w projekcie liniowego lustra prądowego zestawiono w tabeli 5.7. Najbardziej interesującym parametrem liniowego lustra prądowego jest

Tablica 5.7: Wymiary tranzystorów użytych w poprawionym projekcie liniowego lustra prądowego.

Tranzystor	Szerokość [μm]	Długość [μm]
M_1, M_2	51.2	20
M_3	30	0.35
M_4	1.4	20
$M_5 - M_8$	0.7	20
$S_1 - S_4$	10	0.35

dopasowanie prądów wyjściowego oraz wejściowego w całym zakresie pracy lustra. Przeprowadzono zatem symulacje Monte Carlo przy różnych wartościach prądu wejściowego, uzyskując rozkład różnicy wyżej wymienionych prądów. Wyniki symulacji Monte Carlo zaprezentowano na rysunku 5.8. Największe bezwzględne niedopasowanie prądów lustra występuje w przypadku maksymalnej wartości odbijanego prądu i wynosi na poziomie σ 51.5 nA co odpowiada połowie prądu najmniej znaczącego bitu. Zatem w najgorszym przypadku rozrzut prądów może wynosić 1.5 LSB. Wówczas dodanie lub odjęcie prądu o wartości 1 LSB powinno zapewnić nieliniowość

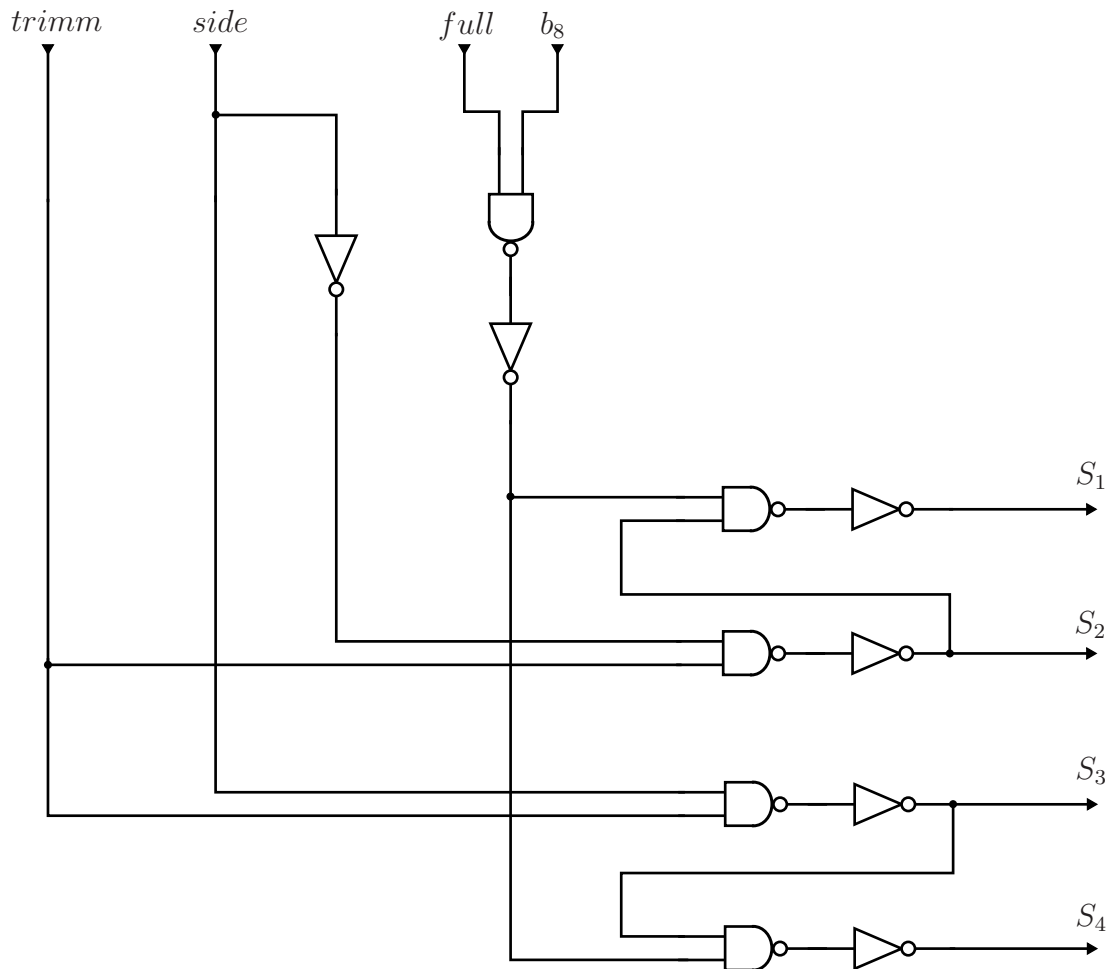


Rysunek 5.8: Rozrzut różnicy prądów wejściowego i wyjściowego drugiej wersji liniowego lustra prądowego ($\Delta I = I_{in} - I_{out}$).

poniżej wartości 0.5 LSB. Oczywiście dla wartości prądu liniowego lustra poniżej 25 μA , korekcja o 1 LSB nie była by właściwa, zatem jest ona bramkowana wartością bitu b_8 .

5.2.3. Układ logiki „trymującej”.

Układ logiki „trymującej” liniowe lustro prądowe zaprojektowano w postaci prostego enkodera, którego schemat ideowy przedstawiono na rysunku 5.9, natomiast tablicę prawdy układu zestawiono w tabeli 5.8. Włączenie układu „trymującego” uwarunkowane jest ustawieniem stanu *trimm* na poziom wysoki „1”. Wejście *side* odpowiada za dodanie (stan wysoki) lub odjęcie (stan niski) prądu wyjściowego o wartość 0.5 LSB. Wprowadzenie wejścia *full* w stan wysoki wymusza korekcję prądu lustra prądowego o pełną wartość LSB, w przypadku prądów wejściowych większych niż 25 μA . Ze względu na niską szybkość układu przetwornika, nie jest wymagana wysoka szybkość bloku cyfrowego. Z tego też powodu sterowanie kłucami S_1 oraz S_4 jest wymuszone pojawieniem się sygnału na wyjściach S_2 lub S_3 .



Rysunek 5.9: Schemat układu logiki „trymującej”.

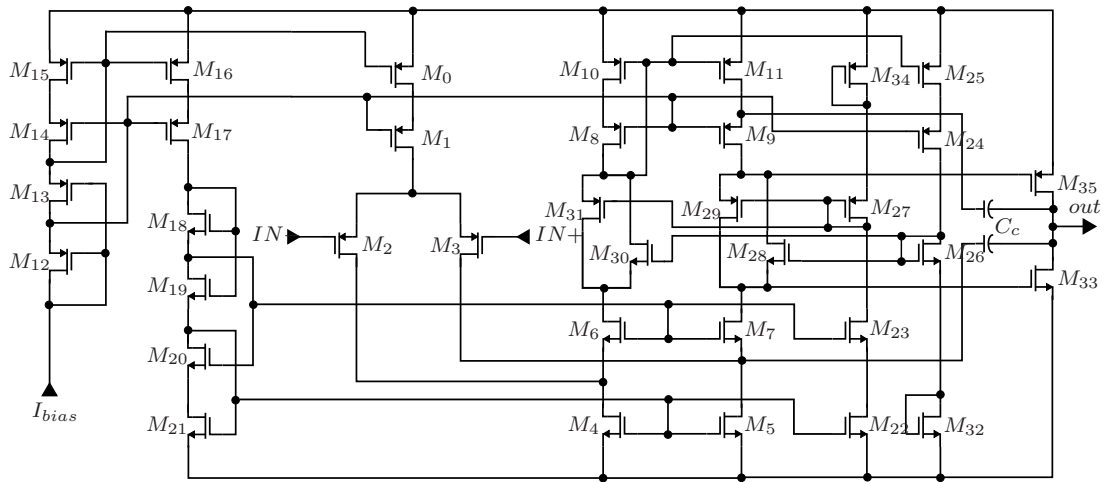
Tablica 5.8: Tablica prawdy logiki „trymującej” liniowe lustro prądowe.

trimm	side	full	b₈	S₁	S₂	S₃	S₄
0	X	X	X	0	0	0	0
1	0	X	0	0	1	0	0
1	1	X	0	0	0	1	0
1	0	1	1	1	1	0	0
1	1	1	1	0	0	1	1

5.3. Wyjściowy wzmacniacz operacyjny.

Optymalizacja wzmacniacza wyjściowego winna się skupić na asymetrii wzmocnienia w funkcji generowanego przez stopień wyjściowy prądu oraz asymetrii prądu płynącego przez pływające lustro prądowe. Optymalizacja układu w większości przypadków opiera się na zmianie wartości prądów płynących w gałęziach oraz odpowiednim przewymiarowaniu elementów. W przypadku wyjściowego wzmacniacza operacyjnego, podobnie jak we wzmacniaczach jednostopniowych, użyto kaskodowego źródła prądowego do polaryzacji wejściowej pary różnicowej. Zabieg ten zwiększa

szył istotnie współczynnik tłumienia sygnału wspólnego CMRR oraz ustabilizował rozpyły prądów. Schemat poprawionego wzmacniacza przedstawia rysunek 5.10. Wymiary tranzystorów użytych w poprawionych wersjach wzmacniaczy przedsta-



Rysunek 5.10: Schemat poprawionej wersji wyjściowego wzmacniacza operacyjnego.

wiono w podrozdziale dotyczącym symulacji układu.

5.3.1. Symulacje układu.

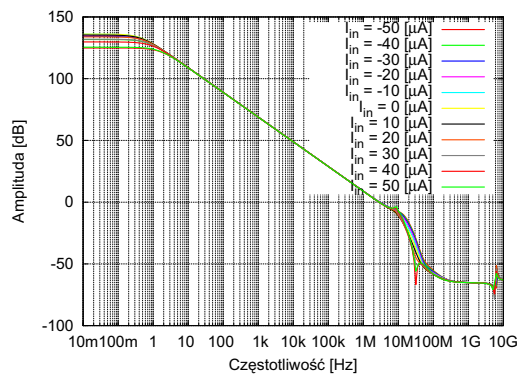
Wejściowy prąd polaryzujący ustalono na wartość $I_{bias} = 1\mu A$, zmniejszając istotnie pobór prądu w gałęziach polaryzujących tranzystory wzmacniacza. Problem asymetrii wzmocnienia wyeliminowano poprzez ustalenie tej samej długości tranzystorów w obciążeniu pierwszego stopnia oraz w stopniu wyjściowym, dodatkowo stosunek szerokości komplementarnych tranzystorów PMOS oraz NMOS ustalono na wartość 3, czyli stosunek ruchliwości elektronów i dziur. Zmniejszając istotnie stosunek W/L tranzystorów stanowiących pływające lustro prądowe, usymetryzowano również stosunek prądów przezeń płynących. Wymiary tranzystorów przedstawiono w tabeli 5.9. W ostatecznym rozrachunku pobór mocy wzmacniacza wynosi $72.5\mu W$.

Symulacje zmiennoprądowe.

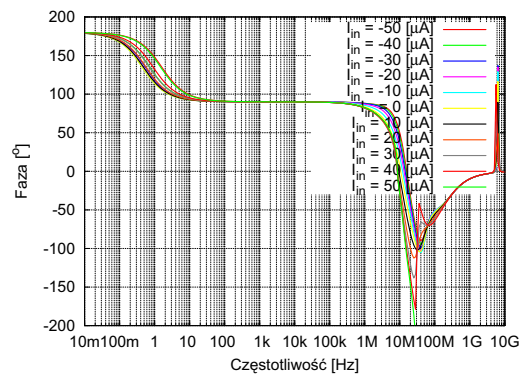
Analizę stabilności wzmacniacza przeprowadzono wykorzystując tą samą celę symulacyjną, tj. schemat z rysunku 3.17. Wyniki symulacji zmiennoprądowej w postaci charakterystyk częstotliwościowych przedstawiają rysunki 5.11a oraz 5.11b. Użycie tranzystorów o dłuższym kanale zwiększyło istotnie wzmocnienie stałoprądowe wzmacniacza (poprzez zwiększenie rezystancji dren-źródło), natomiast zmniejszenie pojemności kompensującej zwiększyło, mimo mniejszej transkonduktancji tranzystorów wejściowych, pole wzmocnienia wzmacniacza. Symulacje wzmocnienia i marginesu fazy zależnie od prądu wejściowego wzmacniacza, pracującego w trybie transimpedancyjnym przedstawiono na rysunku 5.11c. W porównaniu do

Tablica 5.9: Wymiary tranzystorów użytych w poprawionej wersji wzmacniacza wyjściowego.

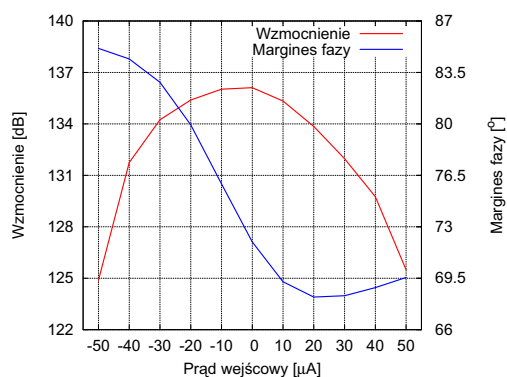
tranzystor	Szerokość [μm]	Długość [μm]
M_0, M_1	36	1.5
M_2, M_3	8	5
$M_8 - M_{11}$	18	1.5
M_4, M_5	12	1.5
$M_{12}, M_{14} - M_{17}, M_{24}, M_{25}, M_{34}$	9	1.5
$M_{18}, M_{20} - M_{23}, M_{32}$	3	1.5
M_{13}	0.9	2
M_{19}	0.4	4
M_{27}, M_{29}, M_{31}	0.8	3
M_{26}, M_{28}, M_{28}	0.4	3
M_{33}	30	1.5
M_{35}	90	1.5
C_c	13.5	40.1



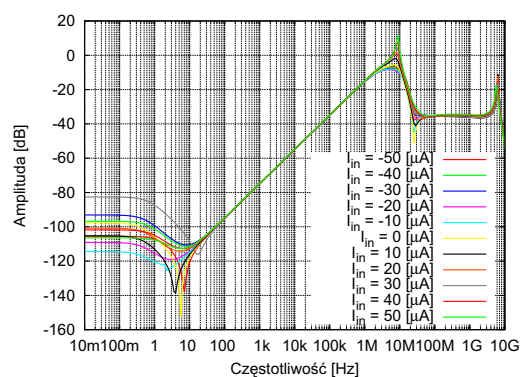
(a) Charakterystyka amplituda.



(b) Charakterystyka fazowa.



(c) Wzmocnienie i margines fazy w funkcji prądu wejściowego.



(d) Współczynnik tłumienia zakłóceń od zasilania PSRR.

Rysunek 5.11: Wyniki symulacji zmiennoprądowych nowej wersji wzmacniacza wyjściowego.

wzmacniacza zaprojektowanego w pierwszym prototypie uzyskano dobrą symetrię wzmocnienia w zależności od prądu wejściowego. Jednakże nadal występuje asymetria marginesu fazy, która związana jest ze zmianą położenia biegunów poprzez trzykrotną różnicę pojemności bramka–źródło tranzystorów NMOS i PMOS (z racji trzykrotnej różnicy w ich powierzchni). Zwiększenie wzmocnienia stopnia wyjściowego oraz rezystancji obciążenia stopnia pierwszego przesunęło zero występujące w zależności na współczynnik tłumienia zakłóceń od zasilania w stronę wyższych częstotliwości. Fakt ten powoduje poprawę współczynnika tłumienia zakłóceń pochodzących od zasilania, co znajduje swoje potwierdzenie w symulacjach. Wyniki symulacji współczynnika tłumienia zakłóceń od zasilania PSRR przedstawia rysunek 5.11d. Podsumowując symulacje zmiennoprądowe, najważniejsze parametry wzmacniacza, przy wybranych wartościach prądu wejściowego, zestawiono w tabeli 5.10. Wartości współczynnika PSRR w porównaniu do poprzedniej wersji wzmacniacza są

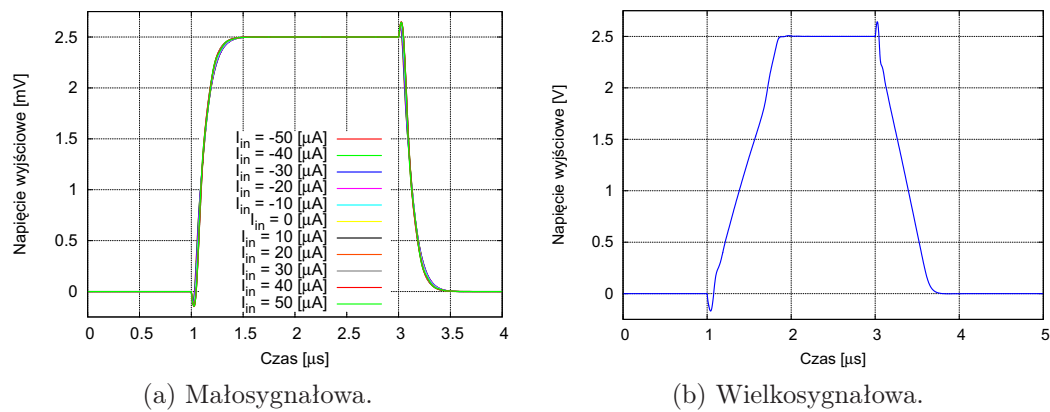
Tablica 5.10: Parametry poprawionej wersji wzmacniacza wyjściowego.

Parametr		$I_{in}[\mu A]$				
		-50	-30	0	30	50
Wzmocnienie [dB]		124.9	134.2	136.1	132.0	125.5
Margines fazy [°]		85.1	82.8	72.0	68.3	69.6
Pole wzmocnienia [MHz]		2.9	3.0	2.9	2.8	2.8
PSRR [dB]	0 [Hz]	-105.5	-93.1	-97.7	-82.6	-106.4
	1 [kHz]	-74.9	-74.9	-74.9	-74.8	-74.7
	10 [kHz]	-54.9	-54.9	-54.9	54.8	-54.7
	100 [kHz]	-34.9	-34.9	-34.9	-34.8	-34.7
	1 [MHz]	-15.4	-15.4	-15.2	-14.8	-14.8

o 15 dB większe, wzmocnienie o 20 dB, natomiast margines fazy jest nieco niższy, mimo tego wciąż gwarantujący stabilną pracę układu.

Symulacje czasowe.

Ostatnim ważnym parametrem wzmacniacza wyjściowego jest jego szybkość określona dla małych i dużych sygnałów, gdyż to wzmacniacz wyjściowy jest w wielu przypadkach układem limitującym czas ustalania się sygnału przetworników. Odpowiedź wzmacniacza na małosygnałowy skok napięcia powiązana jest ściśle z polem wzmocnienia, natomiast wielkosygnałowa limitowana jest przez *slew rate* wzmacniacza. Teoretyczna wartość SR równa jest (za równaniem (3.4.5)) stosunkowi prądu obciążenia do pojemności kompensującej. W przypadku omawianego wzmacniacza wartość ta powinna wynosić około $3.75 \text{ V}/\mu \text{ s}$. Wyniki symulacji czasowych przedstawia rysunek 5.12. W przypadku małosygnałowym odpowiedź wzmacniacza do 99% wartości wymuszenia trwa poniżej 500 ns, niezależnie od wartości prądu wejściowego wzmacniacza (w trybie transimpedancyjnym). Natomiast *slew rate* jest



Rysunek 5.12: Odpowiedzi czasowe wzmacniacza.

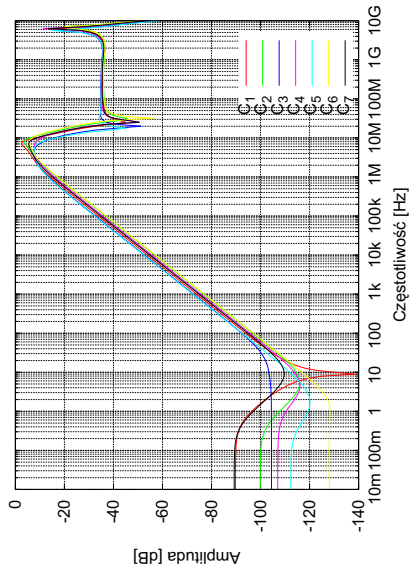
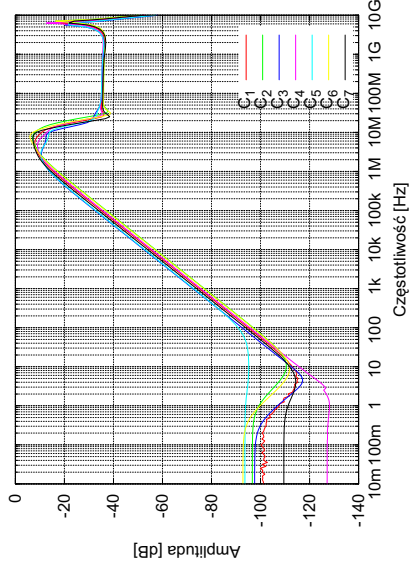
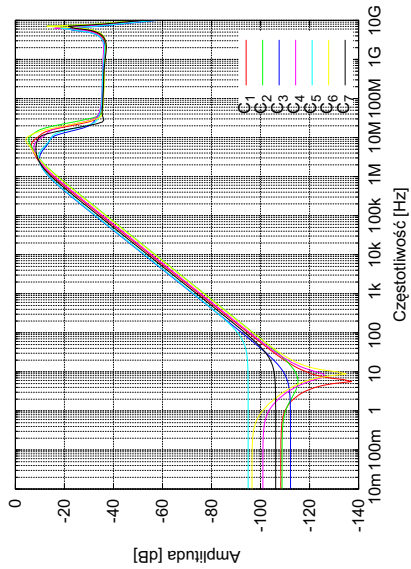
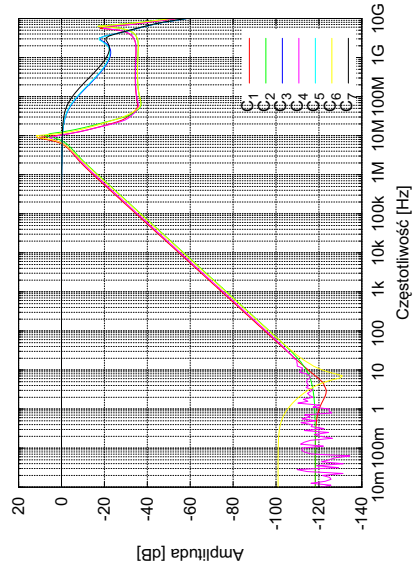
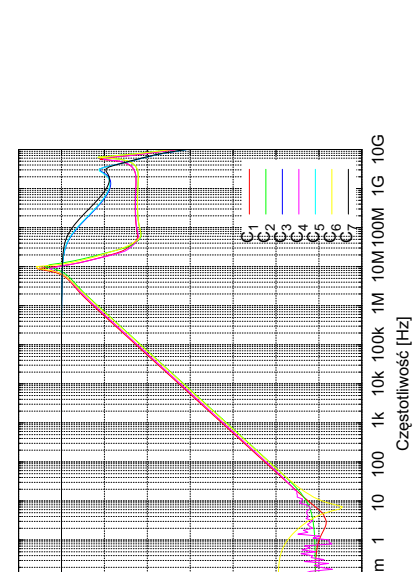
największy w przypadku „opadania” sygnału i wynosi $3.86 \text{ V}/\mu\text{s}$, natomiast podczas podnoszenia sygnału od 2.98 do $4.43 \text{ V}/\mu\text{s}$.

Symulacje najgorszych przypadków.

Z racji kompletnego przeprojektowania wyjściowego wzmacniacza operacyjnego, zbadano zachowanie się wzmacniacza w skrajnych przypadkach procesu technologicznego. Wyniki symulacji najgorszych przypadków przedstawia wzmocnienia i marginesu fazy przedstawia tabela 5.11. Ze względu na naturę symulacji najgorszych przypadków oraz wymuszenie stałym prądem z idealnego źródła prądowego, w przypadku prądu wejściowego $I_{in} = 50 \mu\text{A}$, przypadki *WS* wskazują na niepracujący układ, jednakże jak to wspomniano przy symulacjach poprzedniej wersji wzmacniacza, uwarunkowane jest to obniżeniem napięcia zasilania. Wyniki symulacji pokazują, iż margines fazy wzmacniacza nie spada poniżej 62° , natomiast wzmocnienie poniżej 88 [dB] . Przeprowadzone dodatkowo symulacje współczynnika PSRR pokazują, iż mimo różnych wartości PSRR dla bardzo niskich częstotliwości, w przedziale od 100 Hz do 1 MHz jego wartości są niezależne od procesu technologicznego (rysunek 5.13).

Symulacje Monte Carlo.

Symulacje Monte Carlo wejściowego napięcia niezrównoważenia wzmacniacza zaprezentowano na rysunku 5.14. Pomimo identycznej powierzchni tranzystorów tworzących wejściową parę różnicową oraz niewiele większej tranzystorów obciążenia pierwszego stopnia udało się uzyskać napięcie niezrównoważenia mniejsze o 27% w porównaniu do poprzedniej wersji wzmacniacza. Uwarunkowane jest to wprowadzeniem tranzystorów wejściowych w obszar pracy silnej inwersji.

(a) $I_{in} = 0 \mu A$,(b) $I_{in} = -25 \mu A$,(c) $I_{in} = -50 \mu A$,(d) $I_{in} = 25 \mu A$,(e) $I_{in} = 50 \mu A$,

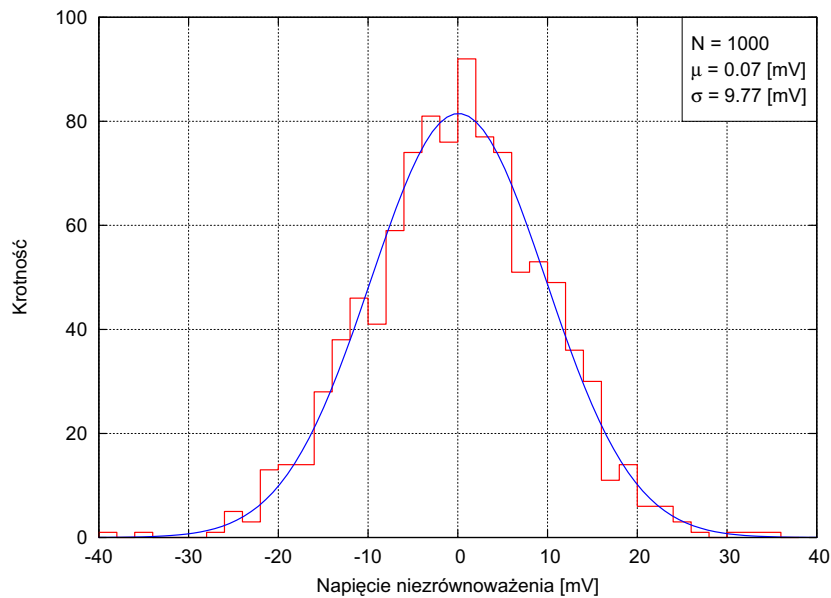
Rysunek 5.13: Symulacje najgorszych przypadków współczynnika PSRR poprawionej wersji wzmacniacza wyjściowego.

Tablica 5.11: Wzmocnienie oraz margines fazy poprawionej wersji wzmacniacza wyjściowego w symulacji najgorszych przypadków.

$I_{in} [\mu A]$	Przypadek	Wzmocnienie [dB]	Margines fazy [°]
-50	TM	124.9	85.1
	WP	128.0	83.6
	WS	94.2	83.0
	WOWP	128.2	85.3
	WOWS	88.1	84.7
	WZWP	132.9	82.0
	WZWS	77.9	84.0
-30	TM	134.3	82.8
	WP	130.6	80.7
	WS	133.6	82.6
	WOWP	130.9	82.4
	WOWS	120.5	84.8
	WZWP	136.6	78.6
	WZWS	123.3	83.6
0	TM	136.2	72.0
	WP	130.9	68.9
	WS	136.2	73.4
	WOWP	131.2	71.2
	WOWS	110.0	73.4
	WZWP	138.3	66.4
	WZWS	133.4	73.1
30	TM	132.1	68.3
	WP	127.6	65.7
	WS	126.8	69.0
	WOWP	127.0	67.0
	WOWS	93.0	62.7
	WZWP	136.0	62.8
	WZWS	126.9	68.7
50	TM	125.6	69.6
	WP	124.0	67.4
	WS	-46.2	–
	WOWP	122.9	68.1
	WOWS	-46.0	–
	WZWP	133.1	64.8
	WZWS	-52.1	–

5.4. Pełny blok przetwornika.

Ostatnim punktem optymalizacji przetwornika, było wyrównanie prądów generowanych przez źródła atrapy. Dokonano tego dodając dwa stopnie aktywnych kaskod na wyjściu źródeł atrapy znajdujących się w newralgicznych miejscach. Wyeliminowano w ten sposób systematyczny błąd dokładności przetwornika, wynikający z zastosowania źródeł atrapy. Informacje o stopniu dokładności drugiego prototypu



Rysunek 5.14: Wejściowe napięcie niezrównoważenia wzmacniacza wyjściowego.

wyciągnięto następnie z przeprowadzonych symulacji stałoprądowych oraz Monte Carlo.

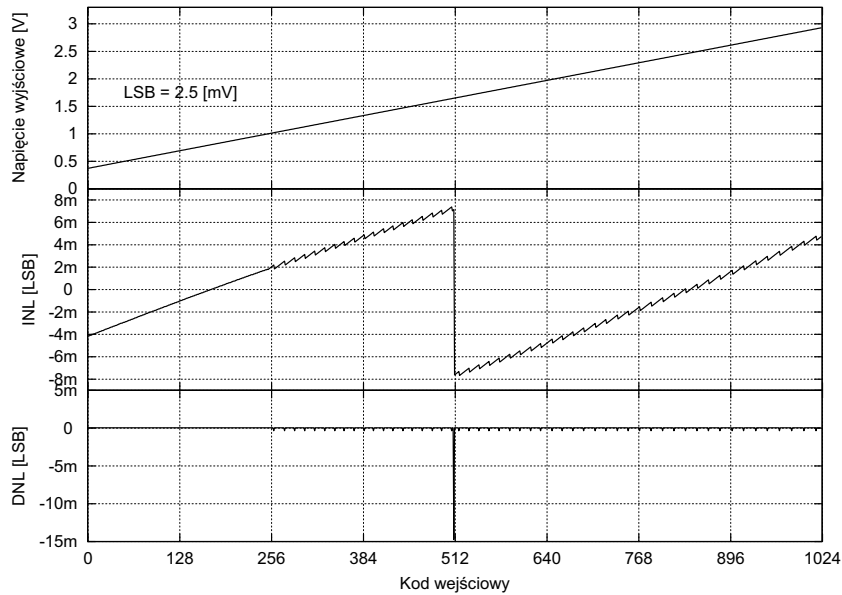
5.4.1. Wyniki symulacji.

Symulacje stałoprądowe.

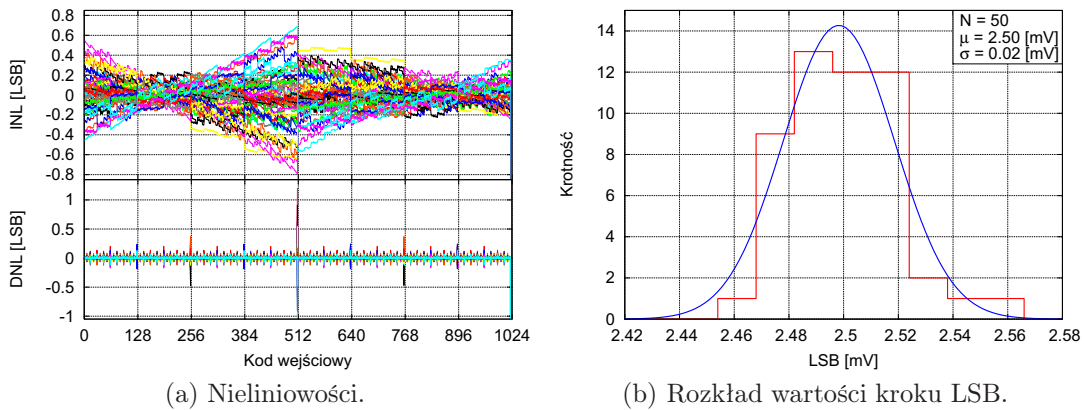
Symulacje pełnego bloku przetwornika przeprowadzono wykorzystując identyczny schemat jak w poprzednio prezentowanym projekcie (rys. 3.22). Wyniki symulacji stałoprądowej w postaci wyekstrahowanych nieliniowości przedstawia rysunek 5.15. Symulacje stałoprądowe nie uwzględniają rozrzutu parametrów spowodowanego niedopasowaniem elementów układu, zatem ich wynik przedstawia górną granicę dokładności przetwornika związaną z ograniczeniem architektury. Maksymalna efektywna liczba bitów obliczona przy użyciu formuły (2.1.3) wynosi 9.99986 bita. Zakres dynamiczny oraz krok przetwornika pozostały bez zmian. Moc pobierana przez układ nieco wzrosła o około $60 \mu W$, tj. do przedziału $513 - 687 \mu W$.

Symulacje Monte Carlo.

Analogicznie jak w przypadku pierwszego prototypu przeprowadzono symulacje Monte Carlo w liczbie 50 iteracji. Wyniki symulacji w postaci wykresu nieliniowości oraz rozrzutu kroku przetwornika przedstawia rysunek 5.16. Użycie rezystora referencyjnego o szerokości $2 \mu m$ zmniejszyło przewidywany rozrzut wartości kroku przetwornika z 0.03 do 0.02 mV (rys. 5.16b). Jak można było przewidzieć, zmniejszenie wymiarów tranzystorów budujących liniowe lustro prądowe spowodowało zwiększenie wartości nieliniowości całkowej. Przebieg nieliniowości różniczkowej w funkcji wejściowego kodu jest praktycznie identyczny jak w przypadku pierwszej



Rysunek 5.15: Nieliniowości drugiej wersji przetwornika.



Rysunek 5.16: Wyniki symulacji Monte Carlo drugiego prototypu.

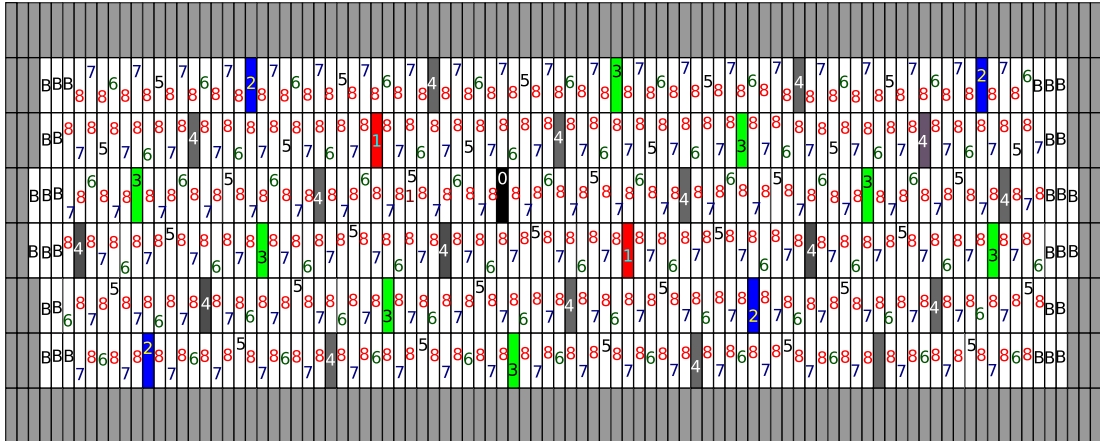
wersji układu. Jedynie przełączenie bitu MSB (przejście ze stanu 511 do 512) może objawić się wartością DNL w okolicach ± 1 LSB. Jednakże układ trymujący lustro pozwoli skorygować niedopasowanie prądu przez nie odbitego, a tym samym zmniejszyć wartości nieliniowości zarówno całkowitej jak i różniczkowej przetwornika.

5.5. Plan topologii masek.

Wyniki pomiarów pierwszego prototypu wskazały jednoznacznie na potrzebę wprowadzenia usprawnień planu masek układu scalonego. Wysokie wartości nieliniowości różniczkowej adresowane są do macierzy źródeł prądowych, dodatkowe zmiany w układach wzmacniaczy, liniowym lustrze prądowym czy źródłach dummy spowodowały zmianę koncepcji rozplanowania elementów na układzie scalonym.

5.5.1. Matryca źródeł prądowych.

Wyniki pomiarów liniowości wskazały niedostateczną jednorodność matrycy źródeł prądowych. W celu poprawy nieliniowości różniczkowej, w drugim prototypie zaprojektowano matrycę całkowicie jednorodną, wykorzystując wszystkie warstwy metali do wykonania połączeń. Dodatkowo zwiększono liczbę tranzystorów atrap po bokach matrycy i otoczoną ją szerszym pierścieniem ochronnym zbudowanym ze wszystkich warstw metali oraz warstwy dyfuzji. Schemat blokowy poprawionej matrycy przedstawia rysunek 5.17.



Rysunek 5.17: Schemat blokowy rozmieszczenia źródeł w matrycy, w drugim prototypie.

5.5.2. Sieć połączeń.

Sieć międzypołączeń doprowadzono do kluczy prądowych w sposób podobny do poprzedniego prototypu, jednakże wykonano ją nie nad „gołym” krzemem, lecz dyfuzją typu $n+$ zapewniającą lepszy potencjał studni, w której umieszczone są źródła prądowe oraz klucze. Dodatkowo każdą wolną przestrzeń zapełniono kontaktami i warstwami metalu w celu lepszego pokrycia układu i zmniejszenia rezystancji studni. operacja ta ułatwia odprowadzenie wszelkich zakłóceń pojawiających się w studni do zasilania.

5.5.3. Blok cyfrowy.

Klucze prądowe wykonano w postaci binarnej, jednakże zwiększono ich segmentację dbając jednocześnie o symetrię rozptyłu prądów w trakcie przełączania. Sterowanie kluczami odbywa się tak jak poprzednio z rejestru 11 bitowego zbudowanego na przerzutnikach typu D. W porównaniu do poprzedniej wersji układu blok cyfrowy otoczono podwójną warstwą pierścieni ochronnych o szerokości $3 \mu m$ każdy, w celu lepszej izolacji części analogowej od cyfrowej układu. Blok logiki

trzymującej liniowe lustro prądowe usytuowano obok rejestru, natomiast wszelkie sygnały cyfrowe poprowadzono warstwą metalu trzeciego ponad ekranem zbudowanym z warstwy metalu drugiego.

5.5.4. Pozostałe bloki funkcjonalne.

Układ polaryzujący wzmacniacze.

Aby zminimalizować liczbę wyprowadzeń na zewnątrz układu, zaprojektowano układ polaryzujący wzmacniacze w postaci luster prądowych o przełożeniu 50:1. Prąd wejściowy ustawiono na $25\mu A$, dwa odbite prądy o wartości $500nA$ kierowane są na wzmacniacze jednostopniowy pracujący w układzie liniowego lustra prądowego oraz źródeł atrapy. Wyjściowy wzmacniacz operacyjny polaryzowany jest z dwóch równolegle połączonych źródeł, czyli prądem o wartości $1\mu A$, natomiast wzmacniacze pracujące w układzie aktywnej kaskody polaryzowane są poprzez dodatkowe lustro prądowe zaprojektowane na tranzystorach komplementarnych o przełożeniu lustra 2:1, a więc prądem o wartości $250nA$.

Źródła atrapy zapewniające prąd aktywnym kaskodom.

Źródła atrapy wykonano stosując technikę wspólnego środka, dodając większą liczbę tranzystorów atrapy wokół matrycy oraz szerszy pas kontaktów do podłoża. Po bokach matrycy tranzystorów NMOS umieszczono dwa wzmacniacze jednostopniowe pracujące jako aktywne kaskody, mające na celu zniwelować efekt modulacji kanału źródeł, poprzez stabilizację potencjałów dren-źródło.

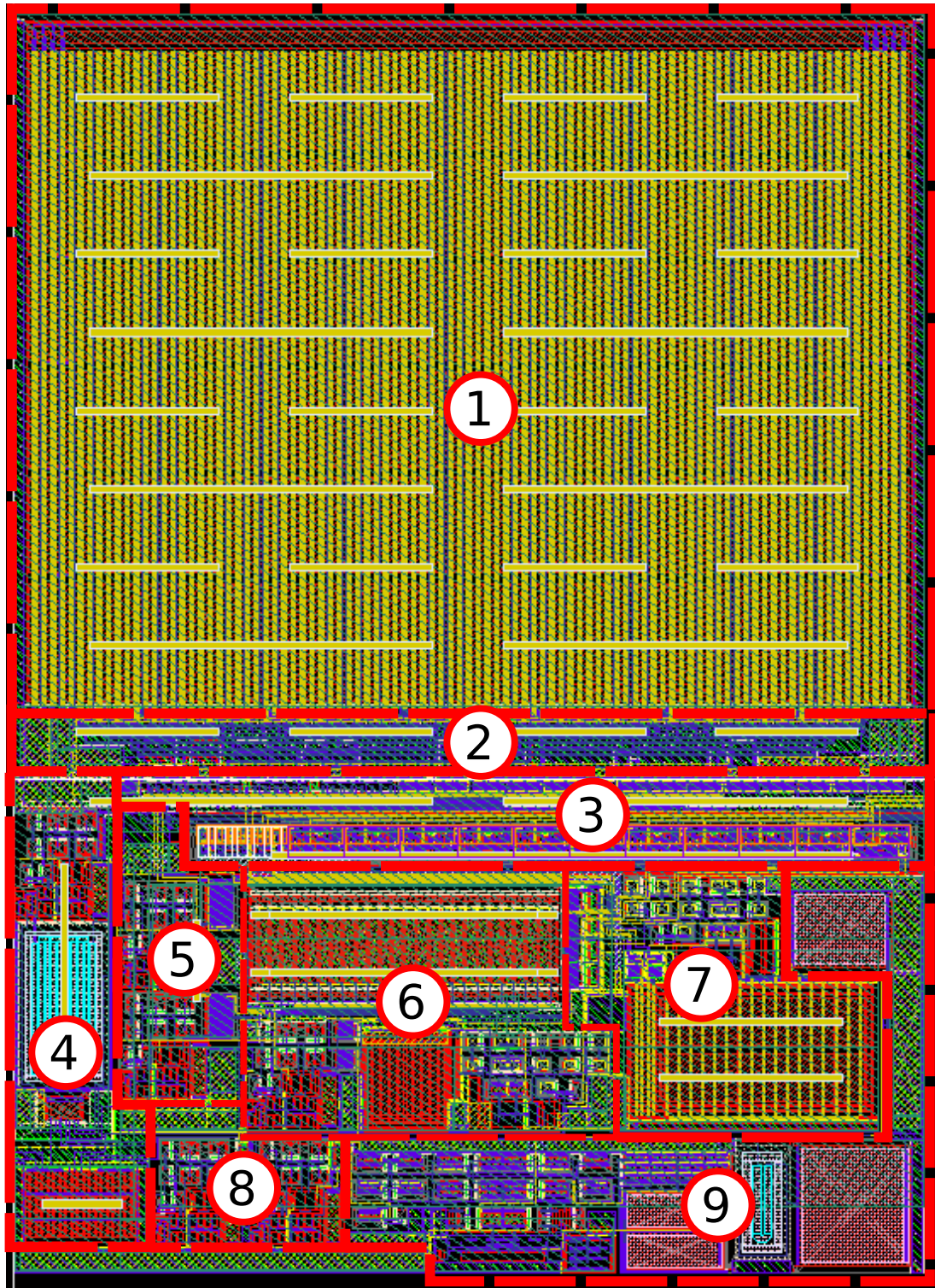
Liniowe lustro prądowe.

Liniowe lustro prądowe wykonano w postaci matrycy o wymiarach 2×16 , dodając obok po dwa tranzystory atrapy oraz źródła trzymujące lustro. Ponad lustrem umieszczono wzmacniacz stabilizujący pracę lustra oraz klucze sterujące źródłami trzymającymi.

Wyjściowy wzmacniacz operacyjny.

Plan topologii masek wyjściowego wzmacniacza starano się wykonać jak najbardziej symetrycznie, dodatkowo wyjściowy stopień wraz z tranzystorami polaryzującymi wykonano w postaci matrycy tranzystorów o wymiarach 3×4 , z czego jeden tranzystor był tranzystorem atrapy.

Plan masek pełnego przetwornika przedstawia rysunek 5.18. Wymiary układu przetwornika to odpowiednio $530\mu m$ na $385\mu m$, co daje 0.204 mm^2 powierzchni. Powierzchnia pełnego układu wzrosła ze względu na zastosowanie jednego więcej wzmacniacza różnicowego (w bloku źródeł atrapy), lecz również z powodu większej troski o jakość układu. Troska ta objawia się zwiększoną liczbą linii ekranujących wrażliwe węzły oraz odpowiedniej ilości kontaktów do podłoża. Najwyższą (czwartą)

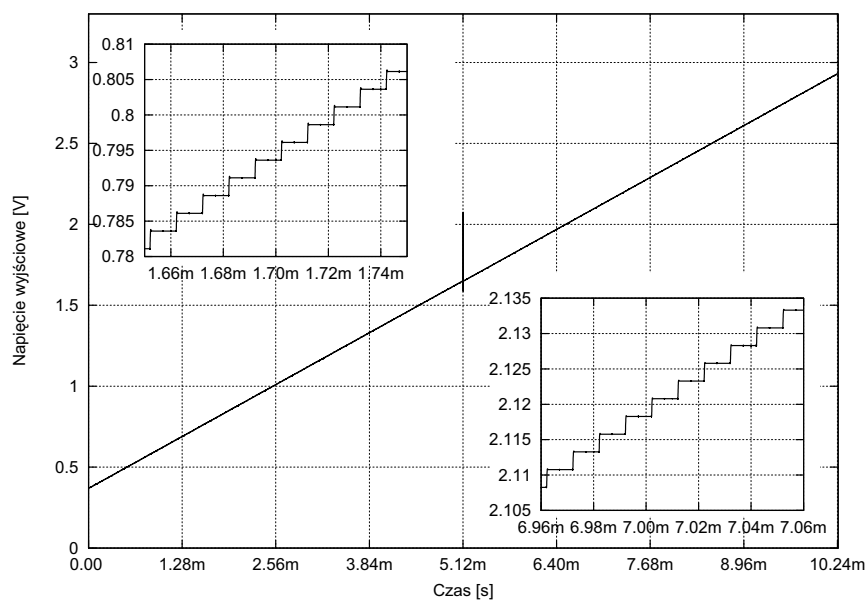


Rysunek 5.18: Plan masek drugiego prototypu przetwornika bez wyprowadzonych pól kontaktowych. (1) Matryca źródeł prądowych wraz z tranzystorami polaryzującymi. (2) Sieć połączeń. (3) Blok cyfrowy wraz z kluczami. (4) Układ polaryzujący. (5) Stopień aktywnych kaskod. (6) Źródła atrapy. (7) Liniowe lustro prądowe. (8) Stabilizacja potencjałów przy kluczu MSB. (9) Wyjściowy wzmacniacz operacyjny wraz ze sprzężeniem zwrotnym.

warstwą metalu poprowadzono szerokie ścieżki zasilania analogowego. Równomierne i gęste pokrycie matrycy źródeł prądowych ścieżkami metalicznymi oraz wysoka liczba pierścieni ochronnych oraz kontaktów do podłoża spowodowała, iż pokrycie metalami w przypadku metalu pierwszego, drugiego i czwartego spełnia reguły technologiczne (przynajmniej 30% pokrycia). W przypadku metalu trzeciego brakuje tylko 2.5 % do zadośćuczynienia tej regule.

5.6. Symulacje „postlayoutowe”.

Uprzednio przedstawiony plan topologii masek układu poddano procesowi ekstrakcji elementów pasożytniczych – rezystancji ścieżek oraz pojemności. Wyniki symulacji przedstawiono na rysunku 5.19. Porównując symulacje po wyekstrahowaniu



Rysunek 5.19: Wyniki symulacji drugiego prototypu po wyekstrahowaniu elementów pasożytniczych z planu masek układu scalonego.

elementów pasożytniczych obu przedstawionych prototypów, można łatwo zauważyć iż drugi prototyp nie cierpi na problem przesłuchów sygnału zegara na wyjście przetwornika. Fakt ten tłumaczony jest przez odpowiedni poziom ekranowania sygnałów cyfrowych od wszelkich węzłów analogowych.

Podsumowanie.

Celem niniejszej pracy było zaprojektowanie i wykonanie pomiarów przetwornika cyfrowo – analogowego, przeznaczonego do pracy w systemie odczytu detektora LumiCal, przy eksperymencie ILC. W pierwszej części pracy przedstawiono wstępne informacje o eksperymencie ILC, możliwej implementacji detektorów oraz o projekcie elektroniki odczytu detektora LumiCal. Następnie wprowadzono pojęcia charakteryzujące przetwornik cyfrowo – analogowy, omówiono najpopularniejsze architektury oraz efekty niedopasowania elementów układu scalonego. W głównej części pracy przedstawiono projekt 10 bitowego przetwornika cyfrowo–analogowego, a następnie przedyskutowano wyniki pomiarów pierwszego wyprodukowanego prototypu. Wnioski wyciągnięte z wyników pomiarów dały asumpt do optymalizacji układu, która została omówiona w ostatniej części pracy.

Dla pełnego i przejrzystego obrazu wartości merytorycznej niniejszej pracy należy szczegółowo przedyskutować postawione cele i uzyskane osiągnięcia. Przed przystąpieniem do projektu postawiono sobie następujące cele:

- zaprojektowanie przetwornika DAC o rozdzielczości 10 bitów,
- pobór mocy układu nie powinien przekraczać 1 mW,
- wyjściowe napięcie układu powinno zawierać się w przedziale przynajmniej od 0.4 do 2.8 V,
- układ powinien charakteryzować się bardzo małą powierzchnią.

Do osiągnięć pracy zaliczyć należy wykonanie projektu przetwornika, weryfikację układu poprzez pomiary wyprodukowanych prototypów oraz późniejsze udoskonalenie projektu. W ramach części projektowej pracy:

- dokonano wyboru architektury przetwornika. Architekturę tą wybrano na podstawie badań literaturowych, przedstawionych w rozdziale 2. Aby spełnić postawione przed układem wymagania, zaproponowano architekturę opartą o skalowane źródła prądowe z modyfikacją pozwalającą uzyskać mniejszą powierzchnię i wysoki zakres dynamiczny napięcia wyjściowego.
- zaprojektowano trzy typy wzmacniaczy operacyjnych użytych w układzie przetwornika. Dwa typy wzmacniaczy jednostopniowych wyeliminowały systematyczne błędy wartości prądu generowanego w układzie, związane ze zmianami na-

pięcia dren–źródło tranzystorów. Natomiast wyjściowy stopień wymagał wzmacniacza operacyjnego pracującego w klasie AB.

- zaprojektowano pełny układ przetwornika, zawierający wszystkie niezbędne bloki funkcjonalne – matrycę źródeł prądowych, wzmacniacze, liniowe lustro prądowe oraz blok cyfrowy.
- dokonano symulacji poszczególnych bloków funkcjonalnych jak i pełnego układu przetwornika. Przeprowadzono różne typy symulacji mających na celu zbadanie stabilności układu, liniowości, odporności na rozrzuty parametrów technologicznych, bądź wpływu statystycznych efektów niedopasowania elementów układu scalonego.
- wykonano plan topologii masek układu scalonego. W pierwszej kolejności wykonano plan masek wzmacniaczy, następnie matrycę źródeł prądowych. Ostatnim krokiem było rozplanowanie rozmieszczenia poszczególnych bloków funkcjonalnych i złożenie układu scalonego w całości.

Następnym osiągnięciem pracy była weryfikacja projektu poprzez przeprowadzenie pomiarów parametrów wyprodukowanych prototypów. W ramach tej części pracy:

- wykonano pomiary stałoprądowe przetwornika i wyznaczono liniowość układu. W trakcie pomiarów stałoprądowych wyznaczonymi parametrami układu były: zakres dynamiczny napięcia wyjściowego, wartość kroku przetwornika (LSB) oraz wartości nieliniowości całkowitej oraz różniczkowej.
- wykonano pomiary pobieranej mocy w funkcji wartości wejściowego kodu cyfrowego. Wyniki pomiarów mocy rozpraszanej przez układ okazały się zgodne z symulacjami.
- wykonano pomiary w dziedzinie czasu pozwalające określić szybkość układu.

Wyniki pomiarów pokazały, iż układ przetwornika jest w pełni funkcjonalny i spełnia większość założeń. Powierzchnia układu nie przekracza 0.18 mm^2 , pobór mocy zawiera się w przedziale od 0.45 do 0.6 mW , zaś zakres dynamiczny sygnału wyjściowego wynosi 2.7 V . Nieliniowość całkowita i różniczkowa zawiera się zwykle w przedziale $\pm 0.6 \text{ LSB}$, co jest wynikiem satysfakcjonującym. W przypadku nieliniowości różniczkowej, dla niektórych badanych układów występuje po kilka stanów (na 1023 możliwe) o DNL w okolicy 1 LSB. Pod koniec rozdziału czwartego dokonano porównania przedstawionego w niniejszej pracy układu z kilkoma projektami przetworników o niskim poborze mocy, opublikowanych w renomowanych czasopismach naukowych. Należy podkreślić, iż już na obecnym etapie rozwoju, prezentowany projekt wykazuje bardzo dobre parametry. Bardzo trudno jest odnaleźć w literaturze projekty o poborze mocy poniżej 1 mW , natomiast do rzadkości zaliczyć należy układy o wyjściowym zakresie dynamicznym zbliżonym do wartości napięcia zasilania. Zaproponowana w opisywanym projekcie architektura wymaga prawie czterokrotnie mniejszej powierzchni matrycy źródeł prądowych niż standardowe

układy przetworników opartych o skalowane źródła prądowe. Dodatkowo, użyte w projekcie rozwiązania mogą być interesujące dla projektantów przetworników dynamicznych, ze względu na eliminację problemu szpilek prądowych powstających podczas przełączania stanów przetwornika.

Analiza wyników pomiarów dała impuls do optymalizacji układu. W rozdziale piątym przedstawiono proces optymalizacji projektu. W ramach tej części pracy poprawiono projekty wzmacniaczy oraz plan topologii masek układu scalonego. Poprawiony projekt jest gotowy i czeka na wysłanie go do produkcji.

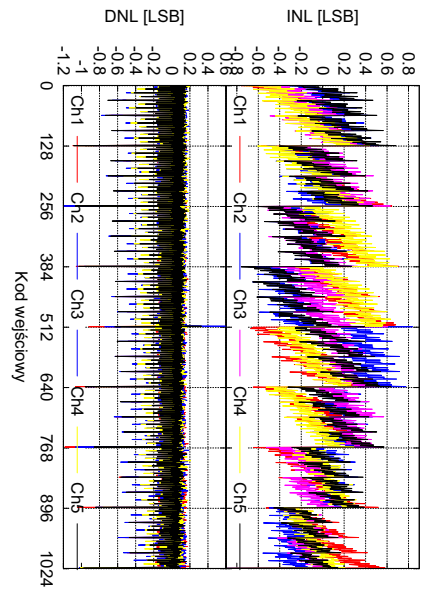
Dla uwypuklenia wartości merytorycznej prezentowanej pracy należy dodać, że wyniki uzyskane w pracy zostały osobiście zaprezentowane przez autora na 16 międzynarodowej konferencji *Mixed Design Circuits and Systems* (oral session) [45]. Materiał konferencyjny jest dostępny w międzynarodowej bazie IEEE Explore. Świadectwem zaangażowania i osiągnięć autora jest także jego udział w publikacji w czasopiśmie *Nuclear Instruments and Methods A* [46] i materiałach konferencyjnych [47] poświęconych elektronice odczytu dla detektora LumiCal.

Dodatek A

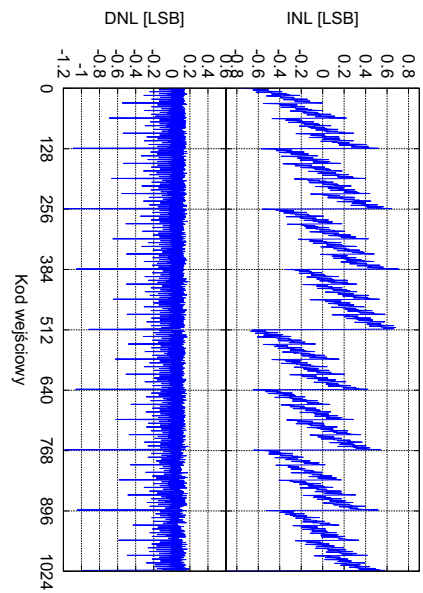
Wyniki pomiarów wszystkich prototypów.

W niniejszym dodatku umieszczono wykresy nieliniowości całkowitej (INL) oraz różniczkowej (DNL) wszystkich przebadanych układów przy trzech wartościach napięcia referencyjnego V_{ref} , równych 1.2, 1.35 oraz 1.5 V (rysunki A.1 – A.15). Parametry statyczne wyekstrahowane z pomiarów zestawiono w tabelach A.1 (krok przetwornika LSB, zakres dynamiczny FSR) oraz A.2 (maksymalne wartości nieliniowości). Dodatek ów kończy się wykresami przedstawiającymi rozkłady wyekstrahowanych parametrów przebadanych układów (rysunki A.16 – A.18)

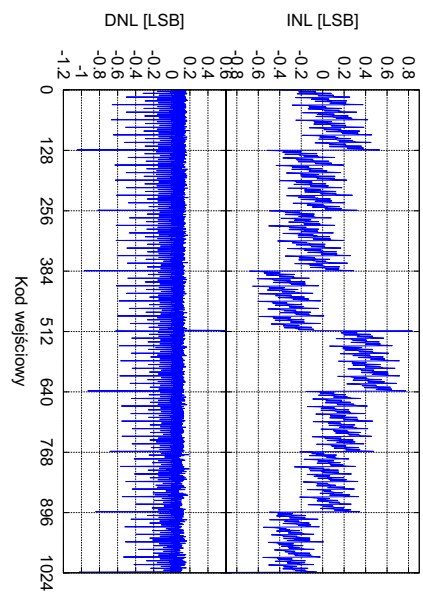
Spośród trzech wartości napięć referencyjnych, parametry najbardziej zbliżone do zakładanych są dla napięcia $V_{ref} = 1.35V$. Zatem podsumowanie wyników pomiarów należy odnieść do tej właśnie wartości. Średnie wartości parametrów oszacowano poprzez dopasowanie rozkładu studenta do histogramów mierzonych parametrów. Z faktu niskiej statystyki oraz pominięcia efektów związanych z położeniem układów na waflu krzemowym, tj. gradientu grubości tlenku bramkowego bądź domieszko- wania krzemu, zdarzają się przypadki istotnie odległe od estymowanego rozkładu. Średnia wartość kroku LSB przetworników wynosi $\overline{LSB} = 2.63 \pm 0.03 \text{ mV}$, średni zakres dynamiczny $\overline{FSR} = 2.67 \pm 0.08 \text{ V}$. Wartości nieliniowości przebadanych układów, zarówno całkowitej jak i różniczkowej, zawierają się dla większości wejścio- wych kodów w przedziale $\pm 0.6 \text{ LSB}$. Zdarzają się jednak kody, podczas przełączania 7 i 8 bitu (kilka stanów spośród ponad tysiąca), dla których wartości nieliniowości różniczkowej są większe. Spośród przebadanych DAC'ów, najlepszymi parametrami wykazują się przetworniki znajdujące się na trzecim, najgorszymi zaś na piątym układzie.



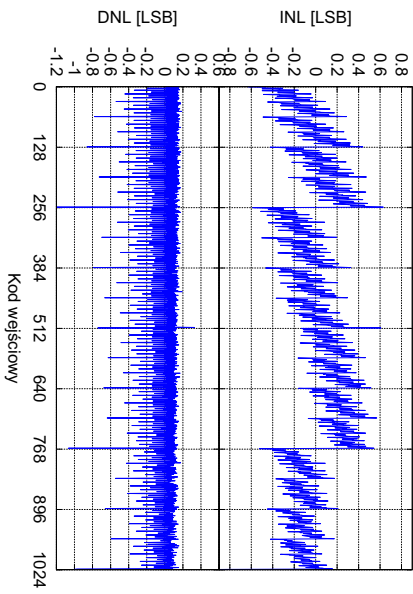
(a) Wszystkie kanały.



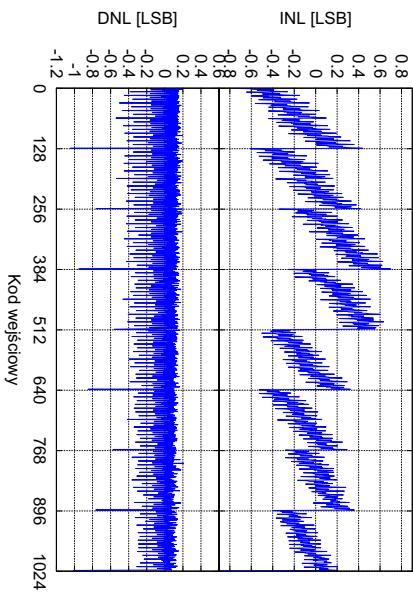
(b) Kanał nr 1.



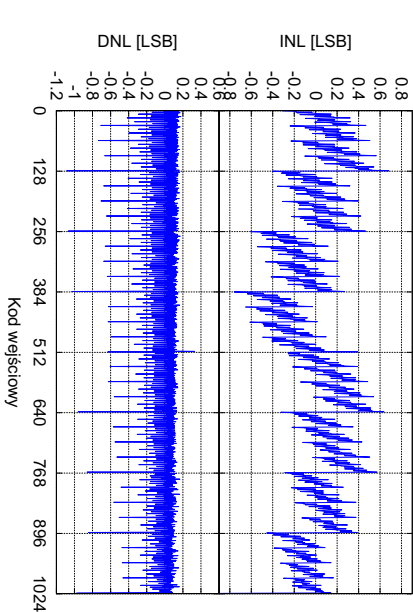
(c) Kanał nr 2.



(d) Kanał nr 3.

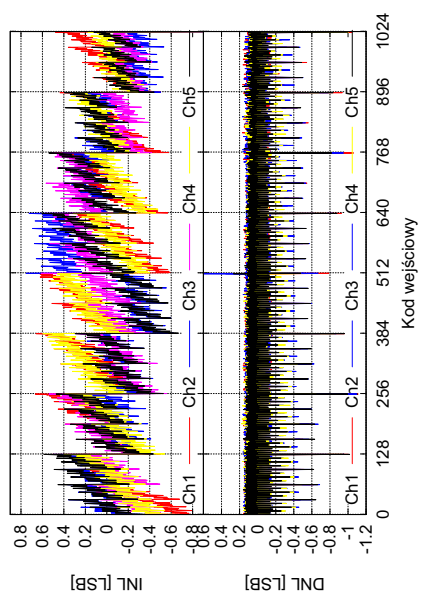


(e) Kanał nr 4.

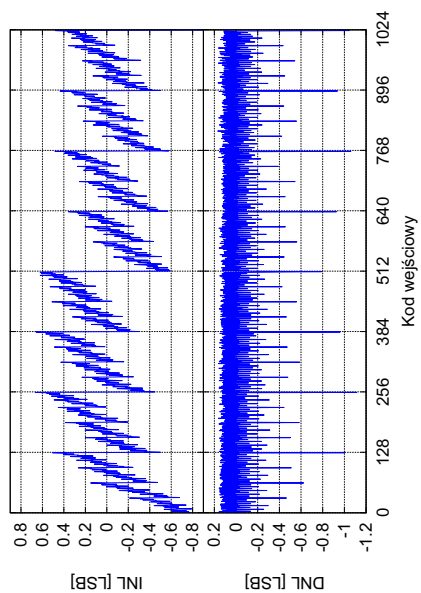


(f) Kanał nr 5.

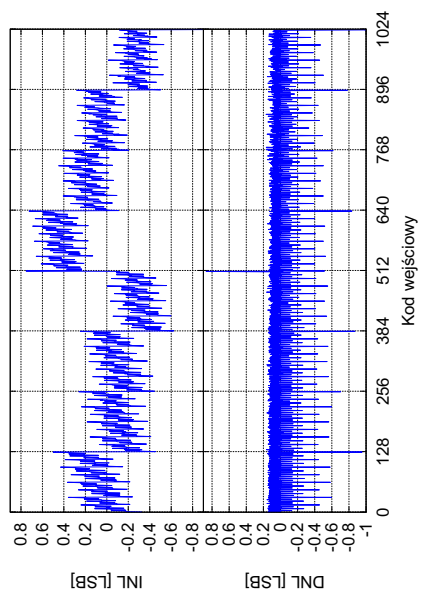
Rysunek A.1: Nieliniowości pierwszego układu dla $V_{ref} = 1.2V$.



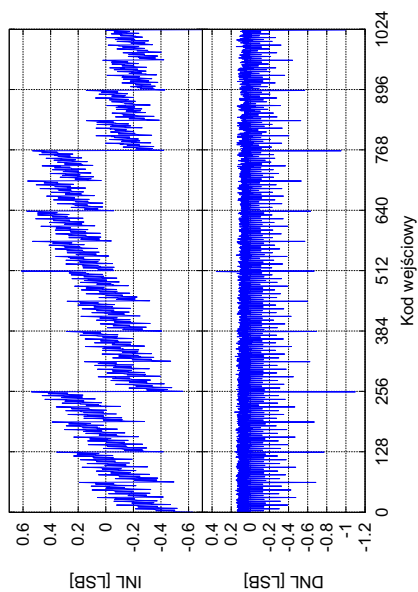
(a) Wszystkie kanały.



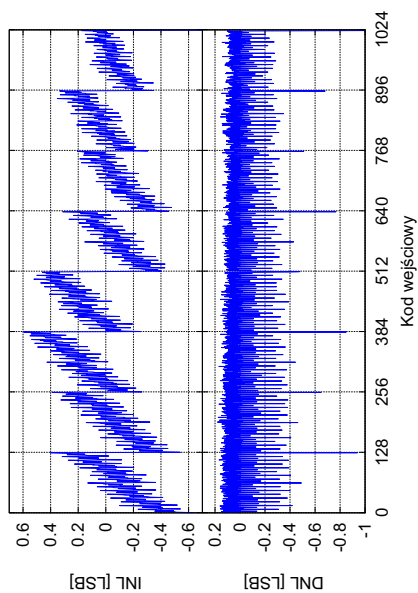
(b) Kanał nr 1.



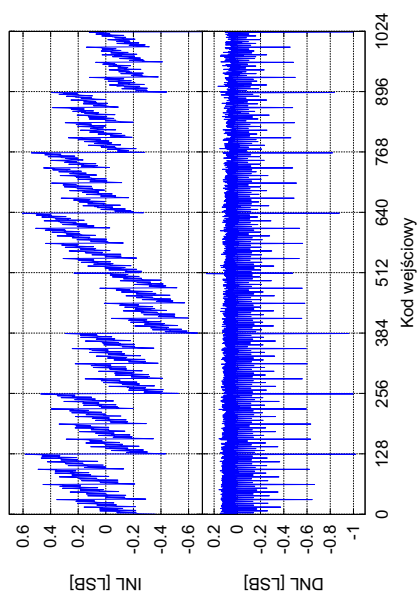
(c) Kanał nr 2.



(d) Kanał nr 3.

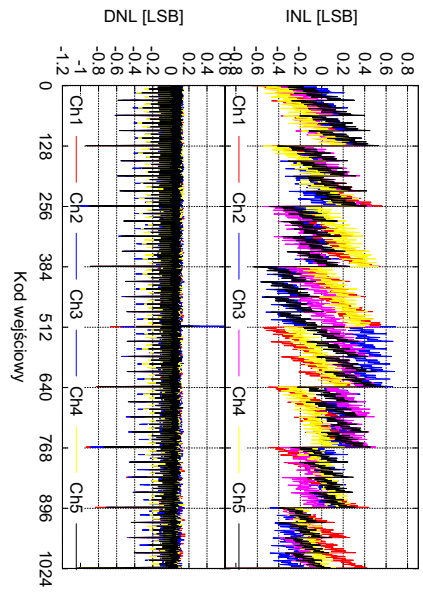


(e) Kanał nr 4.

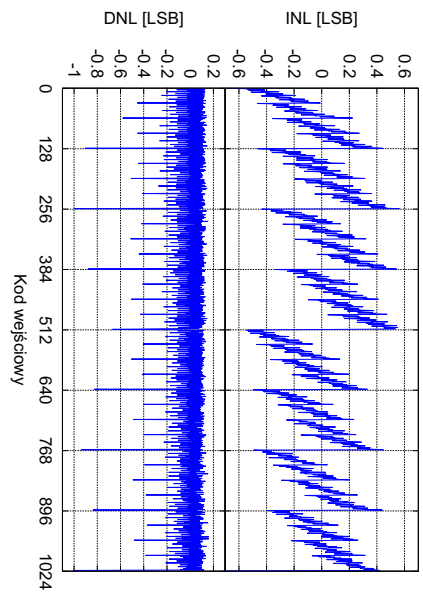


(f) Kanał nr 5.

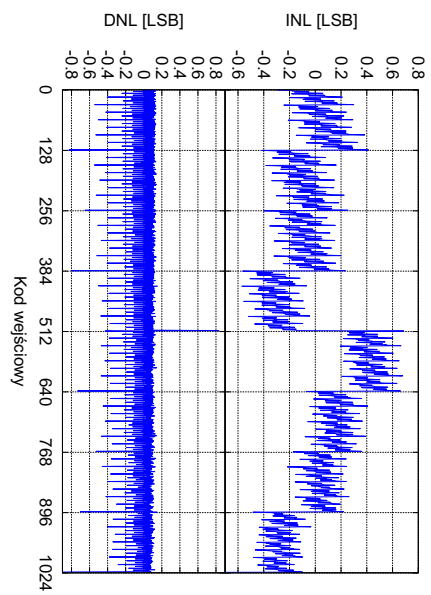
Rysunek A.2: Nieliniowości pierwszego układu dla $V_{ref} = 1.35V$.



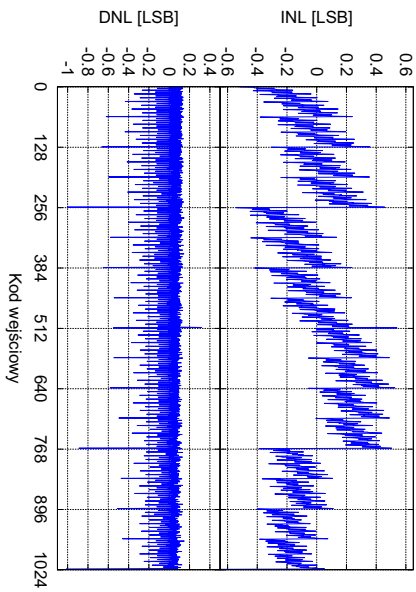
(a) Wszystkie kanały.



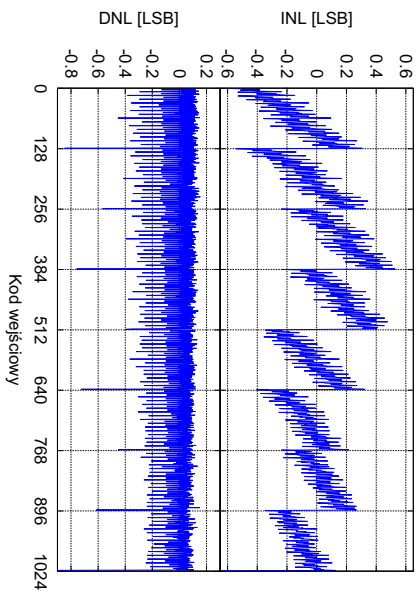
(b) Kanał nr 1.



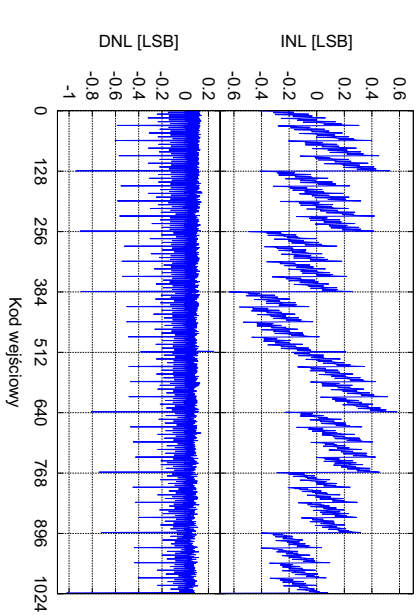
(c) Kanał nr 2.



(d) Kanał nr 3.

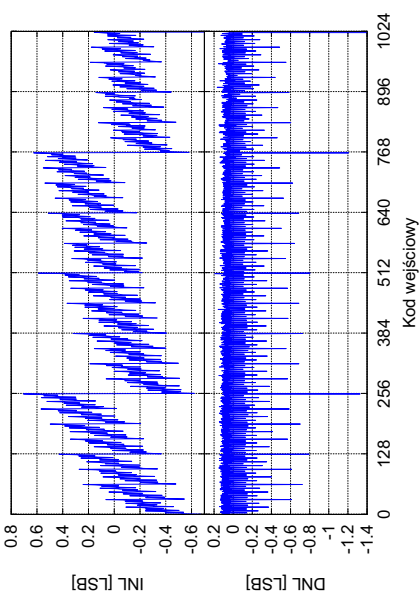
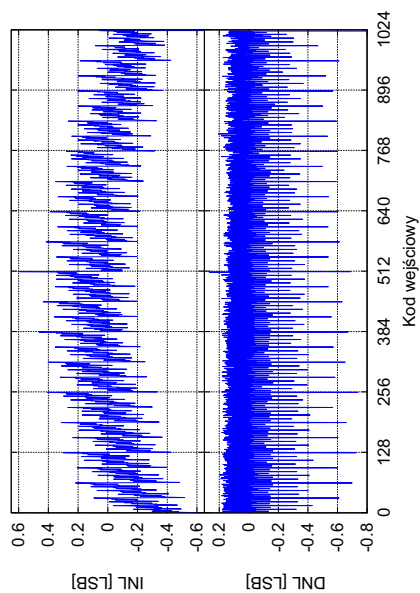
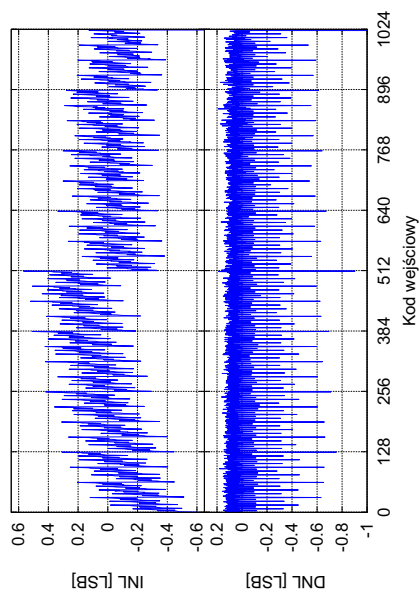
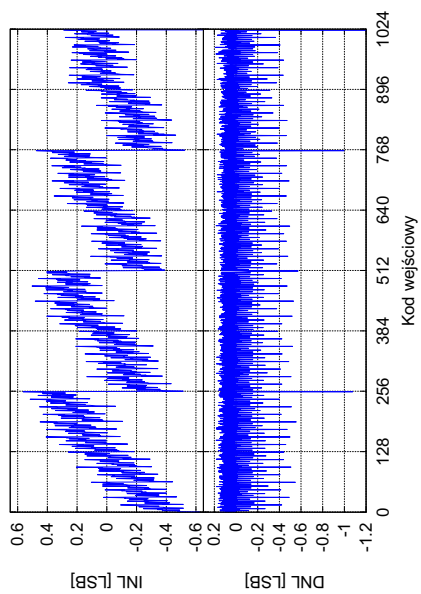
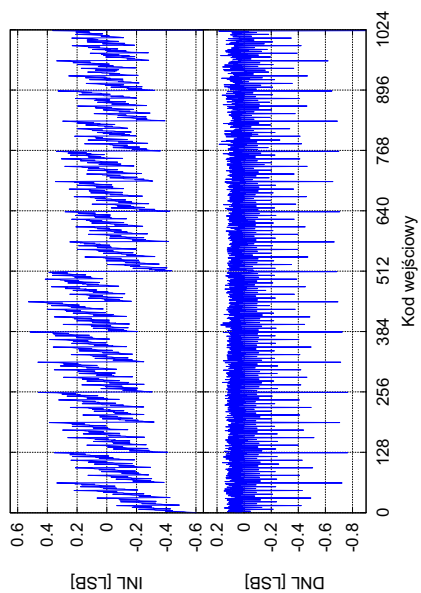
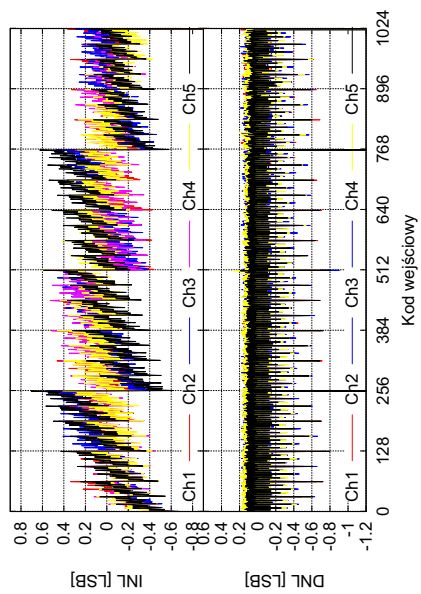


(e) Kanał nr 4.

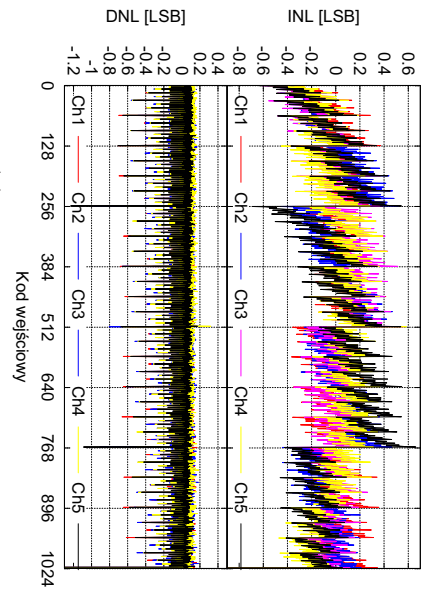


(f) Kanał nr 5.

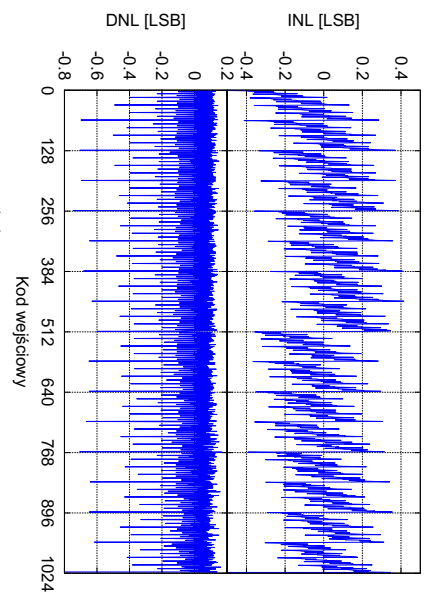
Rysunek A.3: Nieliniowości pierwszego układu dla $V_{ref} = 1.5V$.



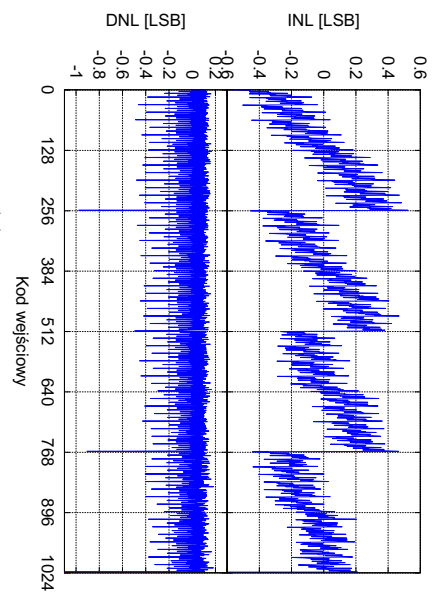
Rysunek A.4: Nieliniowości drugiego układu dla $V_{ref} = 1.2V$.



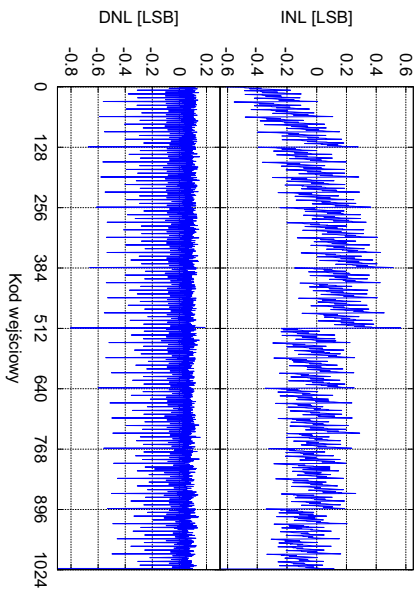
(a) Wszystkie kanały.



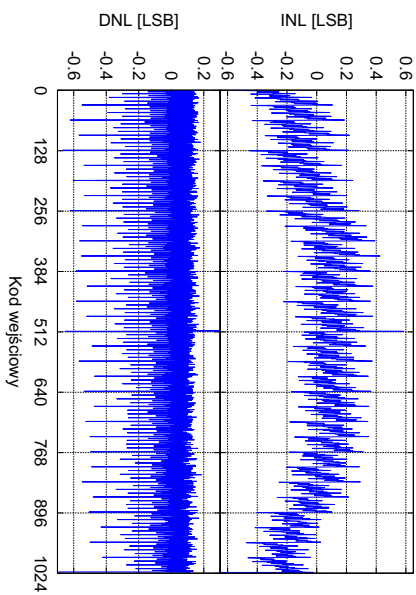
(b) Kanał nr 1.



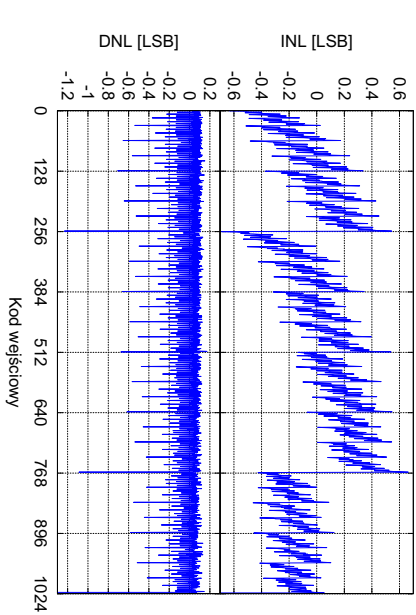
(c) Kanał nr 2.



(d) Kanał nr 3.

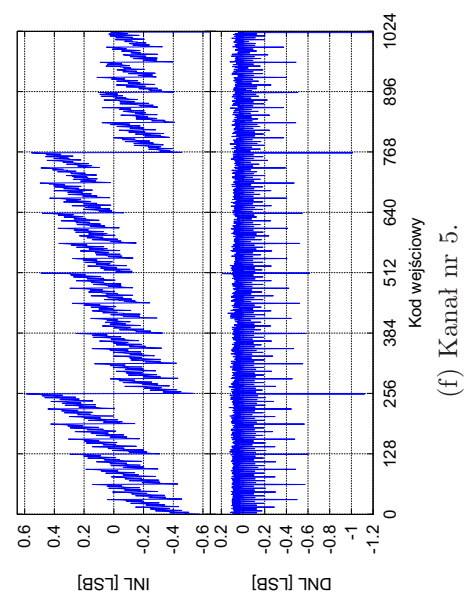
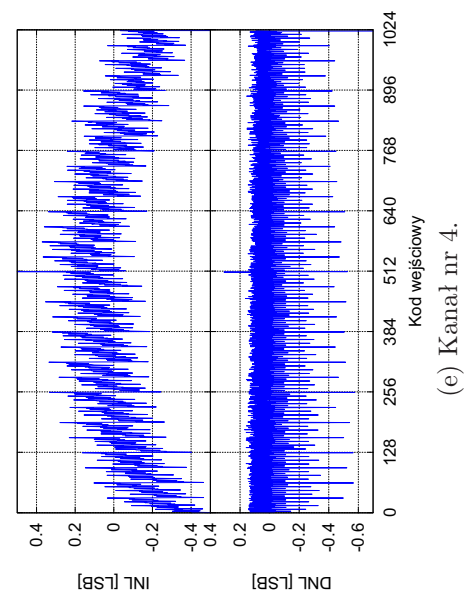
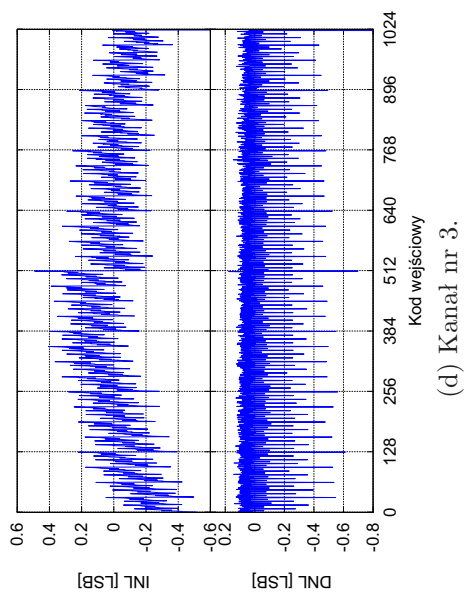
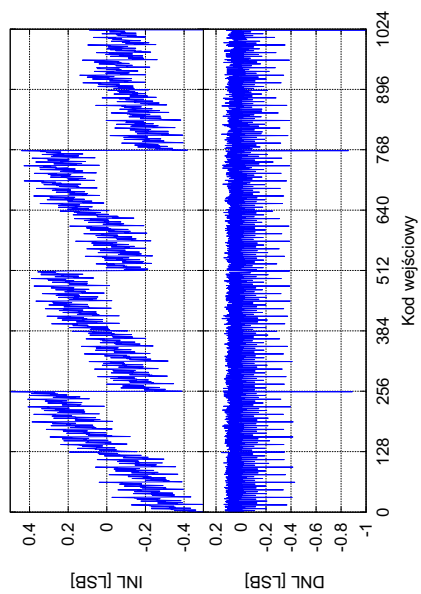
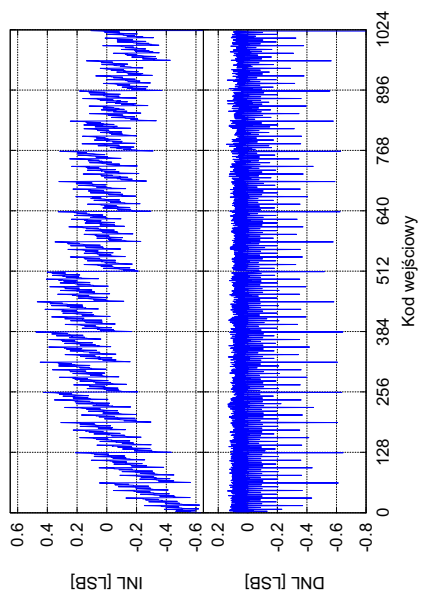
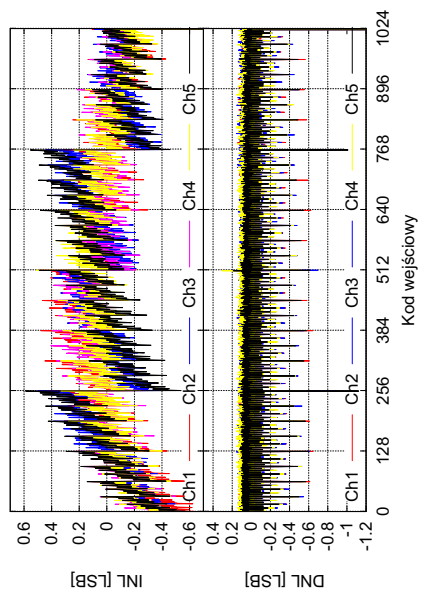


(e) Kanał nr 4.

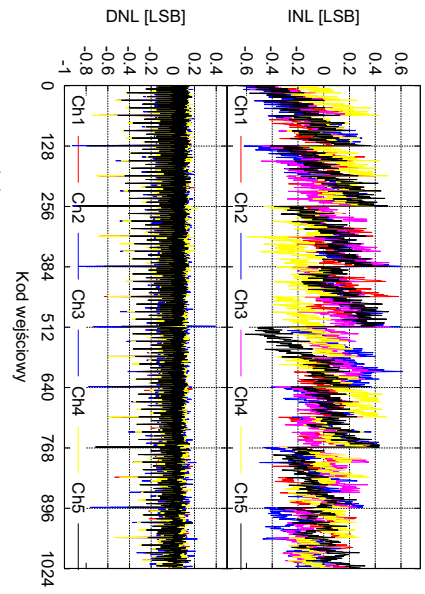


(f) Kanał nr 5.

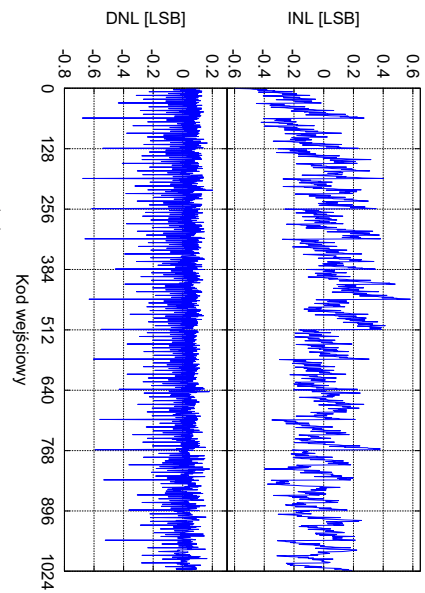
Rysunek A.5: Nieliniowości drugiego układu dla $V_{ref} = 1.35V$.



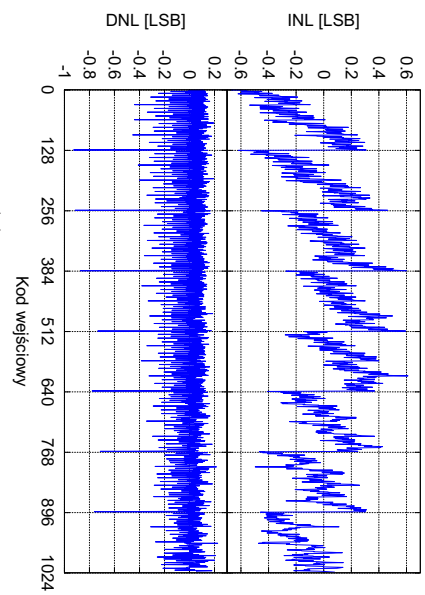
Rysunek A.6: Nieliniowości drugiego układu dla $V_{ref} = 1.5V$.



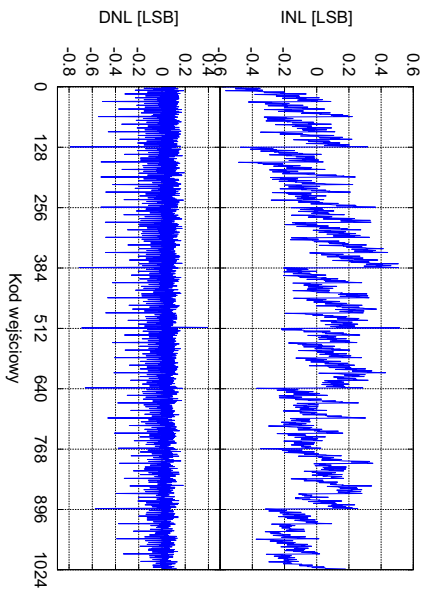
(a) Wszystkie kanały.



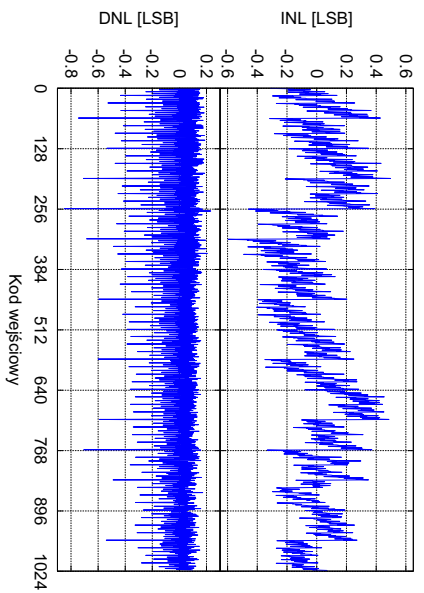
(b) Kanał nr 1.



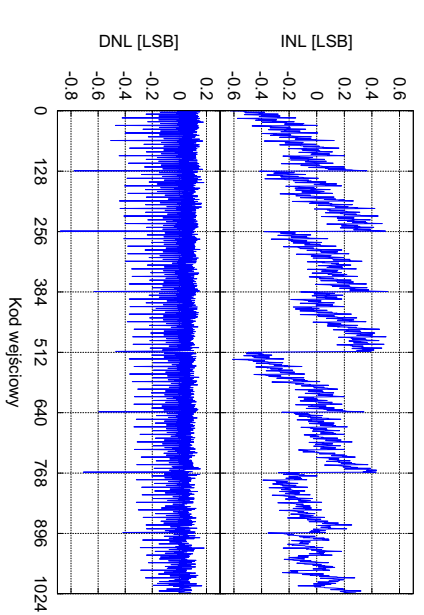
(c) Kanał nr 2.



(d) Kanał nr 3.

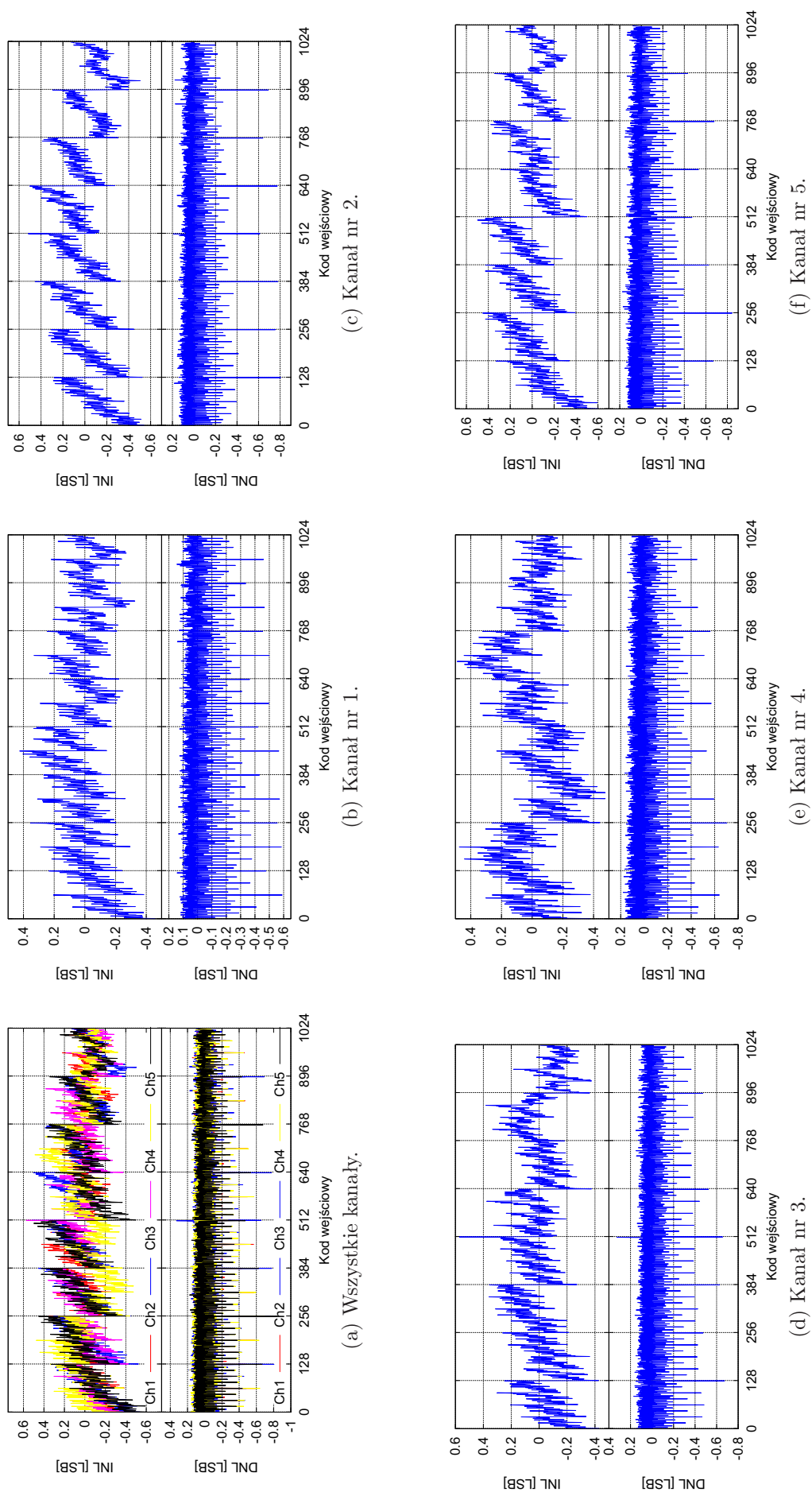


(e) Kanał nr 4.

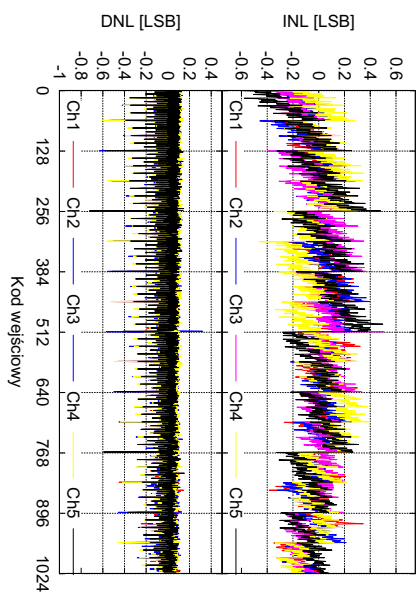


(f) Kanał nr 5.

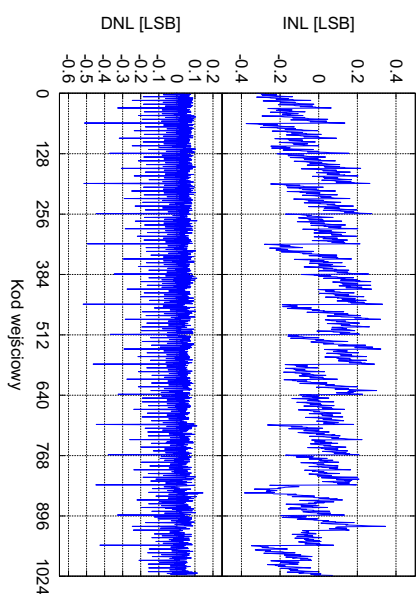
Rysunek A.7: Nieliniowości trzeciego układu dla $V_{ref} = 1.2V$.



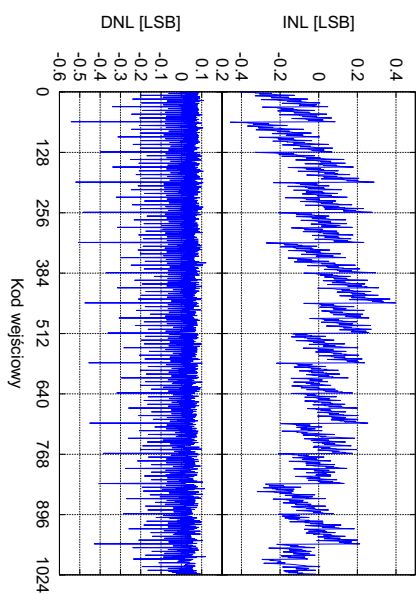
Rysunek A.8: Nieliniowości trzeciego układu dla $V_{ref} = 1.35V$.



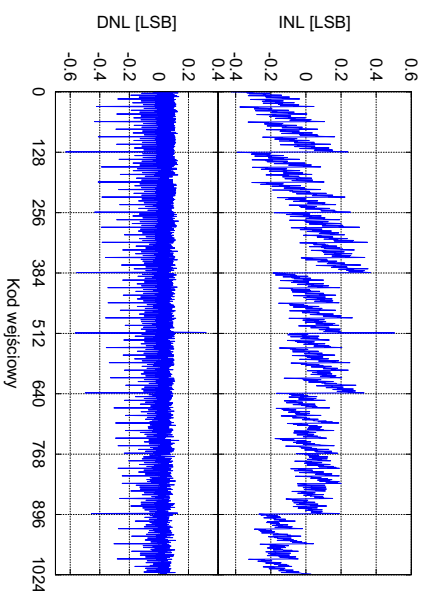
(a) Wszystkie kanały.



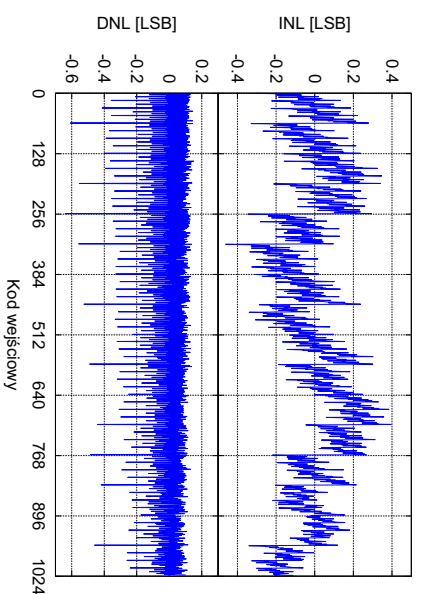
(b) Kanał nr 1.



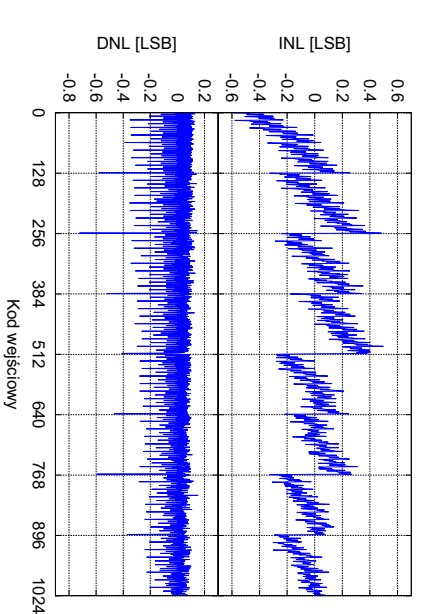
(c) Kanał nr 2.



(d) Kanał nr 3.

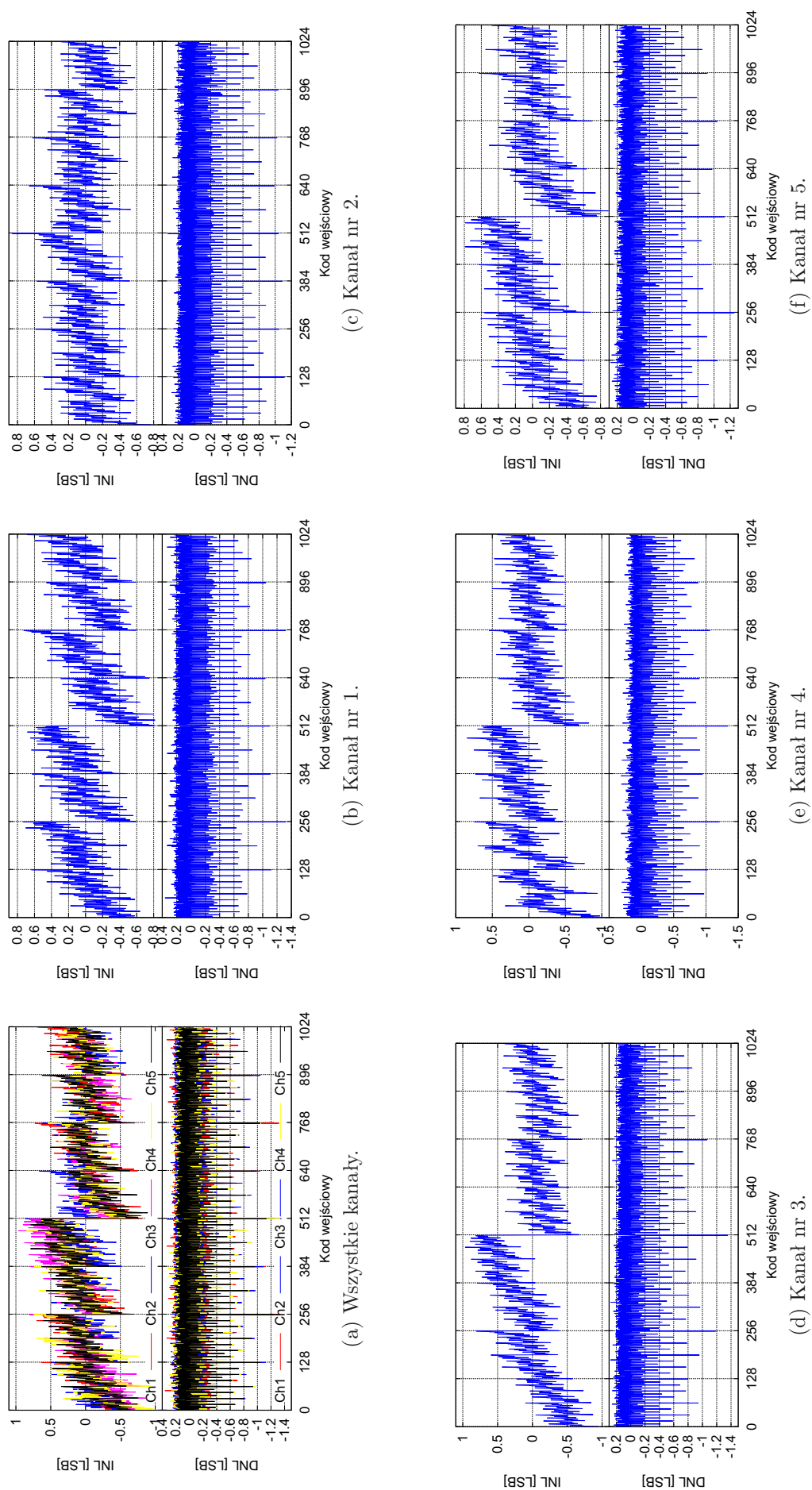


(e) Kanał nr 4.

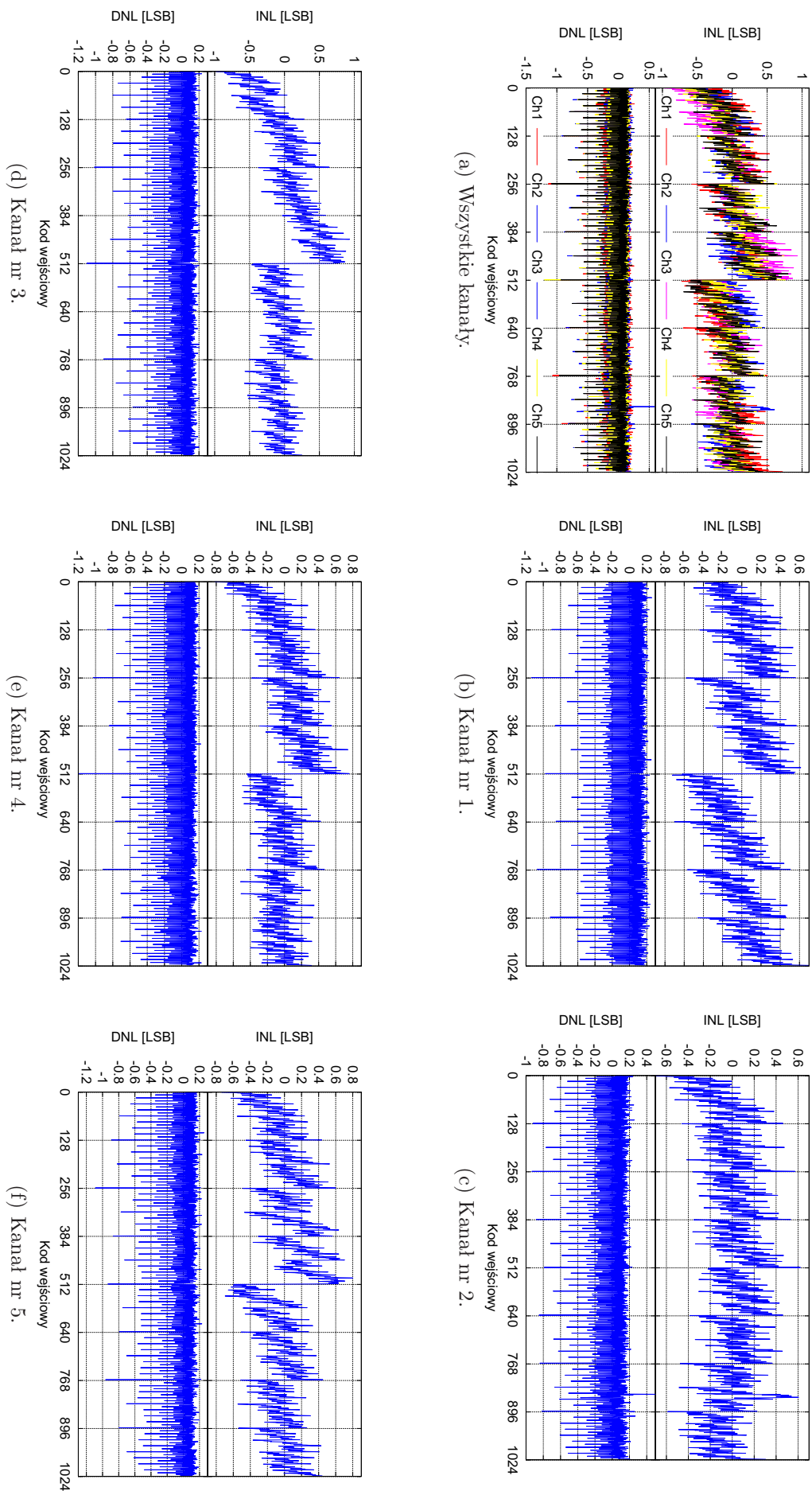


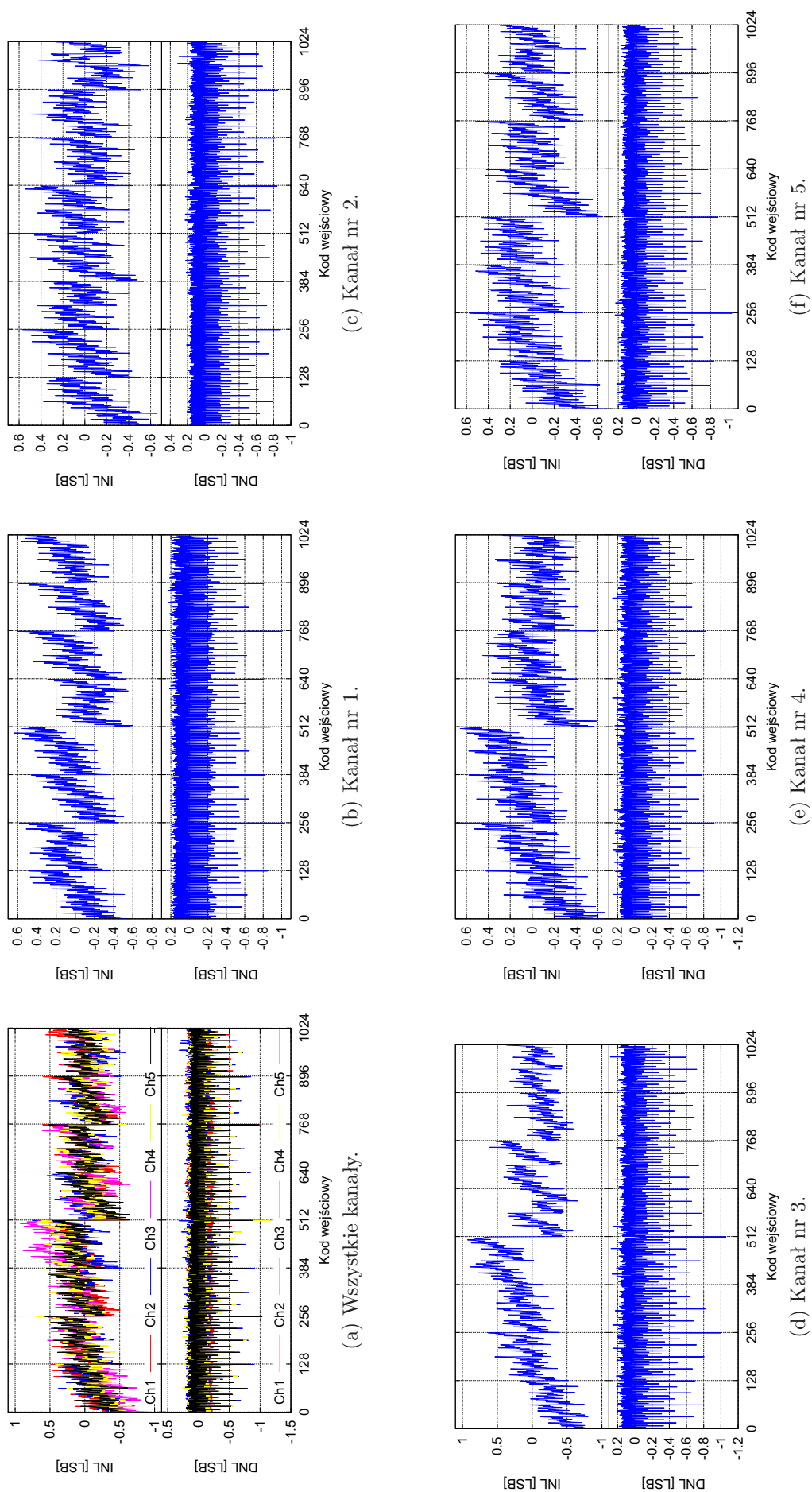
(f) Kanał nr 5.

Rysunek A.9: Nieliniowości trzeciego układu dla $V_{ref} = 1.5V$.

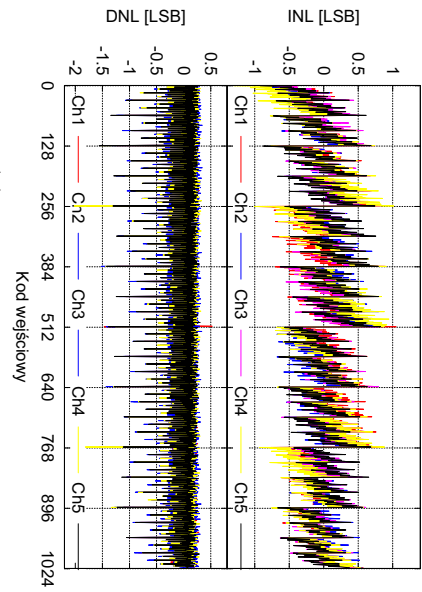


Rysunek A.10: Nieliniowości czwartego układu dla $V_{ref} = 1.2V$.

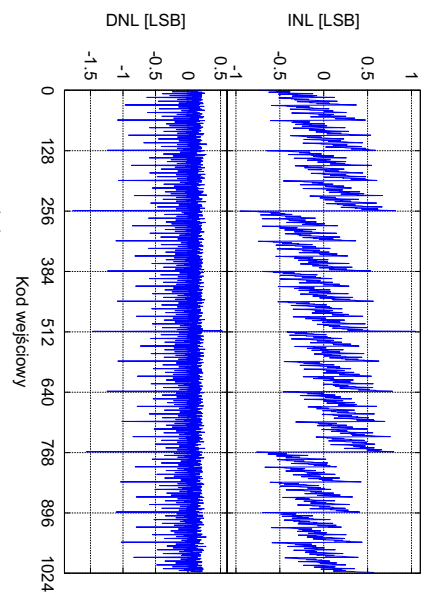
Rysunek A.11: Nieliniowości czwartego układu dla $V_{ref} = 1.35V$.



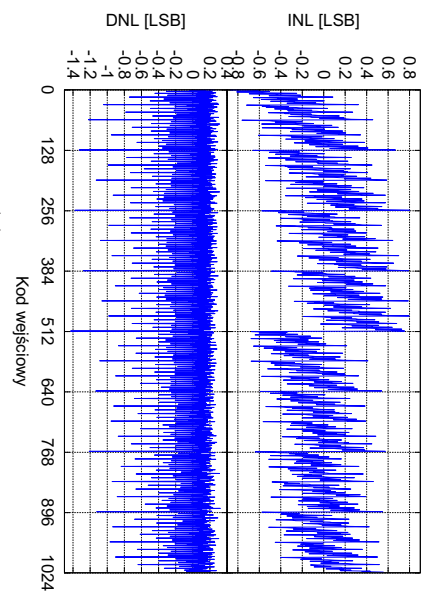
Rysunek A.12: Nieliniowości czwartego układu dla $V_{ref} = 1.5V$.



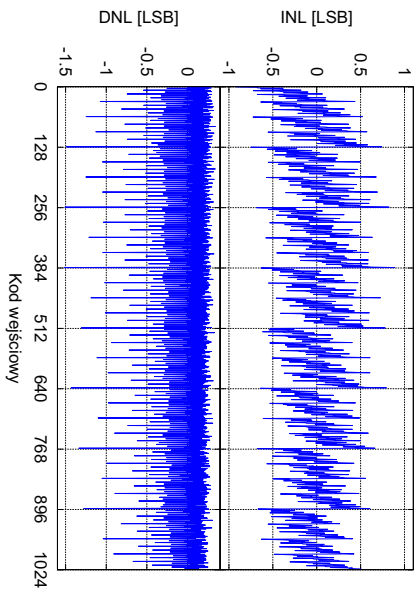
(a) Wszystkie kanały.



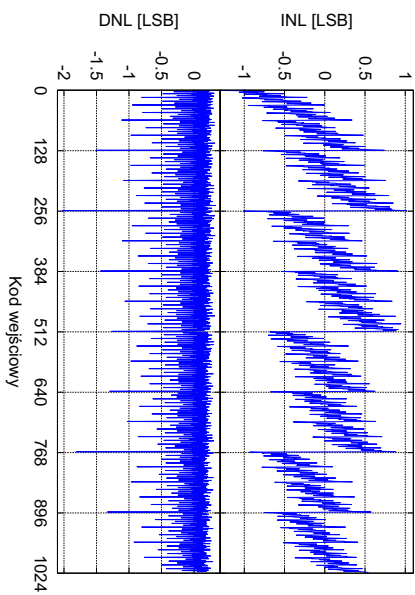
(b) Kanał nr 1.



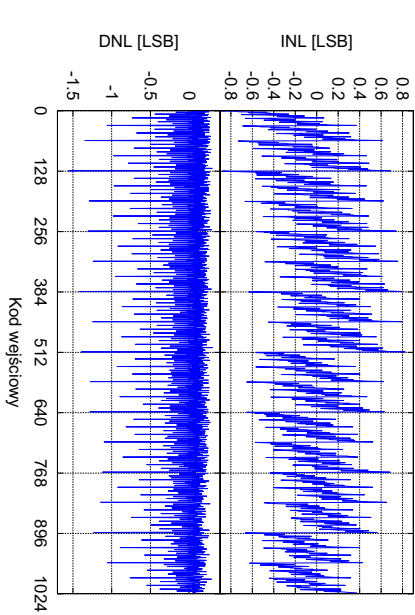
(c) Kanał nr 2.



(d) Kanał nr 3.

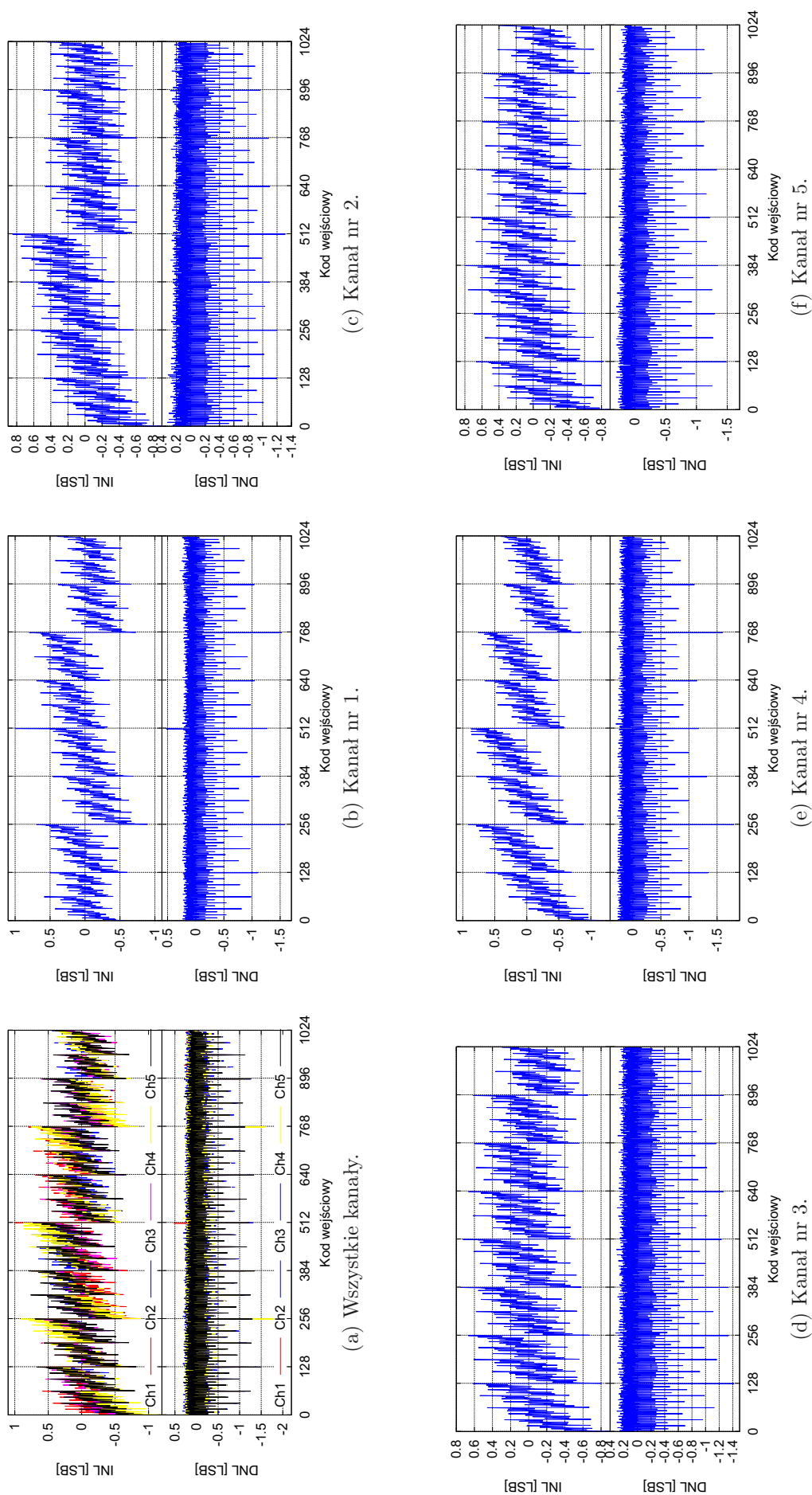


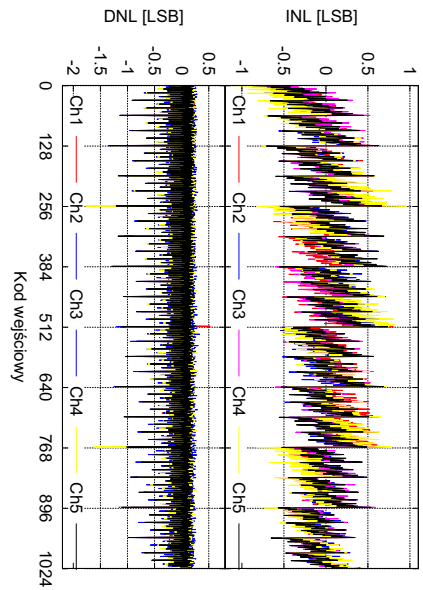
(e) Kanał nr 4.



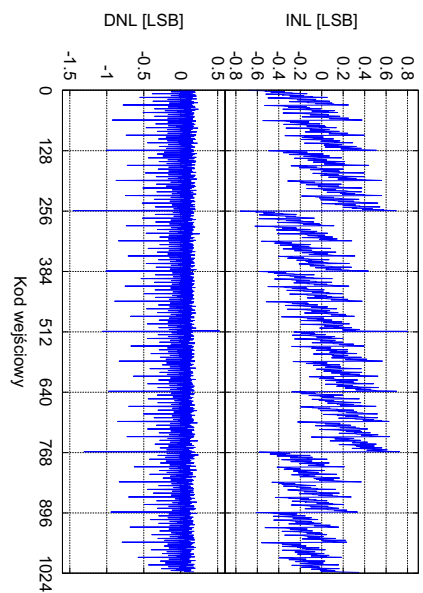
(f) Kanał nr 5.

Rysunek A.13: Nieliniowości piątego układu dla $V_{ref} = 1.2V$.

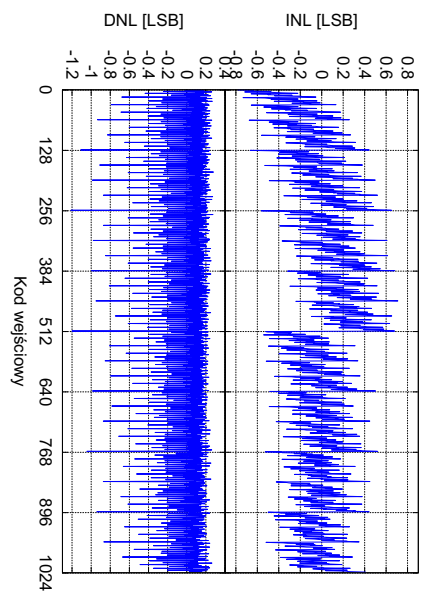
Rysunek A.14: Nieliniowości piątego układu dla $V_{ref} = 1.35V$.



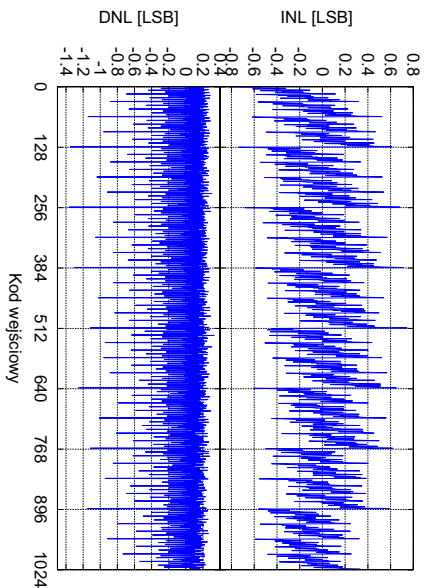
(a) Wszystkie kanały.



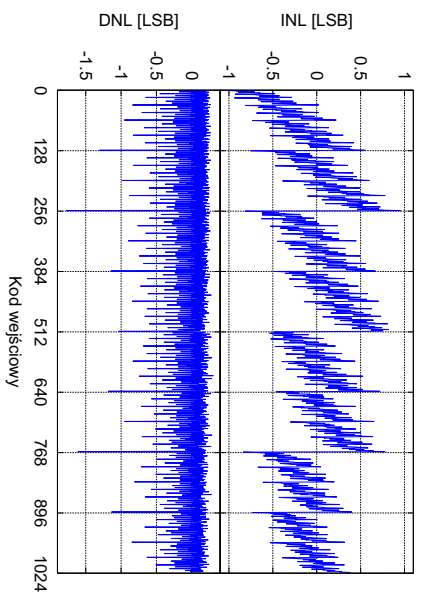
(b) Kanał nr 1.



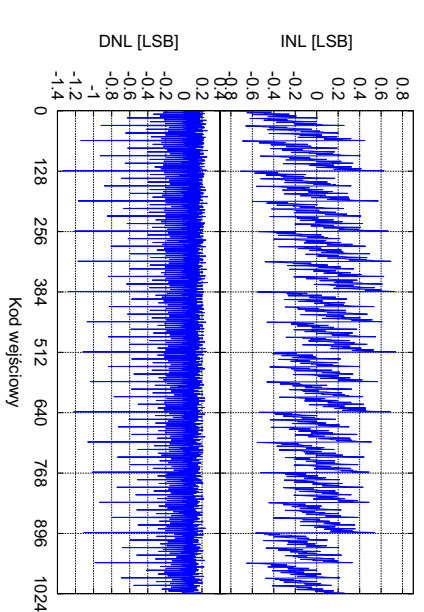
(c) Kanał nr 2.



(d) Kanał nr 3.



(e) Kanał nr 4.



(f) Kanał nr 5.

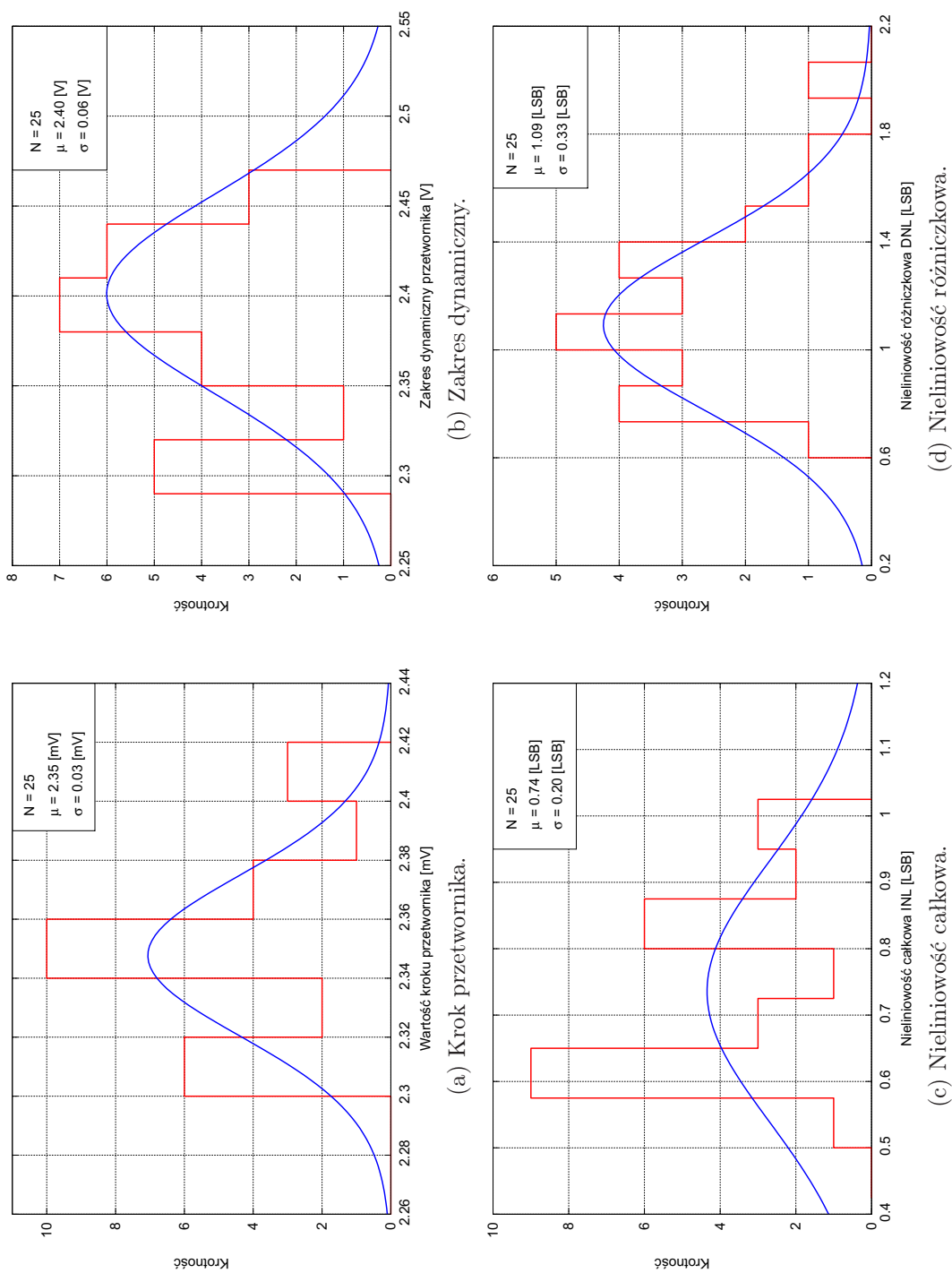
Rysunek A.15: Nieliniowości piątego układu dla $V_{ref} = 1.5V$.

Tablica A.1: Zakres dynamiczny oraz krok LSB przebadanych układów.

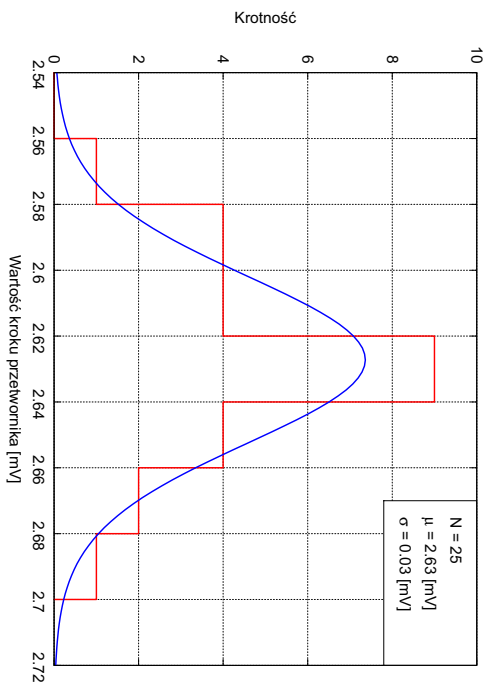
V_{ref} [V]	Parametr	Nr kanału				
		1	2	3	4	5
1.2	V_{out_min} [V]	0.428	0.401	0.411	0.354	0.334
	V_{out_max} [V]	2.838	2.780	2.814	2.779	2.801
	FSR [V]	2.410	2.379	2.403	2.425	2.467
	LSB [V]	2.36m	2.33m	2.35m	2.37m	2.41m
1.35	V_{out_min} [V]	0.290	0.265	0.273	0.216	0.197
	V_{out_max} [V]	2.975	2.916	2.949	2.914	2.935
	FSR [V]	2.685	2.651	2.676	2.698	2.738
	LSB [V]	2.62m	2.59m	2.62m	2.64m	2.68m
1.5	V_{out_min} [V]	0.138	0.115	0.121	0.066	0.047
	V_{out_max} [V]	3.127	3.066	3.101	3.065	3.085
	FSR [V]	2.989	2.951	2.980	2.999	3.038
	LSB [V]	2.92m	2.89m	2.91m	2.93m	2.97m
Pierwszy układ	V_{out_min} [V]	0.437	0.426	0.418	0.428	0.423
	V_{out_max} [V]	2.837	2.839	2.881	2.797	2.822
	FSR [V]	2.400	2.416	2.463	2.369	2.399
	LSB [V]	2.35m	2.36m	2.41m	2.32m	2.35m
	V_{out_min} [V]	0.287	0.278	0.268	0.281	0.275
	V_{out_max} [V]	2.984	2.985	3.028	2.943	2.969
	FSR [V]	2.697	2.707	2.76	2.662	2.694
	LSB [V]	2.64m	2.65m	2.70m	2.61m	2.63m
	V_{out_min} [V]	0.137	0.135	0.117	0.131	0.123
	V_{out_max} [V]	3.135	3.135	3.180	3.093	3.119
	FSR [V]	2.998	3.000	3.063	2.962	2.996
	LSB [V]	2.93m	2.93m	3.00m	2.90m	2.93m
Trzeci układ	V_{out_min} [V]	0.411	0.444	0.452	0.425	0.462
	V_{out_max} [V]	2.884	2.871	2.861	2.875	2.871
	FSR [V]	2.473	2.427	2.409	2.450	2.409
	LSB [V]	2.42m	2.37m	2.36m	2.39m	2.36m
	V_{out_min} [V]	0.266	0.299	0.307	0.281	0.318
	V_{out_max} [V]	3.030	3.016	3.005	3.019	3.015
	FSR [V]	2.764	2.717	2.698	2.738	2.697
	LSB [V]	2.70m	2.66m	2.64m	2.68m	2.64m
	V_{out_min} [V]	0.112	0.146	0.155	0.127	0.165
	V_{out_max} [V]	3.182	3.168	3.158	3.174	3.168
	FSR [V]	3.070	3.022	3.003	3.047	3.003
	LSB [V]	3.00m	2.95m	2.94m	2.98m	2.94m
Piąty układ	V_{out_min} [V]	0.471	0.475	0.464	0.451	0.452
	V_{out_max} [V]	2.825	2.752	2.766	2.744	2.760
	FSR [V]	2.354	2.277	2.302	2.293	2.308
	LSB [V]	2.30m	2.32m	2.34m	2.33m	2.35m
	V_{out_min} [V]	0.335	0.339	0.325	0.311	0.308
	V_{out_max} [V]	2.871	2.892	2.907	2.883	2.898
	FSR [V]	2.536	2.553	2.582	2.572	2.590
	LSB [V]	2.58m	2.59m	2.62m	2.61m	2.63m
	V_{out_min} [V]	0.186	0.191	0.175	0.162	0.161
	V_{out_max} [V]	3.015	3.036	3.053	3.030	3.046
	FSR [V]	2.829	2.845	2.878	2.868	2.885
	LSB [V]	2.87m	2.89m	2.92m	2.91m	2.92m
Drugi układ	V_{out_min} [V]	0.475	0.472	0.431	0.475	0.445
	V_{out_max} [V]	2.844	2.842	2.861	2.832	2.865
	FSR [V]	2.400	2.413	2.463	2.357	2.420
	LSB [V]	2.32m	2.32m	2.38m	2.30m	2.37m
	V_{out_min} [V]	0.331	0.326	0.286	0.331	0.298
	V_{out_max} [V]	2.990	2.990	3.007	2.978	3.012
	FSR [V]	2.653	2.664	2.721	2.647	2.714
	LSB [V]	2.60m	2.60m	2.66m	2.59m	2.65m
	V_{out_min} [V]	0.178	0.173	0.134	0.179	0.145
	V_{out_max} [V]	3.137	3.137	3.153	3.124	3.160
	FSR [V]	2.959	2.964	3.019	2.945	3.015
	LSB [V]	2.89m	2.90m	2.95m	2.88m	2.95m
Czwarty układ	V_{out_min} [V]	0.471	0.475	0.464	0.451	0.452
	V_{out_max} [V]	2.825	2.752	2.766	2.744	2.760
	FSR [V]	2.354	2.277	2.302	2.293	2.308
	LSB [V]	2.30m	2.32m	2.34m	2.33m	2.35m
	V_{out_min} [V]	0.335	0.339	0.325	0.311	0.308
	V_{out_max} [V]	2.871	2.892	2.907	2.883	2.898
	FSR [V]	2.536	2.553	2.582	2.572	2.590
	LSB [V]	2.58m	2.59m	2.62m	2.61m	2.63m
	V_{out_min} [V]	0.186	0.191	0.175	0.162	0.161
	V_{out_max} [V]	3.015	3.036	3.053	3.030	3.046
	FSR [V]	2.829	2.845	2.878	2.868	2.885
	LSB [V]	2.87m	2.89m	2.92m	2.91m	2.92m

Tablica A.2: Liniowość przebadanych przetworników.

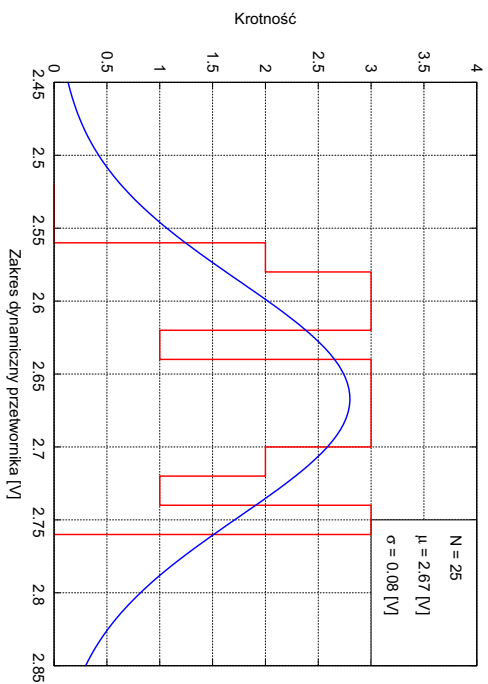
V_{ref} [V]	Parametr	Nr kanału					V_{ref} [V]	Parametr	Nr kanału						
		1	2	3	4	5			1	2	3	4	5		
Pierwszy układ	1.2	INL [LSB]	-0.71	0.84	0.63	0.70	-0.76	1.2	INL [LSB]	-0.60	-0.60	0.57	0.60	0.71	
		DNL [LSB]	-1.21	-1.05	-1.22	-1.05	-1.09		DNL [LSB]	-0.76	-1.08	-0.90	-0.74	-1.33	
		DNL > 0.5 [LSB]	23	31	21	10	26		DNL > 0.5 [LSB]	17	10	31	28	26	
	1.35	DNL > 0.9 [LSB]	7	4	2	2	4	DNL > 0.9 [LSB]	0	2	1	0	2		
		INL [LSB]	-0.79	0.75	0.61	0.60	-0.67	INL [LSB]	-0.52	-0.61	0.58	0.58	-0.69		
		DNL [LSB]	-1.11	-0.95	-1.10	-0.94	-1.02	DNL [LSB]	-0.75	-0.98	-0.80	-0.67	-1.23		
	1.5	DNL > 0.5 [LSB]	17	26	14	6	22	DNL > 0.5 [LSB]	15	2	23	21	21		
		DNL ≥ 0.9 [LSB]	6	1	2	1	3	DNL ≥ 0.9 [LSB]	0	2	0	0	2		
		INL [LSB]	-0.66	0.69	-0.54	-0.61	-0.63	INL [LSB]	-0.63	-0.55	-0.52	-0.53	-0.59		
	Drugi układ	1.2	DNL [LSB]	-1.00	0.83	-1.00	-0.85	-0.94	1.2	DNL [LSB]	-0.65	-0.89	-0.70	-0.58	-1.12
			DNL > 0.5 [LSB]	12	15	11	5	17		DNL > 0.5 [LSB]	15	2	10	10	12
			DNL ≥ 0.9 [LSB]	3	0	1	0	2		DNL ≥ 0.9 [LSB]	0	0	0	0	2
1.35		INL [LSB]	0.58	0.62	-0.59	-0.60	-0.61	1.35	INL [LSB]	-0.81	0.86	-0.96	-0.97	-0.89	
		DNL [LSB]	-0.68	-0.93	-0.79	-0.85	-0.88		DNL [LSB]	-1.32	-1.12	-1.35	-1.33	-1.25	
		DNL > 0.5 [LSB]	12	7	10	11	6		DNL > 0.5 [LSB]	66	63	55	66	65	
1.5		DNL ≥ 0.9 [LSB]	0	2	0	0	0	DNL ≥ 0.9 [LSB]	8	7	6	6	6		
		INL [LSB]	-0.46	-0.54	0.57	0.49	-0.60	INL [LSB]	-0.72	-0.73	0.93	0.76	0.80		
		DNL [LSB]	-0.59	-0.81	-0.67	-0.70	-0.84	DNL [LSB]	-1.14	-0.93	-1.10	-1.20	-1.09		
Trzeci układ		1.2	DNL > 0.5 [LSB]	5	7	4	8	5	1.2	DNL > 0.5 [LSB]	21	28	18	9	26
			DNL ≥ 0.9 [LSB]	0	0	0	0	0		DNL ≥ 0.9 [LSB]	6	3	2	2	4
			INL [LSB]	-0.39	-0.46	0.50	-0.46	-0.58		INL [LSB]	0.64	0.75	-0.93	0.70	-0.68
	1.35	DNL [LSB]	-0.52	-0.54	-0.63	-0.64	-0.72	DNL [LSB]	-1.03	-0.91	-1.06	-1.17	-1.03		
		DNL > 0.5 [LSB]	3	3	3	5	4	DNL > 0.5 [LSB]	21	28	18	9	26		
		DNL ≥ 0.9 [LSB]	0	0	0	0	0	DNL ≥ 0.9 [LSB]	6	3	2	2	4		
	Czwarty układ	1.2	INL [LSB]	-1.05	0.81	0.89	-1.02	-0.87	1.2	INL [LSB]	0.64	0.75	-0.93	0.70	-0.68
			DNL [LSB]	-1.77	-1.43	-1.52	-2.02	-1.6		DNL [LSB]	-1.03	-0.91	-1.06	-1.17	-1.03
			DNL > 0.5 [LSB]	66	75	57	67	66		DNL > 0.5 [LSB]	21	28	18	9	26
		1.35	DNL ≥ 0.9 [LSB]	7	7	6	6	6	DNL ≥ 0.9 [LSB]	8	7	6	6	6	
			INL [LSB]	1.0	-0.90	-0.93	-1.19	-0.91	INL [LSB]	-0.72	-0.73	0.93	0.76	0.80	
			DNL [LSB]	-1.58	-1.31	-1.42	-1.80	-1.48	DNL [LSB]	-1.14	-0.93	-1.10	-1.20	-1.09	
1.5		DNL > 0.5 [LSB]	62	50	32	53	56	DNL > 0.5 [LSB]	21	28	18	9	26		
		DNL ≥ 0.9 [LSB]	3	0	2	2	2	DNL ≥ 0.9 [LSB]	6	3	2	2	4		
		INL [LSB]	0.80	-0.78	-0.83	-1.10	-0.87	INL [LSB]	0.64	0.75	-0.93	0.70	-0.68		
Piąty układ		1.2	DNL [LSB]	-1.46	-1.21	-1.37	-1.77	-1.34	1.2	DNL [LSB]	-1.03	-0.91	-1.06	-1.17	-1.03
			DNL > 0.5 [LSB]	54	43	33	48	51		DNL > 0.5 [LSB]	21	28	18	9	26
			DNL ≥ 0.9 [LSB]	2	0	2	1	2		DNL ≥ 0.9 [LSB]	6	3	2	2	4



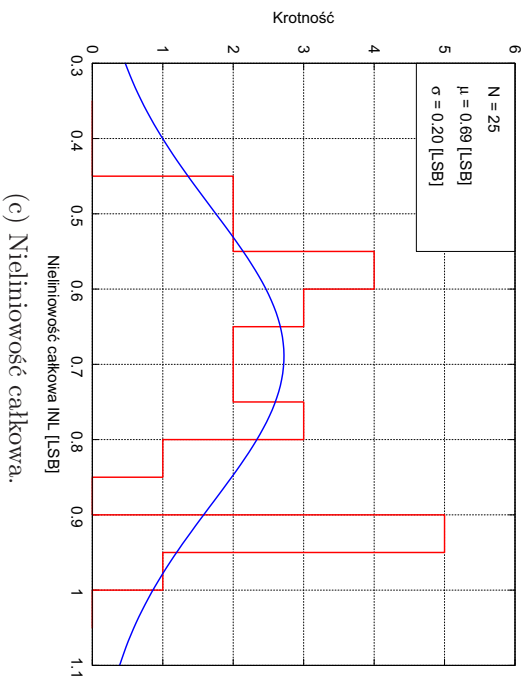
Rysunek A.16: Rozkłady parametrów statycznych przetworników dla napięcia $V_{ref} = 1.2V$.



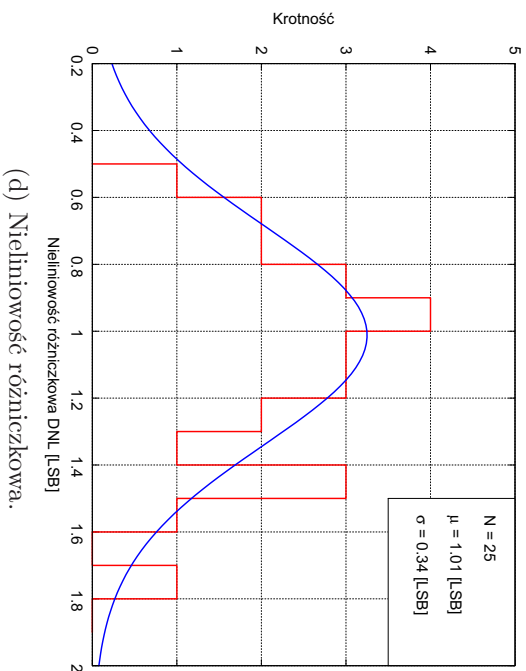
(a) Krok przetwornika.



(b) Zakres dynamiczny.

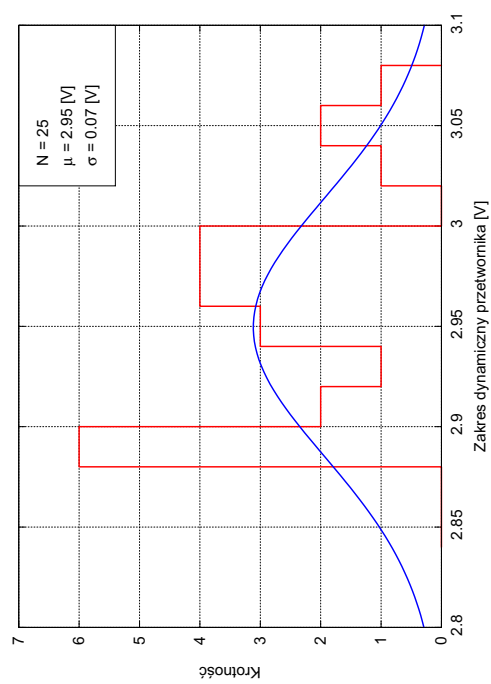


(c) Nielineowość całkowita.

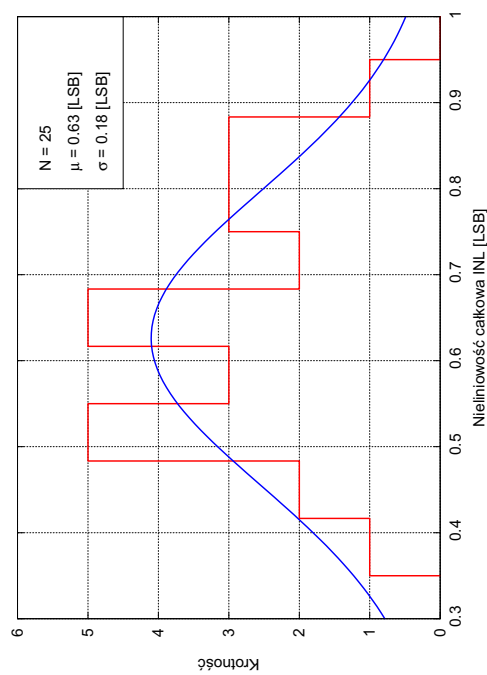


(d) Nielineowość różniczkowa.

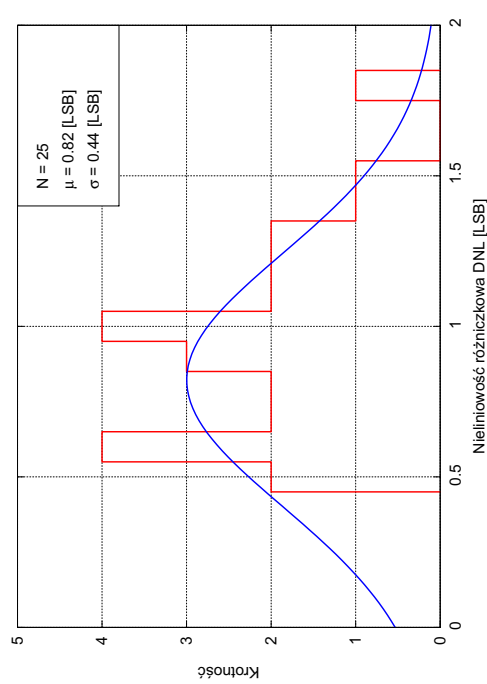
Rysunek A.17: Rozkłady parametrów statycznych przetworników dla napięcia $V_{ref} = 1.35V$.



(a) Krok przetwornika.



(c) Nielineowość całkowita.



(b) Zakres dynamiczny.

(d) Nielineowość różniczkowa.

Rysunek A.18: Rozkłady parametrów statycznych przetworników dla napięcia $V_{ref} = 1.5V$.

Bibliografia

- [1] ILC collaboration: *The International Linear Collider*. <http://www.linearcollider.org>, 2008.
- [2] ILC collaboration: *ILC reference design report*. 2007.
- [3] J. Błocki, W. Daniluk, W. Dąbrowski, M. Gil i inni: *The proposed design of the silicon sensors for the LumiCal*. EUDET-Memo-2007-09.
- [4] M. Idzik, K. Swientek, Sz. Kulis, D. Przyborowski, L. Suszycki: *Status of LumiCal Readout Electronics*. Eudet Report 2008–08.
- [5] R. van der Plassche: *CMOS integrated analog-to-digital and digital-to-analog converters*. Kluwer academic publisher, second edition 2003.
- [6] J. Holub, J. Vedral: *Stochastic testing of ADC—Step-Gauss method*. Computer Standards & Interfaces 26, 2004.
- [7] E. Balestrieri: *Some critical notes on DAC time domain specifications*. IMTC – Instrumentation and measurement technology conference, 2006.
- [8] E. Balestrieri: *Ph. D. Thesis*. Department of Engineering, University of Sannio, Benevento, 2007.
- [9] Y. Perelman, R. Ginosar: *A low-power inverted ladder D/A converter*. IEEE transactions of circuit and systems vol. 53, no 6, 2006.
- [10] J. Schoeff: *An inherently monotonic 12 bit DAC*. IEEE Journal of solid state circuit, vol. SC-14, no 6, 1979.
- [11] R. Baker: *CMOS mixed-signal circuit design*. Wydawnictwo John Willey and Sons 2002.
- [12] C. Hammerschmied, Q. Huang: *Design and Implementation of an Untrimmed MOSFET-only 10-bit A/D Converter with -79-dB THD*. IEEE Journal of Solid State Circuits, vol. 33, no 8, 1998.
- [13] K. Bult, G. Geelen: *An Inherently Linear and Compact MOST-Only Current Division Technique*. IEEE Journal of Solid State Circuits, vol. 27, no 12, 1992.
- [14] H. Klimach, M. Schneider, C. Galup-Montoro: *An M-2M digital-to-analog converter design methodology based on a physical mismatch model*. IEEE International Symposium on Circuits and Systems, 2008.
- [15] J. Bastos: *Characterization of MOS transistor mismatch for analog design*. Ph. D. Thesis, Katholieke Universiteit Leuven, 1998.

-
- [16] K. Lakshmikumar, R. Hadaway, M. Copeland: *Characterization and modeling of mismatch in MOS transistors for precision analog design*. IEEE Journal of solid state circuits, vol. SC-21, no 6, 1986.
- [17] M. Pelgrom, A. Duinmaijer, A. Welbers: *Matching properties of MOS transistors*. IEEE Journal of solid state circuits, vol. 24, no 5, 1989.
- [18] P. Drennann, C. McAndrew: *Understanding MOSFET mismatch for analog design*. IEEE Journal of solid state circuits, vol. 38, no 3, 2003.
- [19] C. Galup-Montoro, M. Schneider, H. Klimach: *A compact model of MOSFET mismatch for circuit design*. IEEE Journal of solid state circuits, vol. 40, no 8, 2005.
- [20] Austriamicrosystems: *0.35 μ m CMOS C35 Matching Parameters*. Revision 1, 2003.
- [21] A. Cunha, M. Schneider, C. Galup-Montoro: *An MOS transistor model for analog circuit design*. IEEE Journal of solid state circuits, vol. 33, no 10, 1998.
- [22] Bastos, Marques, Steyaert, Sansen: *A 12-bit intrinsic accuracy high-speed CMOS DAC*. IEEE journal of solid state circuits vol. 33, no 12, 1998.
- [23] B. Razavi: *Principles of data conversion system design*. IEEE press 1995.
- [24] D. Seo, G. MacAllister: *A Low-Spurious Low-Power 12-bit 160 MS/s DAC in 90-nm CMOS for Baseband Wireless Transmitter*. IEEE Journal of Solid State Circuits, vol. 42, no 3, 2007.
- [25] D. Seo, H. Dabag, Y. Guo, M. Mishra, G. MacAllister: *High-Voltage-Tolerant Analog Circuit Design in Deep-Submicrometer CMOS Technologies*. IEEE Transactions on Circuits and Systems, vol. 54, no 10, 2007.
- [26] A. Hastings: *The art of analog layout*. Prentice-Hall inc. 2001.
- [27] P. Gray, P. Hurst, S. Lewis, R. Meyer: *Analysis and design of analog integrity circuits*. Wydawnictwo John Willey and Sons, Fourth edition 2001.
- [28] D. Monticelli, *A quad CMOS single-supply op amp with rail-to-rail output swing*, IEEE Journal of Solid State Circuits, vol. sc-21, no 6, 1986.
- [29] P. Allen, D. Holberg: *CMOS analog circuit design*. Oxford university press, second edition 2002.
- [30] R. Gregorian: *Introduction to CMOS Op-Amps and Comparators*. Wydawnictwo John Willey and Sons 1999.
- [31] J. A. Fisher: *A High-Performance CMOS Power Amplifier*. IEEE Journal of Solid State Circuits, vol. SC-20, no 6, 1985.
- [32] R. Hogevoorst, J. P. Tero, R. G. H. Eschauzier, J. H. Huijsing: *A Compact Power-Efficient 3V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries*. IEEE Journal of Solid State Circuits, vol. 29, no 12, 1994.
- [33] C. Bronskowski, P. Meier auf der Heide, D. Schroeder: *Optimisation of Programmable Operational Amplifiers*. Proc. ProRISC 2005 Workshop. Veldhoven 2005.
- [34] P. Gray, R. Meyer: *MOS operational amplifier design – a tutorial overview*. IEEE Journal of solid state circuits, vol. SC-17, no 6, 1982.
- [35] B. Ahuja: *An Improved Frequency Compensation Technique for CMOS Operational Amplifiers*. IEEE Journal of Solid State Circuits, vol. SC-18, no 6, 1983.

-
- [36] D. Ribner, M. Copeland: *Design techniques for cascodes CMOS op amps with improved PSRR and common-mode input range*. IEEE Journal of Solid State Circuits, vol. SC-19, no 6, 1984.
- [37] P. Hurst: *Exact simulation of feedback circuit parameteres*. IEEE Transactions on Circuits and Systems, vol. 38, no 11, 1991.
- [38] R. Baker, H. Li, D. Boyce: *CMOS circuit design, layout and simulations*. IEEE Press 1997.
- [39] C. Bastiaansen, D. Groeneveld, H. Schouwenaars, H. Termeer: *A 10-b 40-MHz 0.8- μ m CMOS current-output D/A converter*. IEEE Journal of solid state circuits, vol. 26, no 7, 1991.
- [40] Chi-Hung Lin, K. Bult: *A 10-b 500-MSamples/s CMOS DAC in 0.6 mm²*. IEEE Journal of solid state circuits, vol. 33, no 12, 1998.
- [41] M. Borremans, A. Van den Bosch, M. Steyeart, W. Sansen, *A low power 10-bit CMOS D/A converter for high speed applications*, IEEE 2001 custom integrated circuits conference.
- [42] J. Deveugele, M. Steyeart, *A 10-bit 250-MS/s binary-weighted current-steering DAC*, IEEE Journal of Solid State Circuits, vol.41, no 2, 2006.
- [43] B. Greenlay, R. Veith, Dong-Young Chang, Un-Ku Moon, *A low-voltage 10-bit CMOS DAC in 0.01-mm² die area*, IEEE Transactions on Circuits and Systems, vol. 52, no 5, 2005.
- [44] F. Ge, M. Trivedi, B. Thomas, W. Jiang, H. Song, *1.5V 0.5mW 2MSPS 10B DAC with rail-to-rail output in 0.13 μ m CMOS technology*, SOC Conference, 2008 IEEE International.
- [45] D. Przyborowski, M. Idzik: *Development of a General Purpose Low-power Small-area 10 bit Current Steering CMOS DAC*. Proc. 16th international conference, Mixed Design of Circuits and Systems, Łódź 2009.
- [46] M. Idzik, Sz. Kulis, D. Przyborowski: *Development of Front-end Electronics for the Luminosity Detector at ILC*. Nuclear Instruments and Methods A – zaakceptowane do druku.
- [47] M. Idzik, Sz. Kulis, J. Gajewski, D. Przyborowski: *Development of Front-end Electronics for the Luminosity Detector at ILC*. Proc. 15th international conference, Mixed Design of Circuits and Systems, Poznań 2008.

Spis rysunków

1.1.	Skala energii przedstawiająca unifikację fundamentalnych oddziaływań[1]. . . .	16
1.2.	Schemat akceleratora ILC[1].	17
1.3.	Widok ogólny niobowej, nadprzewodzącej wnęki rezonansowej o częstotliwości 1.3GHz [2].	18
1.4.	Poglądowy schemat systemu detekcyjnego LDC[2].	19
1.5.	Poglądowy widok detektora LumiCal[3].	20
1.6.	Schemat blokowy układu elektroniki odczytu detektora LumiCal.	20
2.1.	Schemat blokowy przetwornika cyfrowo – analogowego.	23
2.2.	Operacja kwantyzacji sygnału i związany z tym szum kwantyzacji.	24
2.3.	Charakterystyka stałoprądowa rzeczywistego przetwornika cyfrowo–analogowego.	26
2.4.	Schemat 4 bitowego przetwornika opartego o skalowane pojemności.	29
2.5.	Schemat 3 bitowego przetwornika opartego o drabinkę rezystorową.	30
2.6.	Schemat drabinki R–2R.	31
2.7.	Przetworniki DAC oparte o drabinkę R–2R.	31
2.8.	Implementacje drabinki R–2R w oparciu o tranzystory MOS.	32
2.9.	Schemat rozpatrywanego przetwornika 8 bitowego.	33
2.10.	Realizacja przetwornika opartego o skalowane źródła prądowe na tranzystorach pMOS.	35
3.1.	Schemat blokowy proponowanego przetwornika.	42
3.2.	Schemat matrycy źródeł prądowych wraz z kluczami prądowymi oraz układem polaryzującym.	43
3.3.	Schemat użyty do analizy stabilności układu aktywnej kaskody.	45
3.4.	Schemat układu wyjściowego zapewniającego wysoki zakres dynamiczny sygnału wyjściowego.	47
3.5.	Schematy wzmacniaczy jednostopniowych użytych w:	48
3.6.	Schemat wzmacniacza mocy.	51
3.7.	Schemat wyjściowego stopnia <i>Push–Pull</i> (wg [32]).	52
3.8.	Techniki kompensacji częstotliwościowej:	54
3.9.	Przykładowa charakterystyka amplitudowa wzmacniacza wykorzystującego kaskodową technikę kompensacji (wg [36]).	55
3.10.	Schemat symulacji zmiennoprądowej wzmacniacza.	58

3.11. Wyniki symulacji zmiennoprądowej wzmacniacza użytego w konfiguracji liniowego lustra prądowego.	58
3.12. Wejściowe napięcie niezrównoważenia wzmacniacza pracującego w konfiguracji liniowego lustra prądowego.	61
3.13. Rozrzut różnicy prądów wejściowego i wyjściowego liniowego lustra prądowego ($\Delta I = I_{in} - I_{out}$).	61
3.14. Schemat układu do symulacji zmiennoprądowej wzmacniacza użytego w konfiguracji aktywnej kaskody.	63
3.15. Charakterystyki wzmacniacza w konfiguracji użytej w projekcie.	63
3.16. Wejściowe napięcie niezrównoważenia wzmacniacza pracującego w konfiguracji aktywnej kaskody.	65
3.17. Schemat układu symulującego wyjściowy wzmacniacz operacyjny.	66
3.18. Wyniki symulacji zmiennoprądowej wzmacniacza wyjściowego.	67
3.19. Odpowiedzi wzmacniacza wyjściowego.	68
3.20. Analiza najgorszych przypadków współczynnika PSRR.	70
3.21. Napięcie niezrównoważenia wyjściowego wzmacniacza operacyjnego.	71
3.22. Schemat układu symulacyjnego przetwornik cyfrowo–analogowy.	72
3.23. Wynik symulacji stałoprądowych przetwornika.	72
3.24. Przebiegi wyjściowe przetwornika.	73
3.25. Dokładny schemat układu przetwornika w otoczeniu klucza MSB.	74
3.26. Przebiegi wyjściowe przetwornika uwzględniające przełączenie klucza MSB bez oraz z opóźnieniem.	75
3.27. Wyniki symulacji Monte Carlo.	75
3.28. Schemat blokowy rozmieszczenia źródeł prądowych w matrycy.	77
3.29. Plan masek układu przetwornika bez wyprowadzonych pól kontaktowych.	81
3.30. Plan masek wyprodukowanego układu scalonego zawierającego przetwornik analogowo – cyfrowy oraz pięć przetworników cyfrowo – analogowych.	82
3.31. Symulacje układu po wyekstrahowaniu elementów pasożytniczych z planu masek układu scalonego.	82
4.1. Zdjęcie prototypu przymocowanego do płytki ewaluacyjnej.	83
4.2. Przykładowe funkcje przejścia przetwornika dla mierzonych napięć referencyjnych.	85
4.3. Przykładowe wykresy nieliniowości przetwornika dla mierzonych napięć referencyjnych.	85
4.4. Zależność pobieranej mocy przez pojedynczy przetwornik od kodu wejściowego.	86
4.5. Przebiegi wyjściowe przetwornika.	88
4.6. Wyniki pomiaru wejściowego napięcia niezrównoważenia wyjściowego wzmacniacza operacyjnego.	90
5.1. Schemat poprawionej wersji wzmacniacza pracującego w układzie aktywnej kaskody.	94

5.2.	Charakterystyki częstotliwościowe poprawionej wersji wzmacniacza pracującego w układzie aktywnej kaskody.	95
5.3.	Rozkład wejściowego napięcia niezrównoważenia poprawionej wersji wzmacniacza z układu aktywnej kaskody.	96
5.4.	Schemat poprawionej wersji wzmacniacza pracującego w układzie liniowego lustra prądowego.	97
5.5.	Charakterystyki częstotliwościowe poprawionej wersji wzmacniacza pracującego w układzie liniowego lustra prądowego.	98
5.6.	Rozkład napięcia niezrównoważenia poprawionej wersji wzmacniacza pracującego w układzie liniowego lustra prądowego.	99
5.7.	Schemat poprawionej wersji liniowego lustra prądowego.	100
5.8.	Rozrzut różnicy prądów wejściowego i wyjściowego drugiej wersji liniowego lustra prądowego ($\Delta I = I_{in} - I_{out}$).	101
5.9.	Schemat układu logiki „trymującej”.	102
5.10.	Schemat poprawionej wersji wyjściowego wzmacniacza operacyjnego.	103
5.11.	Wyniki symulacji zmiennoprądowych nowej wersji wzmacniacza wyjściowego.	104
5.12.	Odpowiedzi czasowe wzmacniacza.	106
5.13.	Symulacje najgorszych przypadków współczynnika PSRR poprawionej wersji wzmacniacza wyjściowego.	107
5.14.	Wejściowe napięcie niezrównoważenia wzmacniacza wyjściowego.	109
5.15.	Nieliniowości drugiej wersji przetwornika.	110
5.16.	Wyniki symulacji Monte Carlo drugiego prototypu.	110
5.17.	Schemat blokowy rozmieszczenia źródeł w matrycy, w drugim prototypie.	111
5.18.	Plan masek drugiego prototypu przetwornika bez wyprowadzonych pól kontaktowych.	113
5.19.	Wyniki symulacji drugiego prototypu po wyekstrahowaniu elementów pasożytniczych z planu masek układu scalonego.	114
A.1.	Nieliniowości pierwszego układu dla $V_{ref} = 1.2V$	120
A.2.	Nieliniowości pierwszego układu dla $V_{ref} = 1.35V$	121
A.3.	Nieliniowości pierwszego układu dla $V_{ref} = 1.5V$	122
A.4.	Nieliniowości drugiego układu dla $V_{ref} = 1.2V$	123
A.5.	Nieliniowości drugiego układu dla $V_{ref} = 1.35V$	124
A.6.	Nieliniowości drugiego układu dla $V_{ref} = 1.5V$	125
A.7.	Nieliniowości trzeciego układu dla $V_{ref} = 1.2V$	126
A.8.	Nieliniowości trzeciego układu dla $V_{ref} = 1.35V$	127
A.9.	Nieliniowości trzeciego układu dla $V_{ref} = 1.5V$	128
A.10.	Nieliniowości czwartego układu dla $V_{ref} = 1.2V$	129
A.11.	Nieliniowości czwartego układu dla $V_{ref} = 1.35V$	130
A.12.	Nieliniowości czwartego układu dla $V_{ref} = 1.5V$	131
A.13.	Nieliniowości piątego układu dla $V_{ref} = 1.2V$	132
A.14.	Nieliniowości piątego układu dla $V_{ref} = 1.35V$	133
A.15.	Nieliniowości piątego układu dla $V_{ref} = 1.5V$	134

- A.16. Rozkłady parametrów statycznych przetworników dla napięcia $V_{ref} = 1.2V$. . . 137
- A.17. Rozkłady parametrów statycznych przetworników dla napięcia $V_{ref} = 1.35V$. . 138
- A.18. Rozkłady parametrów statycznych przetworników dla napięcia $V_{ref} = 1.5V$. . . 139

Spis tablic

1.1.	Ważniejsze parametry akceleratora ILC [2].	18
2.1.	Parametry niedopasowania elementów w użytej technologii $0.35 \mu m$ [20].	38
3.1.	Wymiary tranzystorów użytych we wzmacniaczu.	57
3.2.	Parametry wzmacniacza pracującego w konfiguracji liniowego lustro prądowego.	59
3.3.	Ustawienia analizy najgorszych przypadków.	60
3.4.	Wyniki symulacji najgorszych przypadków.	60
3.5.	Wymiary tranzystorów użytych we wzmacniaczu.	62
3.6.	Parametry wzmacniacza pracującego w konfiguracji aktywnej kaskody.	63
3.7.	Wyniki symulacji najgorszych przypadków.	64
3.8.	Wymiary tranzystorów użytych we wzmacniaczu.	66
3.9.	Wartości PSRR dla wybranych częstotliwości i prądów wyjściowych wzmacniacza.	68
3.10.	Wzmocnienie oraz margines fazy wzmacniacza w symulacji najgorszych przypadków.	69
4.1.	Porównanie z innymi przetwornikami.	92
5.1.	Wymiary tranzystorów użytych w poprawionym projekcie wzmacniacza jednostopniowego stopnia aktywnej kaskody.	94
5.2.	Parametry poprawionego wzmacniacza pracującego w układzie aktywnej kaskody.	94
5.3.	Wyniki symulacji najgorszych przypadków.	95
5.4.	Wymiary tranzystorów użytych w poprawionej wersji wzmacniacza pracującego w konfiguracji liniowego lustro prądowego.	97
5.5.	Parametry drugiej wersji wzmacniacza pracującego w układzie liniowego lustro prądowego.	98
5.6.	Wyniki symulacji najgorszych przypadków wzmacniacza pracującego w układzie liniowego lustro prądowego.	99
5.7.	Wymiary tranzystorów użytych w poprawionym projekcie liniowego lustro prądowego.	100
5.8.	Tablica prawdy logiki „trymującej” liniowe lustro prądowe.	102
5.9.	Wymiary tranzystorów użytych w poprawionej wersji wzmacniacza wyjściowego.	104
5.10.	Parametry poprawionej wersji wzmacniacza wyjściowego.	105

5.11. Wzmocnienie oraz margines fazy poprawionej wersji wzmacniacza wyjściowego w symulacji najgorszych przypadków.	108
A.1. Zakres dynamiczny oraz krok LSB przebadanych układów.	135
A.2. Liniowość przebadanych przetworników.	136