



AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE
WYDZIAŁ FIZYKI I INFORMATYKI STOSOWANEJ

KATEDRA ODDZIAŁYWAŃ I DETEKCJI CZĄSTEK

Projekt dyplomowy

Projekt przetwornika cyfrowo-analogowego w submikronowej
technologii CMOS.

Development of digital to analog converter in submicron CMOS
technology.

Autor: Wiktoria Elżbieta Tolarczyk
Kierunek studiów: Fizyka Techniczna
Opiekun pracy: prof. dr. hab. inż. Marek Idzik

Kraków, 2023

Oświadczenie studenta

Upředzony(-a) o odpowiedzialności karnej na podstawie art. 115 ust. 1 i 2 ustawy z dnia 4 lutego 1994 r. o prawie autorskim i prawach pokrewnych (t.j. Dz. U. z 2018 r. poz. 1191 z późn. zm.): „Kto przywłaszcza sobie autorstwo albo wprowadza w błąd co do autorstwa całości lub części cudzego utworu albo artystycznego wykonania, podlega grzywnie, karze ograniczenia wolności albo pozbawienia wolności do lat 3. Tej samej karze podlega, kto rozpowszechnia bez podania nazwiska lub pseudonimu twórcy cudzy utwór w wersji oryginalnej albo w postaci opracowania, artystyczne wykonanie albo publicznie zniekształca taki utwór, artystyczne wykonanie, fonogram, wideogram lub nadanie.”, a także upředzony(-a) o odpowiedzialności dyscyplinarnej na podstawie art. 307 ust. 1 ustawy z dnia 20 lipca 2018 r. Prawo o szkolnictwie wyższym i nauce (Dz. U. z 2018 r. poz. 1668 z późn. zm.) „Student podlega odpowiedzialności dyscyplinarnej za naruszenie przepisów obowiązujących w uczelni oraz za czyn uchybiający godności studenta.”, oświadczam, że niniejszą pracę dyplomową wykonałem(-am) osobiście i samodzielnie i nie korzystałem(-am) ze źródeł innych niż wymienione w pracy.

Jednocześnie Uczelnia informuje, że zgodnie z art. 15a ww. ustawy o prawie autorskim i prawach pokrewnych Uczelnia przysługuje pierwszeństwo w opublikowaniu pracy dyplomowej studenta. Jeżeli Uczelnia nie opublikowała pracy dyplomowej w terminie 6 miesięcy od dnia jej obrony, autor może ją opublikować, chyba że praca jest częścią utworu zbiorowego. Ponadto Uczelnia jako podmiot, o którym mowa w art. 7 ust. 1 pkt 1 ustawy z dnia 20 lipca 2018 r. — Prawo o szkolnictwie wyższym i nauce (Dz. U. z 2018 r. poz. 1668 z późn. zm.), może korzystać bez wynagrodzenia i bez konieczności uzyskania zgody autora z utworu stworzonego przez studenta w wyniku wykonywania obowiązków związanych z odbywaniem studiów, udostępniać utwór ministrowi właściwemu do spraw szkolnictwa wyższego i nauki oraz korzystać z utworów znajdujących się w prowadzonych przez niego bazach danych, w celu sprawdzania z wykorzystaniem systemu antyplagiatowego. Minister właściwy do spraw szkolnictwa wyższego i nauki może korzystać z prac dyplomowych znajdujących się w prowadzonych przez niego bazach danych w zakresie niezbędnym do zapewnienia prawidłowego utrzymania i rozwoju tych baz oraz współpracujących z nimi systemów informatycznych.

Spis treści

Wstęp	3
1 Wprowadzenie do przetworników cyfrowo-analogowych	5
1.1 Idea działania przetworników cyfrowo-analogowych	5
1.2 Parametry przetworników cyfrowo-analogowych	6
1.3 Popularne architektury przetworników cyfrowo-analogowych	11
1.3.1 Drabinka rezystorowa bazująca na podziale napięcia	11
1.3.2 Sieć R-2R	12
1.3.3 Źródła prądowe	12
1.3.4 Przetwornik oparty o skalowanie ładunku	13
2 Teoretyczna analiza wybranej architektury 12-bitowego przetwornika cyfrowo-analogowego	15
2.1 Układ oraz zasada działania segmentacji w wybranym typie konfiguracji przetwornika cyfrowo-analogowego	15
2.2 Analiza znaczenia segmentacji pod kątem wpływu rozrzutu rezystancji oporników składowych (Mismatch)	18
2.3 Analiza znaczenia rezystancji kluczy w układzie przetwornika cyfrowo-analogowego	22
2.4 Wybór rezystorów przetwornika w oparciu o parametry technologiczne . .	25
3 Projekt 12-bitowego przetwornika cyfrowo-analogowego w oparciu o segmentowaną sieć rezystorową	31
3.1 Opis układu	31
3.2 Analiza typu segmentacji za pomocą oprogramowania Cadence Design System	33
3.3 Symulacje Monte Carlo wybranego układu	38
3.4 Pomiar mocy pobranej przez układ	39
3.5 Końcowe rozważania i wymiary elementów obwodu przetwornika cyfrowo-analogowego	40
Podsumowanie	43
Literatura	44

Wstęp

Współczesny świat "naszpikowany" jest elektroniką i stawia przed nią coraz większe wyzwania związane między innymi z powierzchnią, szybkością lub dokładnością. Wynika to z konieczności zwiększania zdolności obliczeniowej, dokładności (zmniejszania wpływów szumu i zakłóceń) lub też minimalizacji poboru mocy.

Jednym z niezwykle istotnych z punktu widzenia nauki aspektów związanych z rozwojem technologicznym jest projektowanie układów elektronicznych wykorzystywanych do konstrukcji detektorów w eksperymentach fizyki wysokich energii. Współcześnie jedną z najprężniej rozwijających się grup urządzeń zawartych w tej dziedzinie są detektory półprzewodnikowe. Wśród nich wyróżnia się na przykład wszelkiego typu detektory paskowe, matryce CCD lub też detektory oparte o struktury wykonywane w technologii CMOS. Wiele z tych konstrukcji wykorzystuje w części należącej do elektroniki odczytu przetworniki cyfrowo-analogowe do wygenerowania referencyjnego sygnału analogowego.

Niniejsza praca przedstawia projekt 12-bitowego przetwornika cyfrowo-analogowego. Najważniejsze cele jakie postawiono sobie w tej pracy to bardzo dobra rozdzielczość (minimalizacja wszelkiego typu błędów charakterystycznych dla przetwornika cyfrowo-analogowego) oraz niski pobór mocy. Omawiany układ jest przetwornikiem 12-bitowym; przeskok między kolejnymi kodami wejściowymi związany jest z przesunięciem o bardzo małą część napięcia referencyjnego ($\frac{1}{4096} \cdot V_{REF}$) na wyjściu układu. Dlatego też zadbanie o wymaganą rozdzielczość nie jest trywialne. Jednym ze sposobów, który można wykorzystać, żeby uzyskać jak najlepszą rozdzielczość jest analiza teoretyczna zagadnień z nią związanych i próba stworzenia modelu rozwiązania, którego wyniki pozwolą wybrać kluczowe parametry elementów układu i jego własności. Stąd też, prezentowany projekt dyplomowy można podzielić na dwie sekcje; analizę teoretyczną skupioną wokół ogólnych własności układu oraz projekt praktyczny obejmujący symulacje układu zgodne z parametrami charakterystycznymi dla użytej technologii CMOS130nm.

Układ został zaprojektowany w środowisku Cadence Design System, wszystkie przedstawione schematy wykonane zostały z użyciem darmowego oprogramowania Digi-Key Electronics (<https://www.digikey.com>), a wszystkie analizy i wykresy wykonane zostały w środowisku języka programowania Python.

1 Wprowadzenie do przetworników cyfrowo-analogowych

Przedstawione zagadnienia zawierają ogólne spojrzenie na przetwornik cyfrowo-analogowy (DAC - digital to analog converter) ze skupieniem szczególnej uwagi na jego użyteczną rolę w zastosowaniu praktycznym, ważne parametry oraz charakterystyki. Pokazane zostały również podstawowe architektury przetworników cyfrowo-analogowych celem zoobrazowania różnych metod projektowania tego typu układów elektronicznych.

1.1 Idea działania przetworników cyfrowo-analogowych

Przetwornik cyfrowo – analogowy służy do przetransformowania sygnału przekazanego przez wartość cyfrową do postaci sygnału analogowego. Kod cyfrowy wykorzystywany jest wspólnie przez większość urządzeń elektronicznych codziennego użytku ze względu na swoją funkcjonalność w cyfrowej technice przetwarzania sygnałów (Digital Signal Processing), znaczenie w zwiększeniu zdolności obliczeniowej urządzenia oraz optymalizacji transmisji danych. Sygnał analogowy natomiast znajduje swoje zastosowanie w transmisji ciągłego sygnału dźwiękowego lub wizualnego, czy też w sterowaniu różnego typu urządzeniami.

Informacja cyfrowa zostaje przekazana zazwyczaj w formie ustalonych poziomów napięcia odniesionych do arbitralnie wybranego poziomu masy. W układzie elektronicznym jest to wartość zazwyczaj wskazana przez wyjścia bramek cyfrowych; kod ten występuje najczęściej w formie binarnej przekazującej dwa stany: stan wysoki (logiczne 1) lub stan niski (logiczne 0). Przekazane słowo logiczne można więc przedstawić w formie ciągu zer i jedynek, które następnie przekształca się na sygnał analogowy.

W zależności od poziomu rozdzielczości przetwornika (liczby bitów, którą operuje urządzenie) można określić skwantowane poziomy napięcia, którym zostaje przypisany określony kod cyfrowy podany na wejście DAC'a. Analizując przykład N -bitowego kodu cyfrowego przekazanego na wejście przetwornika można stwierdzić, że najmniejsza zmiana charakteryzująca przejście pomiędzy kolejnymi bitami powinna odpowiadać zmianie wartości sygnału analogowego (V_{LSB}) o wartość (1):

$$V_{LSB} = \frac{1}{2^N} V_{REF}. \quad (1)$$

Gdzie N jest liczbą bitów, a V_{REF} jest napięciem referencyjnym stanowiącym maksymalny poziom uzyskanego na wyjściu przetwornika napięcia. Jest to sygnał referencyjny, który odpowiednio przetworzony zgodnie z podanym na wejściu kodem cyfrowym zostaje podany na wyjście przetwornika.

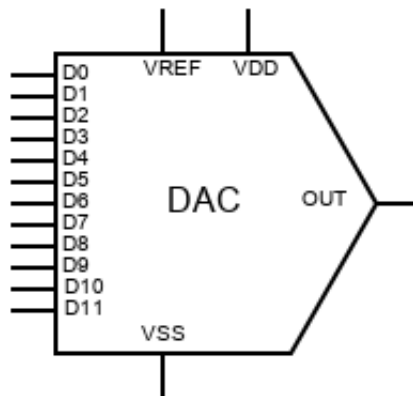
Bity składające się na procesowany kod binarny nie mają takich samych wag. Generalnie wśród nich wyróżnia się bit MSB (Most Significant Bit) oraz bit LSB (Least

Significant Bit). Określenia te wskazują na to jak “dużą” część podanego na wejście kodu cyfrowego przetwarza dany bit. Bit LSB odpowiada za liczbę, która odpowiada najmniejszemu wykładnikowi potęgi 2 w wejściowym kodzie binarnym. Bit MSB określa natomiast największy wykładnik 2 w wejściowym kodzie binarnym. Wartość najmniej znaczącego bitu ma niezwykle istotne znaczenie w badaniu funkcjonalności zaprojektowanego przetwornika ponieważ powinna być wzorcem maksymalnej dopuszczalnej wartości błędu w przekazywanym sygnale wyjściowym układu[8].

Wyjściem DAC’a może być skwantowany sygnał napięciowy lub prądowy. Jego amplitudę określić można poprzez ogólną relację (2):

$$V_o = \sum_{k=0}^{N-1} b_k \cdot 2^k \cdot V_{LSB}. \quad (2)$$

Gdzie V_o to sygnał wyjściowy, b_k – k-ty bit przetwarzanego kodu cyfrowego oraz V_{LSB} – napięcie uzyskane przy najmniejszej możliwej inkrementacji przetwornika. Na podstawie wskazanej zależności można stwierdzić więc, że wyjściowy sygnał analogowy wciąż jest sygnałem nieciągłym z uwagi na swoją dyskretną konstrukcję. Schemat blokowy przetwornika cyfrowo-analogowego przedstawiono na Rysunku 1.



Rysunek 1: Schemat blokowy dwunasto-bitowego przetwornika cyfrowo - analogowego

Na wejście (z lewej strony) podany jest kod cyfrowy, który następnie przetwarzany jest na wyjściowy sygnał analogowy. Oprócz tego schemat uwzględnia napięcie referencyjne V_{REF} oraz napięcie zasilania (V_{DD}) mierzone względem masy (V_{SS}).

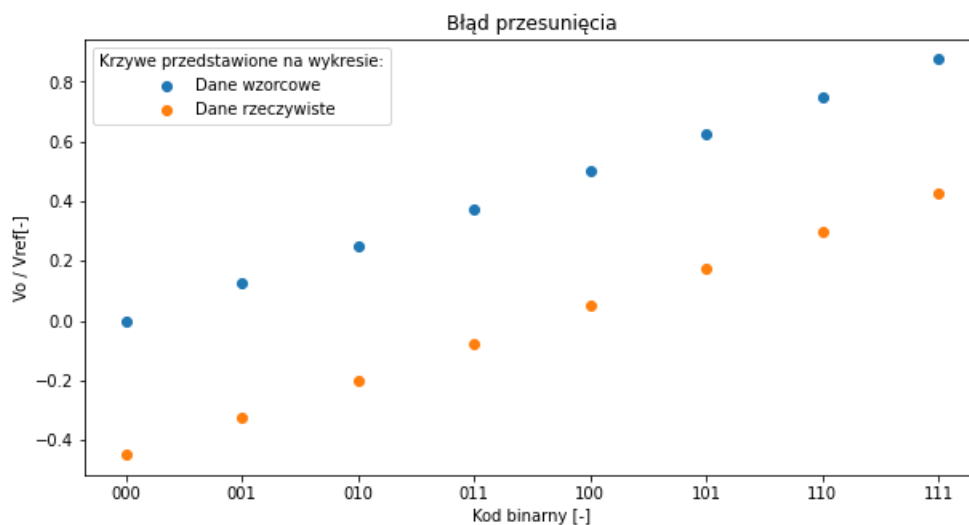
1.2 Parametry przetworników cyfrowo-analogowych

Wartości sygnału wyjściowego przetwornika cyfrowo-analogowego są ograniczone przez liczbę bitów (rozdzielczość). Dlatego też należy pamiętać, że wyjściowa funkcja przenoszenia układu przedstawia dane dyskretne, a nie funkcję ciągłą. W idealnym przypadku każda kolejna wartość oddalona jest od poprzedniej o V_{LSB} . Analizując funkcję przenoszenia

zaprojektowanego układu należy mieć na względzie to, że rzeczywisty przetwornik często odbiega od modelu idealnego, ze względu na odbiegające od idealnego wzorca parametry elementów składowych (np. rezystancji w sieci R-2R), zbyt duży szum elektroniki etc. Aby jednak zachować funkcjonalność układu jak najbardziej zbliżoną do wzorcowego odpowiednika należy badać zachowanie DAC'a pod kątem obecności kilku poniższych parametrów reprezentujących błędy statyczne oraz dynamiczne.

Błąd przesunięcia zera (błąd piedestału)[9]

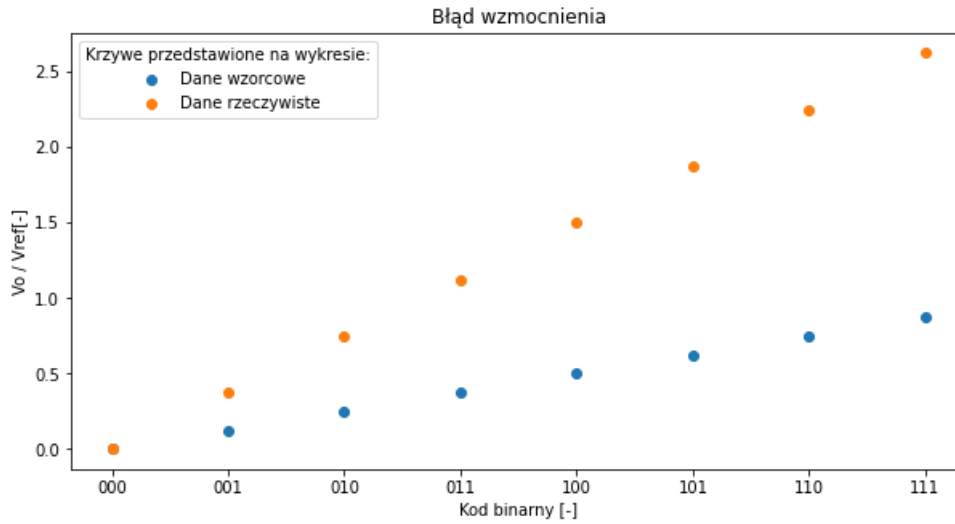
Jest to jeden z błędów statycznych. Cechuje się przesunięciem charakterystyki napięcia wyjściowego w funkcji kodu podanego na wejście układu, względem jej idealnego odpowiednika, o stałą wartość. Spotykany również w niedopracowanych wzmacniaczach operacyjnych; charakteryzuje się przesunięciem zera sygnału wyjściowego wzmacniacza. Ilustracja wspomnianego błędu mieści się na Rysunku 2.



Rysunek 2: Wizualizacja błędu przesunięcia.

Błąd wzmocnienia [8]

Zależność funkcji wyjścia od wejścia układu przetwornika opisuje prosta. Współczynnik kierunkowy dopasowania prostej przyjmuje więc pewną, określoną wartość. Jeżeli wartość ta różni się od wartości wskazanej przez model idealny to obserwuje się wtedy błąd wzmocnienia (Rysunek 3).



Rysunek 3: Wizualizacja błędu wzmocnienia (skalowania).

Nieliniowość całkowita

Parametr ten definiowany jest jako maksymalne odchylenie rzeczywistej charakterystyki przenoszenia od prostej. Stanowi on miarę dokładności przetwornika i jest szczególnie istotny w kontekście badania efektywnej liczby bitów, które projektowany przetwornik jest w stanie przetworzyć. Celem wyznaczenia jego wartości stosować można dwie metody:

- Metoda punktów końcowych.

Dopasowana prosta wzorcowa przechodzi przez dwa punkty: pierwszy i ostatni. Błąd nieliniowości to różnica wartości między najdalej wysuniętym punktem, a dopasowaną krzywą.

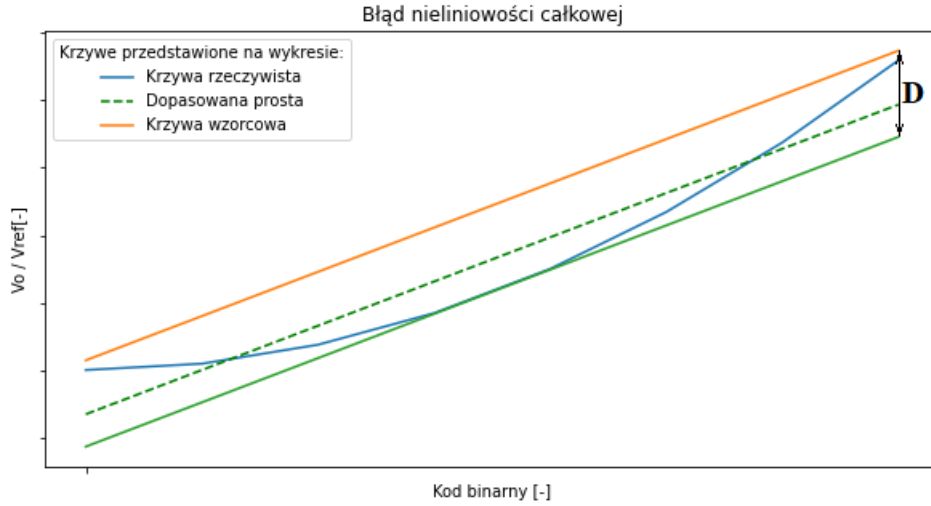
- Metoda linii prostej najlepiej przybliżającej.

Prosta jest dopasowywana do wszystkich punktów wynikowych i mierzone jest największe przesunięcie punktów względem niej. Nie trudno zgadnąć, że metoda ta sprawia, że błąd nieliniowości jest mniejszy niż ten wskazany przez jej poprzedniczkę. Matematycznie parametr ten wyznaczyć można posługując się zależnością (3):

$$INL(k) = \frac{V(k) - V_w(k)}{V_{LSB}}. \quad (3)$$

Gdzie $V(k)$ to wartość wyjścia dla k-tego stanu, $V_w(k)$ to wartość dopasowanej prostej dla k-tego stanu, a V_{LSB} to napięcie LSB, które powinno być zgodne z nachyleniem prostej.

Na Rysunku 4 przedstawiona została ilustracja błędu nieliniowości całkowej.



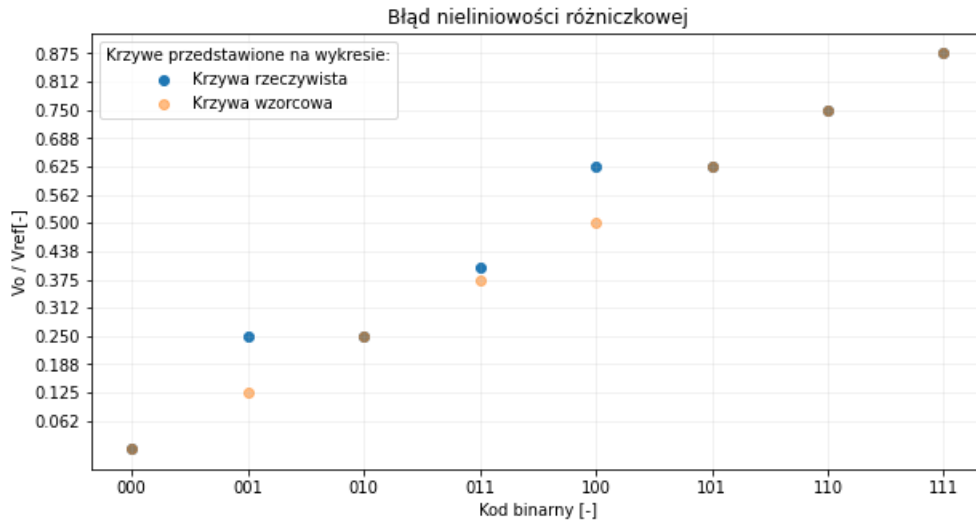
Rysunek 4: Zobrazowanie błędu nieliniowości całkowej. Dla bardzo dużej liczby punktów dane wyjściowe w przybliżeniu są krzywą ciągłą. Oznaczenie D wyznacza dopuszczalne odchylenie jakie krzywa rzeczywista może przyjmować i dla dobrego przetwornika powinna być spełniona relacja $D \leq \frac{1}{2}LSB$.

Nieliniowość różniczkowa

Błąd ten związany jest z liniowością zmian wartości kodów przetwornika. W idealnym przypadku zmianie wartości wejściowej o dokładnie jedno LSB odpowiada zmiana sygnału analogowego na wyjściu o jedno V_{LSB} . Jeżeli w charakterystyce rzeczywistej widoczne jest jakiekolwiek odchylenie od tej zależności to obserwowany jest błąd nieliniowości różniczkowej DNL. W analizie własności przetwornika największe znaczenie ma DNL_{MAX} - maksymalne odchylenie wartości napięcia wyjściowego od jej wartości idealnej w całej charakterystyce przetwarzania. Praktycznie błąd ten wykorzystuje się w określaniu monotoniczności przetwornika, która ma kluczowe znaczenie dla wielu układów elektronicznych. Okazuje się, że jeżeli DNL nie przekracza wartości jednego LSB to badany układ można zaliczyć do kategorii przetworników monotonicznych. Ogólna formuła określająca wartość nieliniowości różniczkowej zdefiniowana jest w sposób (5):

$$DNL(k) = \frac{V(k) - V(k-1)}{V_{LSB}} - 1. \quad (4)$$

Na Rysunku 5 zilustrowano błąd DNL.



Rysunek 5: Zobrazowanie błędu nieliniowości różniczkowej. Dla krzywej wzorcowej błąd DNL wynosi zero dla każdego kodu. Dla krzywej rzeczywistej dla kodu 001 oraz 100 $DNL = 1\text{LSB}$, a dla kodu 011 $DNL = 0.25\text{LSB}$.

Parametry dynamiczne w zakresie częstotliwości

Własności dynamiczne projektowanego przetwornika mają szczególne znaczenie, jeżeli istotną rolę jego wykorzystania gra szybkość konwersji. Wtedy dużą uwagę należy skupić na wyznaczaniu parametrów dynamicznych układu i szacowaniu różnicy między nimi oraz ich teoretycznymi odpowiednikami. Wśród najważniejszych w przetwarzaniu cyfrowo-analogowym wyróżnia się następujące z nich:

- SNR

Definiowany jako stosunek sygnału do szumu. W idealnym przypadku, po wykonaniu odpowiednich obliczeń można wykazać, że wartość SNR dana jest zależnością (6):

$$SNR[dB] = 6.02N + 1.76dB \quad (5)$$

Gdzie N to liczba bitów.

- SINAD

Stosunek sygnału do szumów i zniekształceń, uwzględnia wszystkie składowe szumów i zakłóceń występujących w sygnale. Jest odpowiednikiem empirycznym SNR; za jego pomocą można wyznaczyć parametr ENOB (Effective Number of Bits), zamieniając we wzorze (6) parametr N na ENOB oraz SNR na SINAD i odpowiednio przekształcając.

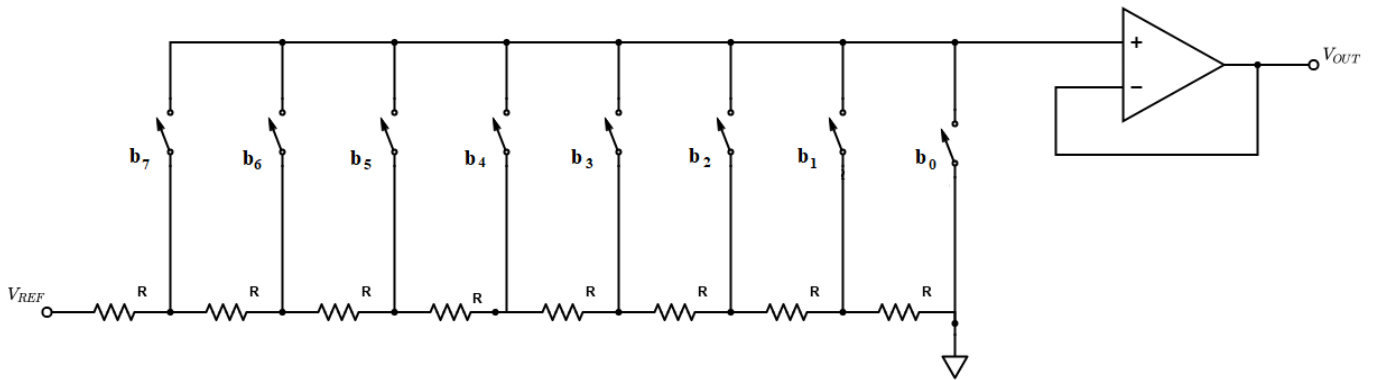
1.3 Popularne architektury przetworników cyfrowo-analogowych

Literatura pokazuje wiele koncepcji budowy przetworników cyfrowo-analogowych. W tej części pracy zostały przedstawione jedynie najbardziej podstawowe z nich, pracujące w reżimie twierdzenia Nyguista, często stanowiące bazę dla dalszej rozbudowy modelu celem zaprojektowania przetwornika charakteryzującego się właściwościami bardziej zbliżonymi do idealnego wzorca. Zaproponowane architektury przedstawiają wykorzystanie rezystorów, źródeł prądowych oraz pojemności w projektowaniu DAC'a.

1.3.1 Drabinka rezystorowa bazująca na podziale napięcia

Architektura ta stanowi najprostszy przykład projektowania przetworników cyfrowo-analogowych. Składa się z 2^N liczby rezystorów (N to liczba bitów) o jednakowych wartościach, połączonych szeregowo, oraz takiej samej liczby kluczy umieszczonych między kolejnymi rezystorami a wyjściem układu. Aby układ działał poprawnie potrzebny jest tutaj również odpowiedni dekodler do sterowania kluczami. Rozdzielczość tego typu przetworników podlega przede wszystkim błędom niedopasowania wykorzystanych rezystorów, natomiast sama funkcjonalność układu ograniczona jest przez jego dużą powierzchnię, która w obliczu wyzwań związanych z miniaturyzacją współczesnej technologii stanowi poważne ograniczenie wykorzystania omawianej architektury. W praktyce stosuje się różne sposoby kompensacji układu, mające na celu zmniejszenie wykorzystanej liczby rezystorów. Napięcie wyjściowe takiego przetwornika można opisać za pomocą relacji (7). Na Rysunku 6 przedstawiona została omawiana architektura przetwornika 3-bitowego.

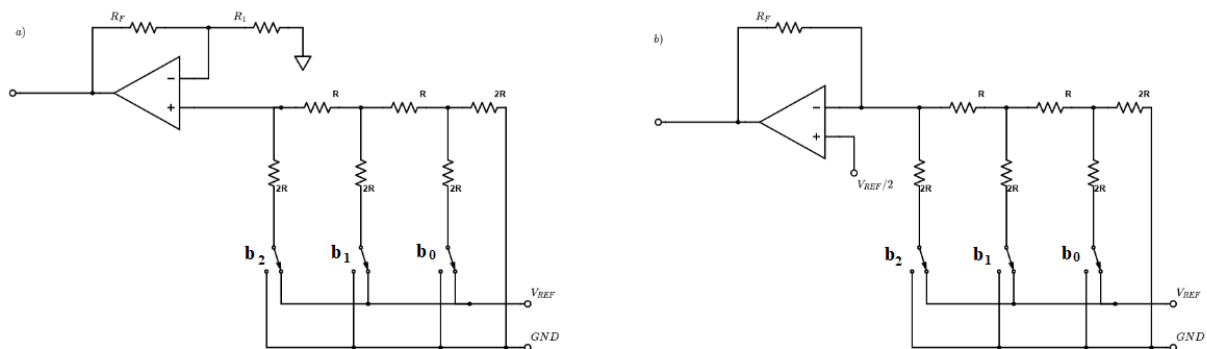
$$V_o = V_{REF} \sum_{k=0}^{N-1} b_k \cdot 2^{k-N} \quad (6)$$



Rysunek 6: Przykładowa architektura drabinki rezystorowej[8].

1.3.2 Sieć R-2R

Omawiana architektura ze względu na swoją budowę ma jedno podstawowe praktyczne wykorzystanie; pozwala dzielić sygnał w sposób dwójkowy. Sieć R-2R N-bitowego DAC'a składa się z $2N$ rezystorów, które należy dobrać w taki sposób by stosunek ich rezystancji wyniósł 2:1. Rezystory o impedancji równej $2R$ podłączone są do kluczy, które przekazują wartość kodu cyfrowego do układu. W zależności od niego elementy te zostają zwarte do masy lub napięcia referencyjnego. Przetworniki oparte o drabinkę R-2R mogą pracować zarówno w trybie napięciowym (Rysunek 7a) jak i prądowym (Rysunek 7b).



Rysunek 7: 3-bitowy DAC oparty o drabinkę R2R pracujący w trybie a) napięciowym b) prądowym[10].

Napięcia wyjściowe w zależności od trybu pracy:

- Napięciowy (8):

$$V_o = V_{REF} \left(1 + \frac{R_F}{R_1} \right) \cdot \sum_{k=1}^N b_{N-k} \cdot 2^{-k} \quad (7)$$

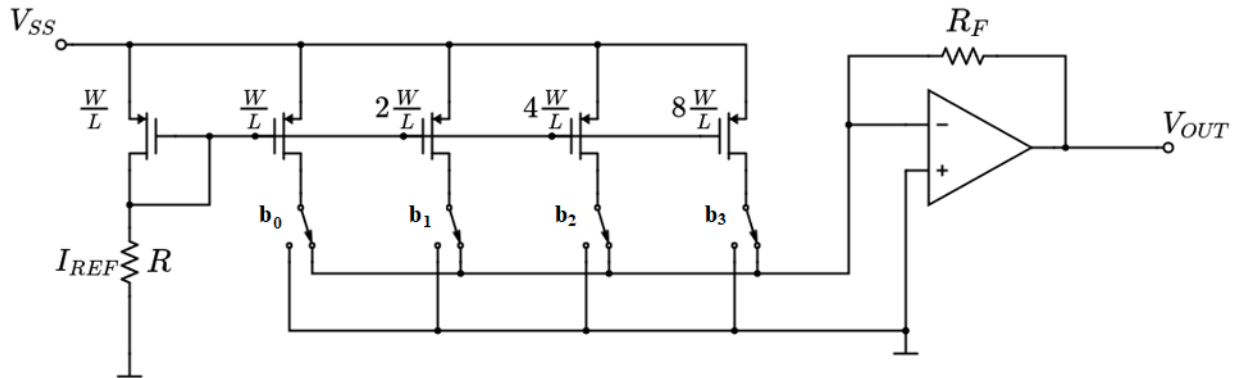
- Prądowy (9):

$$V_o = V_{REF} \left[1 + \frac{R_F}{R_1} \left(\sum_{k=1}^N b_{N-k} \cdot 2^{k-N} - 1 \right) \right] \quad (8)$$

1.3.3 Źródła prądowe

Jednym z najpowszechniejszych sposobów stosowanych obecnie w projektowaniu przetworników cyfrowo-analogowych jest wykorzystanie źródeł prądowych. Układy tego typu, oparte najczęściej o lustra prądowe, które po odpowiednim zwymiarowaniu generują na wyjściu skalowany binarnie prąd lub też mogą na przykład zachowywać się jak układ złożony z elementów pasywnych (można w ten sposób zaprojektować sieć R-2R, w której

funkcję rezystorów przejmują tranzystory). Tego typu układy zyskują popularność wśród projektantów między innymi z uwagi na walory związane z miniaturyzacją, szybkość oraz niską cenę. Przykład omówionej architektury widoczny jest na Rysunku 8.



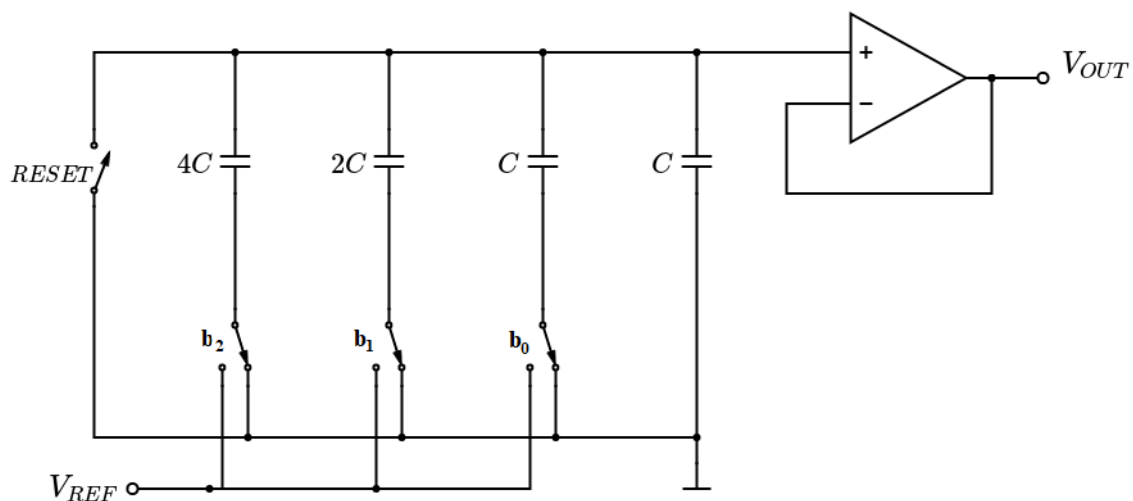
Rysunek 8: Czterobitowy przetwornik oparty o skalowane prądy.

W opisanym przypadku (dla N-bitów) napięcie wyjściowe DAC'a opisać można równaniem (10):

$$V_o = -I_{REF}R_F \sum_{k=0}^{N-1} b_k \cdot 2^k. \quad (9)$$

1.3.4 Przetwornik oparty o skalowanie ładunku

Do zaprojektowania tego typu układu wykorzystuje się kondensatory ważone binarnie. N-bitowy przetwornik typu DAC składa się z N ważonych binarnie elementów, których wartości pozostają w relacji: $1:2:4:\dots:2^{N-1}$. Gdzie najmniej znaczący bit podłączony jest do klucza, który łączy się z ostatnim elementem z tego zakresu. Układy oparte o skalowanie pojemności nie wymagają ciągłego poboru mocy; wystarczy raz naładować kondensator i w dalszym cyklu pracy nie powoduje on dodatkowego poboru mocy. Oprócz tego zaletą tego typu układów jest również szybkość. Wadą jest konieczność "odświeżania" układu co jakiś czas - związana z prądami upływu, które rozładowują kondensatory i zaburzają w ten sposób wartość zgromadzonego na pojemności ładunku. Sygnał RESET wymagany jest do rozładowania wszystkich pojemności przed ustawieniem kodu wejściowego. Przykładowa konfiguracja układu znajduje się na Rysunku 9, napięcie wyjściowe (N-bitowego przetwornika) można obliczyć posługując się wzorem (11).



Rysunek 9: Przykładowa konfiguracja pojemnościowego, trzy-bitowego binarnie ważonego przetwornika DAC[7].

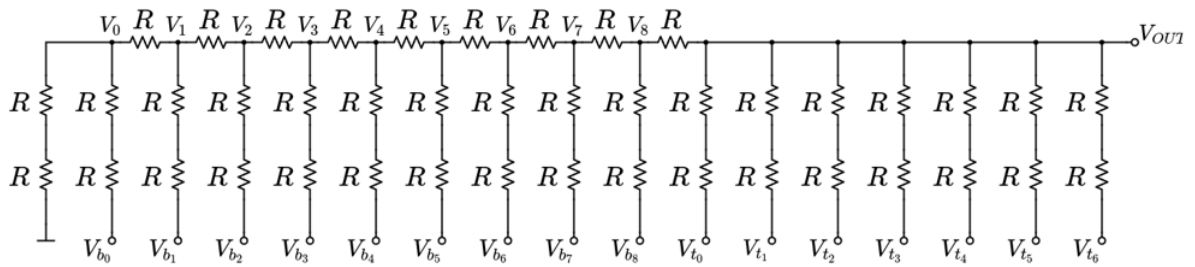
$$V_o = V_{REF} \sum_{k=0}^{N-1} b_k \cdot 2^{k-N}. \quad (10)$$

Oprócz przedstawionych wyżej architektur istnieje jeszcze wiele innych konfiguracji nieraz będących hybrydą omówionych powyżej rozwiązań, w zależności od tego co w danym projekcie jest istotne.

2 Teoretyczna analiza wybranej architektury 12-bitowego przetwornika cyfrowo-analogowego

W niniejszej pracy do projektu 12-bitowego przetwornika DAC wykorzystana została segmentowana sieć rezystorowa z wyjściem napięciowym[1]. Zaletą takiego układu jest zwiększenie dokładności przetwarzania wejściowego kodu cyfrowego na wyjście analogowe, a więc również polepszenie charakterystyk INL oraz DNL układu przetwornika. Układ taki jest syntezą konfiguracji równolegle połączonych rezystorów oraz tradycyjnej sieci R-2R. Wraz ze wzrostem udziału gałęzi pochodzących z pierwszej konfiguracji zwiększa się efektywna rozdzielczość układu DAC oraz jego powierzchnia. W tej części pracy przedstawiona została analiza wybranego typu segmentacji (z uwzględnieniem oczekiwanych błędów INL oraz DNL i potencjalnie wykorzystanej powierzchni) oraz wpływ rezystancji kluczy, na rozdzielczość projektowanego układu. Wykonano również obliczenia związane z wyborem rodzaju i dokładności rezystora, który następnie wykorzystany został w projekcie.

2.1 Układ oraz zasada działania segmentacji w wybranym typie konfiguracji przetwornika cyfrowo-analogowego



Rysunek 10: 12-bitowy przetwornik DAC z segmentowaną siecią rezystorową typu 3(MSB) + 9(LSB).

Segmentacja sieci rezystorowej polega na podziale przetwornika na podsieć M bitów określających wartości MSB (zrealizowaną przez gałęzie 2R) oraz na podsieć LSB pozostałych N bitów aż do najmniej znaczącego bitu (realizowaną przez drabinę R-2R)[2]. Przedstawiony na schemacie (Rysunek 10) układ jest przykładową realizacją segmentowanej sieci rezystorowej, dla której wykonane zostały poniższe obliczenia teoretyczne. Napięcia źródeł V_{b_i} oraz V_{t_i} przyjmują wartości V_{REF} lub 0 w zależności od sterowania określonego klucza. W ogólności całkowitą liczbę bitów *Bits* zapisać można jako (12):

$$Bits = M + N = \log_2(k_M + 1) + N \quad (11)$$

$$k_M = 2^M - 1. \quad (12)$$

Gdzie k_M (13) jest liczbą gałęzi 2R w układzie przetwornika.

Część układu składająca się z gałęzi 2R sterowana jest z wykorzystaniem kodu termometrycznego, w przeciwieństwie do pozostałych kluczy sterowania, które do przetworzenia słowa wejściowego wykorzystują sterowanie binarne. Dlatego też, mając na celu wykonanie projektu przetwornika DAC z omawianym typem konfiguracji należy pamiętać o zaprojektowaniu dekodera kodu binarnego na kod termometryczny, który pozwoli przetłumaczyć M-bitowe słowo cyfrowe MSB na k_M -bitowy kod wejściowy sterujący przełącznikami w gałęziach 2R.

W ogólnej analizie układu pojawić się mogą dwa typy rozrzutu związane z rezystorami. W procesie technologicznym może wystąpić globalne przesunięcie wartości bezwzględnej rezystancji wszystkich rezystorów o określoną wartość względem zadanej. Pogorszenie błędów przetwornika spowodowane tego typu rozrzutem łatwo jest wyeliminować poprzez zastosowanie wszystkich rezystorów tego samego typu o tej samej wartości, połączonych szeregowo lub równolegle w zależności od tego jaką wartość rezystancji zastępczej chce się uzyskać. W tym projekcie, zamiast zastosowania pojedynczego rezystora o wartości 2R, wykorzystano szeregowe połączenie dwóch jednostkowych rezystorów. Drugi typ niedokładności rezystorów wiąże się z błędami niedopasowania[4]. Przy bliskim ułożeniu rezystorów na waflu krzemowym, po spełnieniu wszystkich zdefiniowanych przez daną technologię reguł layout'owych, między rezystorami pojawia się rozrzut wartości rezystancji. Odchylenie standardowe σ tego błędu (tzw. Mismatch) jest znacznie mniejsze (pod względem wartości) niż odchylenie standardowe globalnej wartości bezwzględnej wszystkich rezystorów. Niemniej jednak, jego wpływ jest trudny do wyeliminowania i należy wziąć go pod uwagę w procesie projektowania i zoptymalizować wartości rezystancji składowych układu, tak by rozdzielczość DAC'a nie została znacznie pogorszona.

Celem wytłumaczenia ogólnej idei wyznaczenia napięcia wyjściowego układu przetwornika, poniżej przedstawiono obliczenia dla przykładowej segmentacji 3+9 (Rysunek 10). W tego typu układzie występuje $k_M = 7$ gałęzi 2R oraz $N = 9$ gałęzi przedstawiających układ sieci R-2R. Napięcie wyjściowe układu V_{OUT} znajduje się w części MSB.

Zgodnie z I prawem Kirchoffa, zapisać można, że (14):

$$\frac{V_{b0} - V_0}{2R} + \frac{V_1 - V_0}{R} = \frac{V_0}{2R}. \quad (13)$$

Porządkując składniki (14) otrzymuje się wyrażenie (15):

$$\left(\frac{1}{2R} + \frac{1}{2R} + \frac{1}{R}\right)V_0 + \left(-\frac{1}{R}\right)V_1 = \frac{1}{2R}V_{b0}. \quad (14)$$

Kolejne równania dla pozostałych 9 węzłów prezentują się w następujący sposób[1]:

$$\left(-\frac{1}{R}\right)V_0 + \left(\frac{1}{R} + \frac{1}{2R} + \frac{1}{R}\right)V_1 + \left(-\frac{1}{R}\right)V_2 = \frac{1}{2R}V_{b1}, \quad (15)$$

$$(-\frac{1}{R})V_1 + (\frac{1}{R} + \frac{1}{2R} + \frac{1}{R})V_2 + (-\frac{1}{R})V_3 = \frac{1}{2R}V_{b_2}, \quad (16)$$

$$(-\frac{1}{R})V_2 + (\frac{1}{R} + \frac{1}{2R} + \frac{1}{R})V_3 + (-\frac{1}{R})V_4 = \frac{1}{2R}V_{b_3}, \quad (17)$$

$$(-\frac{1}{R})V_3 + (\frac{1}{R} + \frac{1}{2R} + \frac{1}{R})V_4 + (-\frac{1}{R})V_5 = \frac{1}{2R}V_{b_4}, \quad (18)$$

$$(-\frac{1}{R})V_4 + (\frac{1}{R} + \frac{1}{2R} + \frac{1}{R})V_5 + (-\frac{1}{R})V_6 = \frac{1}{2R}V_{b_5}, \quad (19)$$

$$(-\frac{1}{R})V_5 + (\frac{1}{R} + \frac{1}{2R} + \frac{1}{R})V_6 + (-\frac{1}{R})V_7 = \frac{1}{2R}V_{b_6}, \quad (20)$$

$$(-\frac{1}{R})V_6 + (\frac{1}{R} + \frac{1}{2R} + \frac{1}{R})V_7 + (-\frac{1}{R})V_8 = \frac{1}{2R}V_{b_7}, \quad (21)$$

$$(-\frac{1}{R})V_7 + (\frac{1}{R} + \frac{1}{2R} + \frac{1}{R})V_8 + (-\frac{1}{R})V_{OUT} = \frac{1}{2R}V_{b_8}, \quad (22)$$

$$(-\frac{1}{R})V_8 + (\frac{1}{R} + \frac{7}{2R})V_{OUT} = \frac{1}{2R}(V_{t_0} + V_{t_1} + V_{t_2} + V_{t_3} + V_{t_4} + V_{t_5} + V_{t_6}). \quad (23)$$

Powyższy układ równań rozwiązać można wykorzystując metodę macierzową:

$$\begin{bmatrix} \frac{2}{R} & -\frac{1}{R} & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ -\frac{1}{R} & \frac{5}{2R} & -\frac{1}{R} & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & -\frac{1}{R} & \frac{5}{2R} & -\frac{1}{R} & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & -\frac{1}{R} & \frac{5}{2R} & -\frac{1}{R} & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & -\frac{1}{R} & \frac{5}{2R} & -\frac{1}{R} & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -\frac{1}{R} & \frac{5}{2R} & -\frac{1}{R} & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & -\frac{1}{R} & \frac{5}{2R} & -\frac{1}{R} & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & -\frac{1}{R} & \frac{5}{2R} & -\frac{1}{R} & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & -\frac{1}{R} & \frac{5}{2R} & -\frac{1}{R} \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -\frac{1}{R} & \frac{9}{2R} \end{bmatrix} \cdot \begin{bmatrix} V_0 \\ V_1 \\ V_2 \\ V_3 \\ V_4 \\ V_5 \\ V_6 \\ V_7 \\ V_8 \\ V_{OUT} \end{bmatrix} = \begin{bmatrix} \frac{1}{2R}V_{b_0} \\ \frac{1}{2R}V_{b_1} \\ \frac{1}{2R}V_{b_2} \\ \frac{1}{2R}V_{b_3} \\ \frac{1}{2R}V_{b_4} \\ \frac{1}{2R}V_{b_5} \\ \frac{1}{2R}V_{b_6} \\ \frac{1}{2R}V_{b_7} \\ \frac{1}{2R}V_{b_8} \\ \frac{1}{2R}\sum_{k=0}^{M-1} V_{t_k} \end{bmatrix} \quad (24)$$

Rozwiązując równanie macierzowe (25) wyznaczyć można wartości napięć poszczególnych węzłów w funkcji kodu wejściowego, w tym przede wszystkim napięcie V_{OUT} .

Celem wyboru optymalnej segmentacji jest minimalizacja błędów niedopasowania rezystorów użytych w układzie[5]. Jest to szczególnie istotne w kontekście postępującej miniaturyzacji urządzeń elektronicznych. Rezystorowe układy przetworników przedstawione w pierwszym rozdziale mają prostą konstrukcję i przez to często znajdują zastosowanie. Ich wadą jest duża czułość na niepewność oporu rezystorów wykorzystanych w tej architekturze. Niedoskonałość produkcji układów oraz samych materiałów wykorzystywanych w tworzeniu rezystorów sprawia, że wartości ich oporu niejednokrotnie różnią się względem oczekiwanych w granicy kilku procent. Segmentacja pozwala nieco stłumić tę czułość, pozwalając w ten sposób na otrzymanie niskich wartości błędów nieliniowości INL oraz DNL, a przez to również oczekiwanej rozdzielczości.

2.2 Analiza znaczenia segmentacji pod kątem wpływu rozrzutu rezystancji oporników składowych (Mismatch)

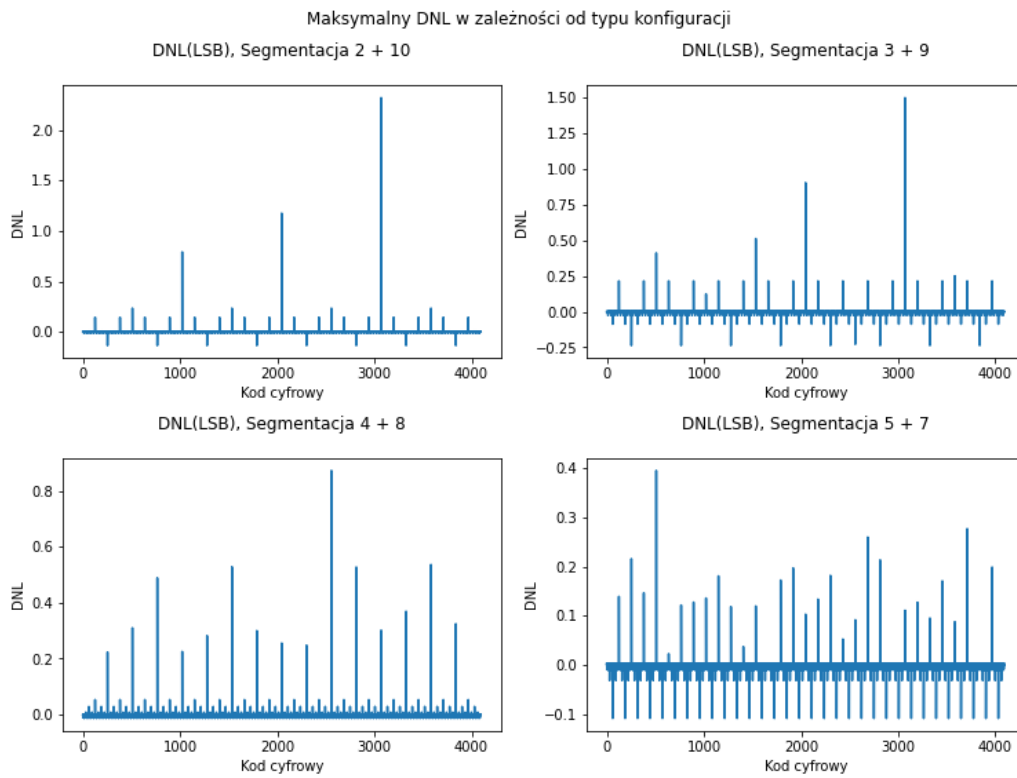
Aby więc dobrać odpowiedni typ segmentacji w niniejszej części pracy przeanalizowany został rozrzut rezystancji oporników (błędy niedopasowania) układu oraz jego wpływ na rozdzielczość segmentowanej sieci rezystorowej. Cała analiza została przeprowadzona dla czterech różnych typów segmentacji [MSB+LSB]: **2+10**, **3+9**, **4+8**, **5+7**. W tym celu napisany został skrypt komputerowy (język Python), którego zadaniem jest wyznaczanie błędów INL oraz DNL przetwornika DAC w zależności od typu dobranej segmentacji, oporu rezystorów oraz ich odchylenia standardowego. Wykorzystane do tego zostały pakiety obliczeniowe takie jak NumPy (do obliczeń macierzowych, własności niektórych rozkładów prawdopodobieństwa) oraz seaborn (do wycentrowania błędów INL).

Problem rozważono założywszy wcześniej, że rozrzut rezystancji oporników składowych przetwornika opisać można za pomocą rozkładu normalnego. W związku z tym, dla każdej z przedstawionych wcześniej segmentacji, wylosowano 100 różnych zestawów oporników, których wartości impedancji opisać można rozkładem Gaussa. W analizie rozpatrzono rezystancję o średniej wartości $\mu = 35000 \Omega$ oraz odchyleniu standardowym równym $\sigma = 35 \Omega$. Wartości tego typu są rozsądne tak pod względem wartości jak i rozrzutu dla użytej w projekcie technologii. Dla każdego z wylosowanych zbiorów wyznaczono zależność napięcia wyjściowego w funkcji kodu wejściowego oraz błędy INL i DNL również w funkcji wejścia. Do wyznaczenia błędu nieliniowości całkowitej wykorzystano metodę najlepszego dopasowania liniowego. Z uzyskanych wyników wyznaczono największe oraz najmniejsze błędy INL i DNL dla każdego z typów segmentacji. W ten sposób porównano jej wpływ na rozdzielczość w możliwie najgorszych warunkach pracy wśród wylosowanych kombinacji rezystorów. Wyniki tego porównania przedstawione zostały w Tabeli 1.

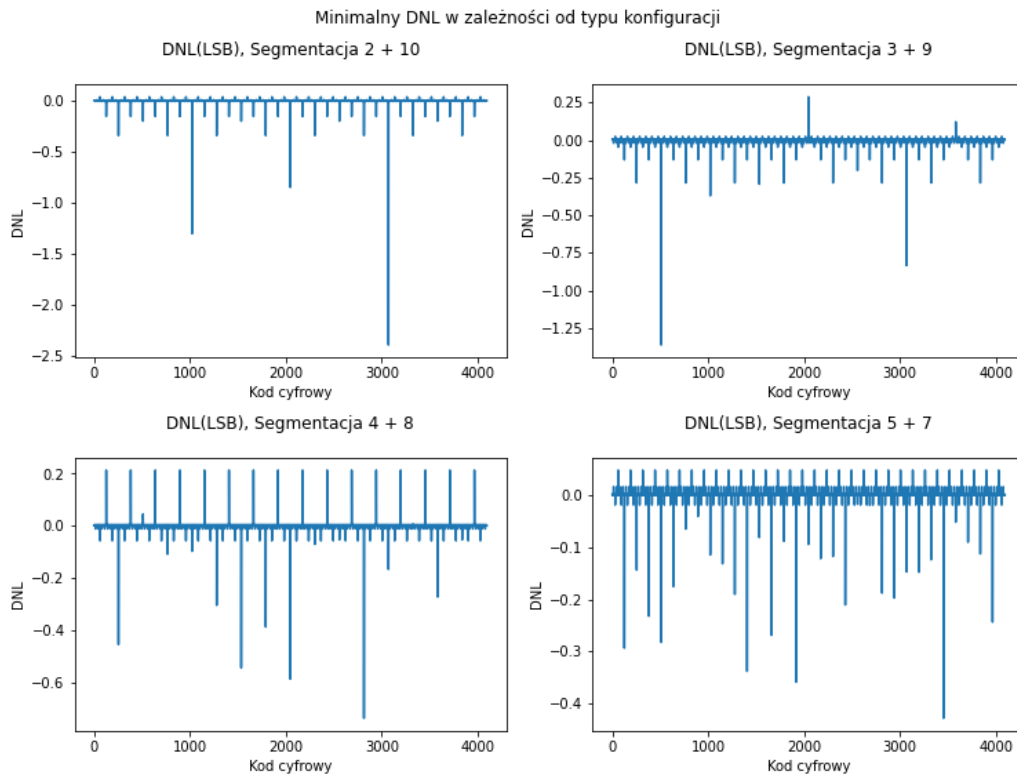
Tabela 1: Maksymalne i minimalne wartości błędów INL oraz DNL dla różnych segmentacji uzyskane w symulacji.

Typ segmentacji	2 + 10	3 + 9	4 + 8	5 + 7
DNL(LSB) _{MAX}	2.32	1.50	0.87	0.40
DNL(LSB) _{MIN}	-2.39	-1.36	-0.74	-0.43
INL(LSB) _{MAX}	1.41	1.03	0.84	0.57
INL(LSB) _{MIN}	-1.38	-1.28	-0.88	-0.55

Ilustracja graficzna dla wymienionych w tabeli wartości DNL przedstawiona została na Rysunku 11 oraz 12.

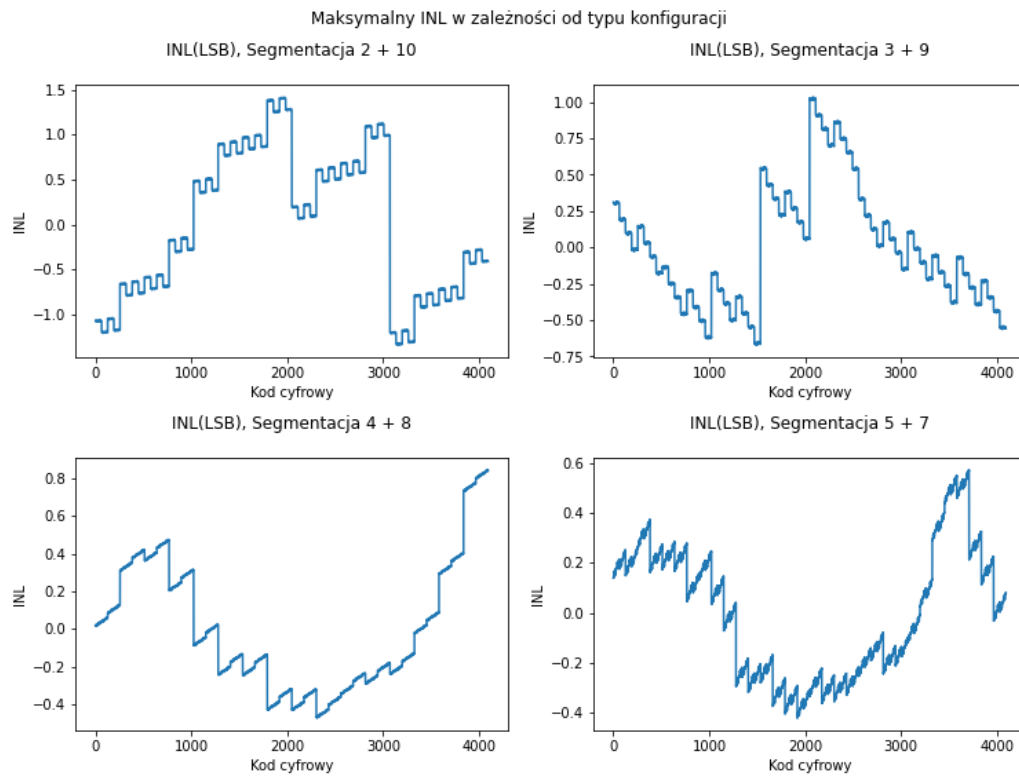


Rysunek 11: Maksymalny błąd DNL uzyskany w symulacji.

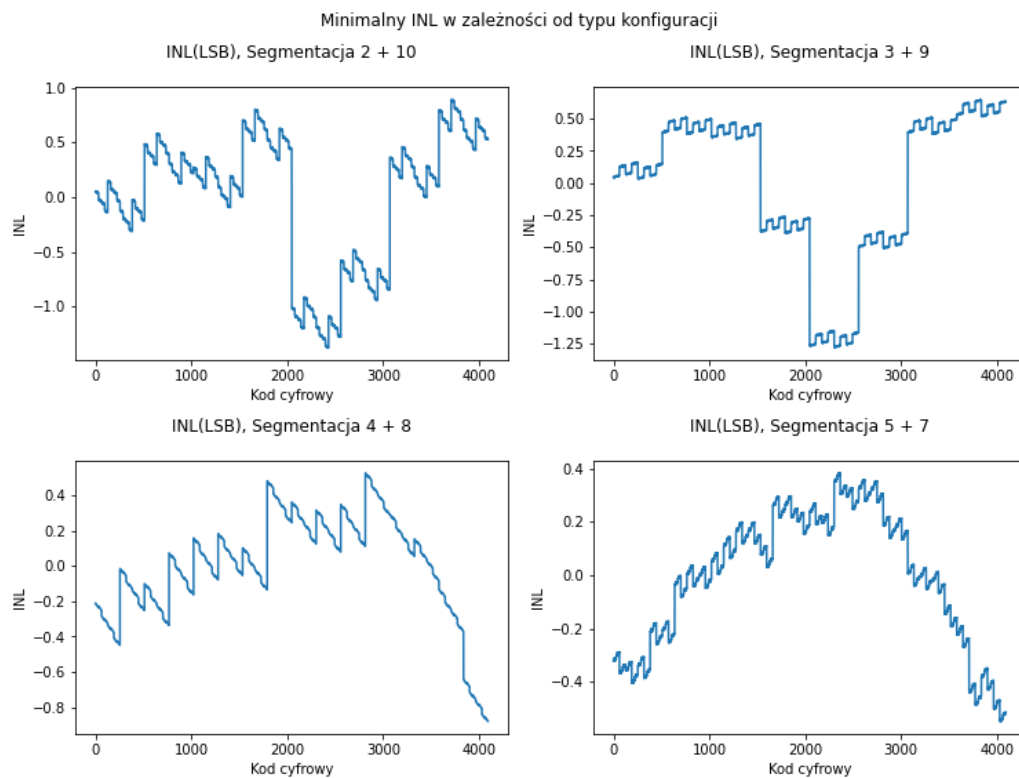


Rysunek 12: Minimalny błąd DNL uzyskany w symulacji.

Ilustracja graficzna dla wymienionych w tabeli wartości INL przedstawiona została na Rysunku 13 oraz 14.



Rysunek 13: Maksymalny błąd INL uzyskany w symulacji.

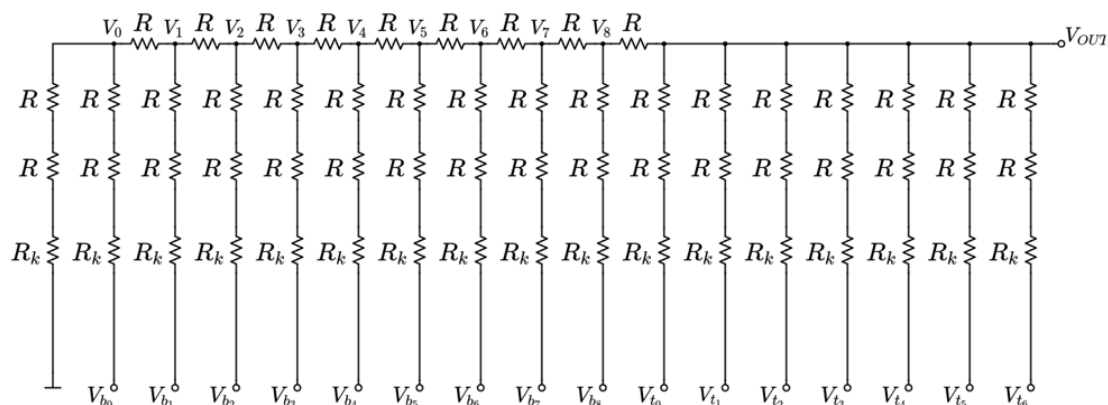


Rysunek 14: Minimalny błąd INL uzyskany w symulacji.

Wstępna analiza problemu od tej strony wskazuje, że większa segmentacja marginalizuje błędy nieliniowości całkowitej i różniczkowej układu analizowanego przetwornika cyfrowo-analogowego. Ma to szczególne znaczenie przy większych odchyleniach standardowych rezystancji oporników, ponieważ tam błędy mogą sięgać wartości znacznie większych niż 0.5LSB. W doborze konfiguracji projektu należy wziąć pod uwagę zarówno możliwości potencjalnych segmentacji jak i rozmiar całego układu, ponieważ wraz ze wzrostem segmentacji rośnie powierzchnia projektowanego DAC'a. Chcąc zaprojektować przetwornik 12-bitowy należy liczyć się z tym, że w skład układu wejdzie odpowiednio: 38, 43, 56 oraz 85 rezystorów dla segmentacji 2+10, 3+9, 4+8, 5+7. Liczby te zakładają (celem zminimalizowania błędów niedopasowania w procesie produkcyjnym) wykorzystanie jednego typu i rozmiaru rezystora, z którego finalnie poprzez połączenia równoległe i szeregowo można otrzymywać układy zastępcze o pożądanej rezystancji. Stąd też, w omawianym projekcie gałąź z opornikiem o wartości $2R$ została zastąpiona połączeniem szeregowym dwóch oporników o rezystancji jednostkowej.

Mając na względzie maksymalizację efektywności układu pod kątem liniowości i uniknięcia dużych wartości błędów charakterystycznych dla DAC'a oraz minimalizację powierzchni w końcowej części pracy rozważa się dwie środkowe konfiguracje. Typ segmentacji 2+10 został odrzucony z uwagi na niesatysfakcjonujące wartości błędów nieliniowości całkowitej oraz różniczkowej (przekraczające wartość nawet dwóch LSB - tak duża wielkość nie tyle nawet, że zaburza liniowość co jeszcze gubi wartość właściwą dla danego kodu - mamy błąd monotoniczności w charakterystyce przetwornika co dyskwalifikuje go z wielu potencjalnych zastosowań). Segmentacja 5+7 natomiast wymaga od układu obecności bardzo dużej liczby rezystorów. Biorąc pod uwagę ich potencjalne rozmiary powierzchnia układu może stać się nieakceptowalnie duża.

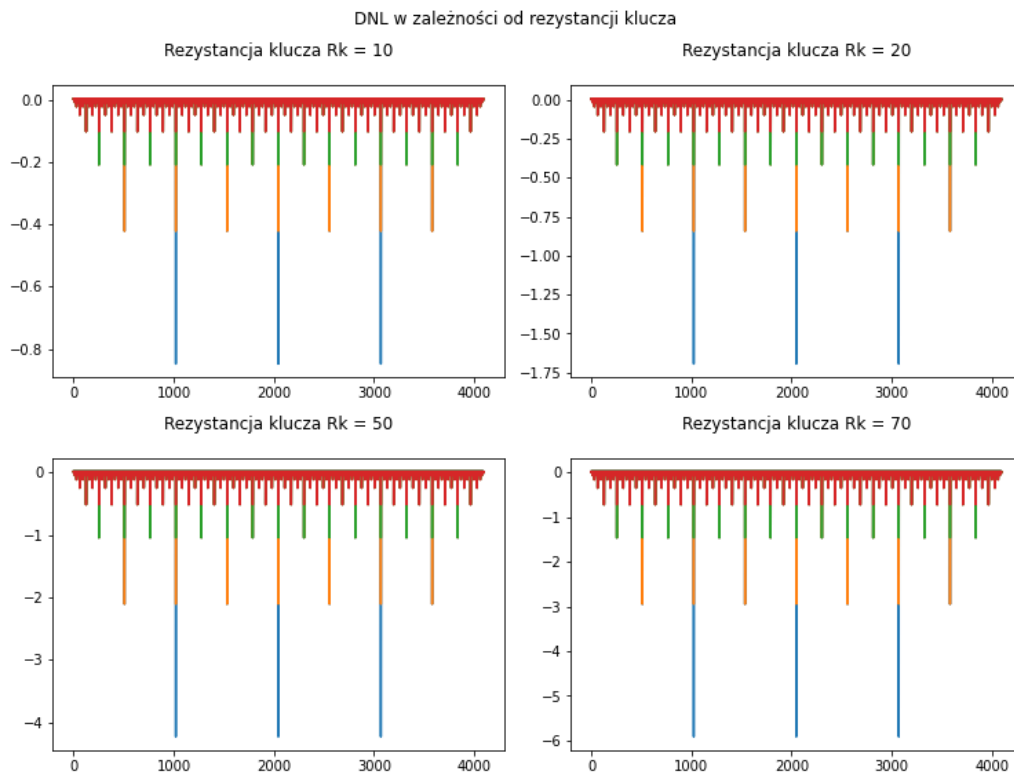
2.3 Analiza znaczenia rezystancji kluczy w układzie przetwornika cyfrowo-analogowego



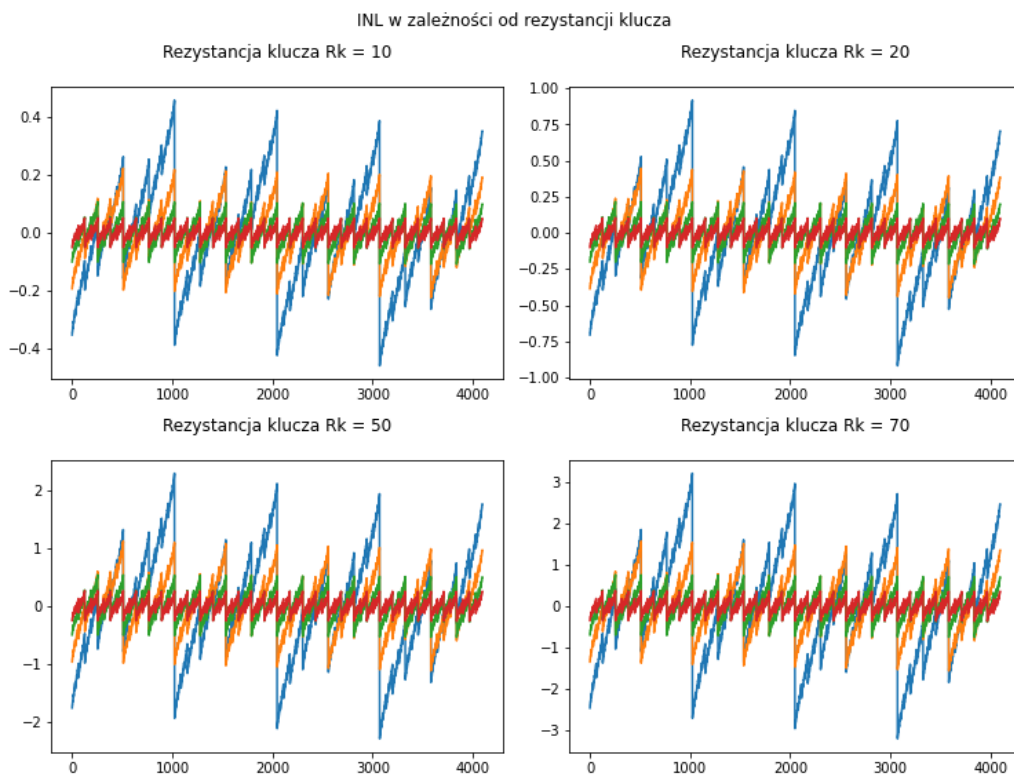
Rysunek 15: Przykładowy układ przetwornika z segmentacją typu 3+9 z uwzględnieniem rezystancji kluczy R_k .

Oprócz oporu rezystorów należy również rozważyć rezystancję kluczy, ponieważ w rzeczywistym układzie elektronicznym są one przyczyną występowania rezystancji pasożytniczych, które w wyraźny sposób mogą zakłócić liniowość przetwornika. Można to rozważyć koncepcyjnie jako kolejny rezystor wpięty do każdej z gałęzi o rezystancji $2R$, jak pokazano na Rysunku 15. Dla zachowania odpowiedniego stosunku rezystancji w sieci rezystorowej wpięto także zawsze zwarty do masy klucz w gałęzi równoległej do gałęzi LSB. W wykorzystanej w projekcie technologii CMOS130nm rezystancję klucza można zminimalizować do rzędu od kilku- do kilkudziesięciu Ω w zależności od maksymalnej powierzchni jaką klucz może zajmować. Jest on zbudowany z tranzystorów, w związku z czym zmniejszanie rezystancji klucza wiąże się ze zwiększaniem szerokości W kanału tranzystora. Na Rysunku 15 przedstawiona jest przykładowa konfiguracja z uwzględnieniem rezystancji kluczy. Oprócz niej rozważono wszystkie inne zaproponowane wcześniej segmentacje.

By uzyskać bardziej przejrzyste rozwiązanie analizowanej kwestii w tej części pracy zdecydowano się uwzględnić jedynie rezystancje pasożytnicze pochodzące od kluczy bez uwzględnienia rozrzutu oporu rezystorów. Chcąc zrozumieć wpływ występowania rezystancji pasożytniczych na rozdzielczość układu, w początkowej fazie analizy rozważono 100 układów, o rezystancjach kluczy równych odpowiednio $R_k = 1, 2, 3, \dots, 100 \Omega$. Podobnie jak poprzednio, w każdym z tych przypadków wyznaczona została funkcja przenoszenia, oraz błędy nieliniowości całkowitej i różniczkowej. Uzyskane rezultaty błędów DNL oraz INL zilustrowane są odpowiednio na Rysunkach 16 oraz 17.

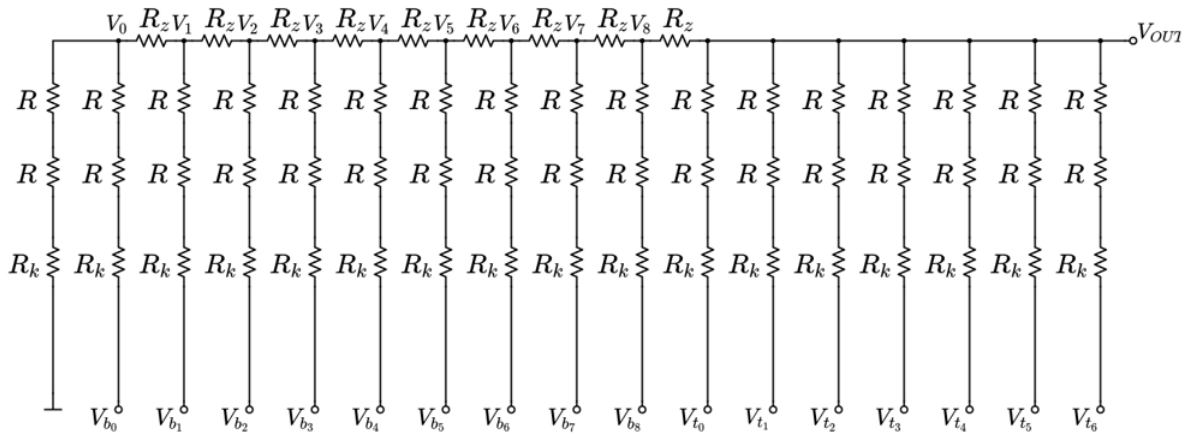


Rysunek 16: Błąd DNL dla różnych rezystancji kluczy dla wszystkich typów segmentacji: niebieski: 2+10, pomarańczowy: 3+9, zielony: 4+8, czerwony: 5+7.



Rysunek 17: Błąd INL dla różnych rezystancji dla wszystkich typów segmentacji: niebieski: 2+10, pomarańczowy: 3+9, zielony: 4+8, czerwony: 5+7.

Zauważyć można, że wraz ze wzrostem rezystancji klucza błędy DNL i INL pogarszają się w przypadku każdego z typów segmentacji. Dwie pierwsze wartości rezystancji można by uznać jeszcze za akceptowalne, ponieważ błędy nie przekraczają wartości równej jednemu LSB. Trzeba jednak pamiętać, że gdy w rzeczywistym projekcie pojawią się jeszcze błędy związane z niepewnością rezystorów to charakterystyka ulegnie dalszemu pogorszeniu. Należy więc skupić szczególną uwagę na marginalizacji problemu rezystancji kluczy. Najprostszym sposobem, na walkę z powyższym problemem jest wpięcie w układ przetwornika, w sieci R-2R w gałęziach w których podłączone są rezystory jednostkowe, rezystancji, która pozwoli zrównoważyć wpływ oporów pasożytniczych R_k pochodzących od kluczy. Można zrobić to w sposób przedstawiony na Rysunku 18.



Rysunek 18: Przykładowy układ z segmentacją typu 3+9 z uwzględnieniem rezystancji kluczy R_k i kompensacji.

Gdzie R_z to rezystancja zastępcza rezystora R oraz kompensacji kluczy (26):

$$R_z = R + \frac{R_k}{2}. \quad (25)$$

Zrealizować to można poprzez szeregowie wpięcie rezystora o oporze równym połowie wartości rezystancji klucza do gałęzi z rezystorami R [3]. Wybór typu takiego elementu powinien być rozważany tak by jego zmienność była jak najmniejsza i podobna do zmienności samego klucza (w zależności np. od temperatury). W omawianym projekcie zdecydowano się włączyć do każdej gałęzi z jednostkowym opornikiem zawsze zwartą bramkę transmisyjną (TGATE), zbudowaną z dwóch tranzystorów polowych.

2.4 Wybór rezystorów przetwornika w oparciu o parametry technologiczne

W następnym kroku dobrano odpowiednie parametry projektowe rezystorów składowych przetwornika na podstawie przeprowadzonej wcześniej analizy. Podstawowe parametry technologiczne branych pod uwagę rezystorów znajdują się w Tabeli 2.

Tabela 2: Parametry rezystorów rozważanych w projekcie.

Rezystor	Rezystancja na kwadrat [Ω / kw]	$W[\mu\text{ m}]$	$L[\mu\text{ m}]$	Rozważana rezystancja [Ω]	Błąd niedopasowania (σ) [%]
R1	950 ± 190	$W_R = 3$	$L_R = 140$	45788.23529	0.00081
R2	319.55 ± 63.91	$W_R = 3$	$L_R = 380$	41642.60805	0.00037
R3	260.09 ± 43.52	$W_R = 3$	$L_R = 450$	39991.86102	0.00035

Umieszczony w tabeli błąd niedopasowania wyznaczony został z relacji wskazanej przez producenta, wyznaczonej empirycznie. W ogólności σ niedopasowania jest odwrotnie proporcjonalna do pierwiastka z iloczynu długości oraz szerokości rezystora (jego powierzchni). Dokładne relacje opisujące wielkość tego błędu wskazane są we wzorach (27) - (29):

$$\sigma_{R1} = 1.6405/(W \cdot L)^{1/2}, \quad (26)$$

$$\sigma_{R2} = 1.2173/(W \cdot L)^{1/2}, \quad (27)$$

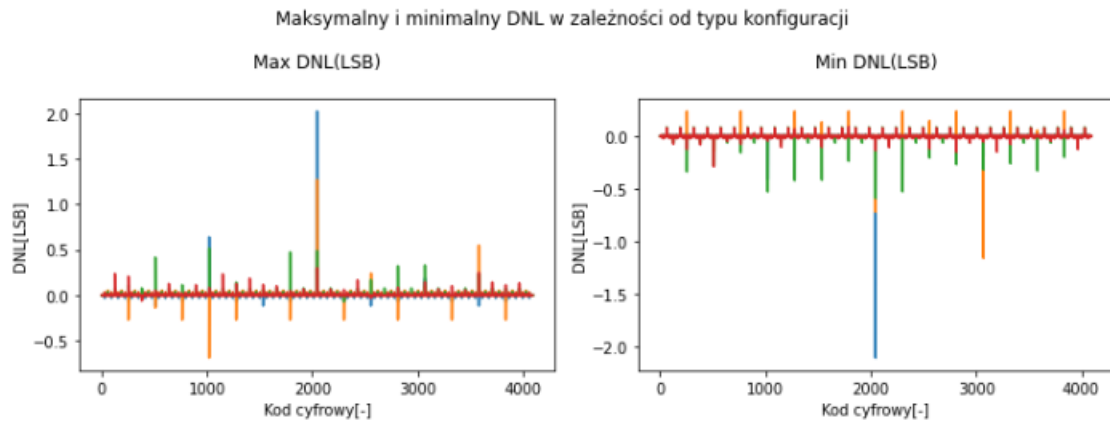
$$\sigma_{R3} = 1.2849/(W \cdot L)^{1/2}. \quad (28)$$

Uzyskana wartość odchylenia podana jest w % rezystancji opornika o wymiarach zadanych w równaniu. Wartość iloczynu przyjmowanego w równaniu wyrażona jest w jednostkach μm^2 . Przedstawiona tutaj analiza uwzględnia jedynie Mismatch rezystorów, bez analizy związanej z wpływem kluczy.

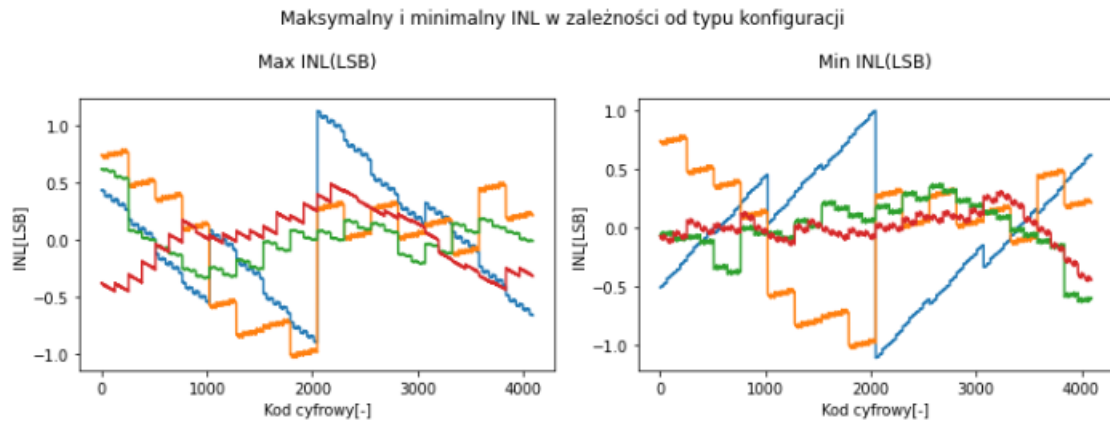
Wyniki błędów nieliniowości INL oraz DNL uzyskane dla $R1 = 45788.23529\Omega$, $\sigma = 0.00081\Omega$ prezentują się w Tabeli 3 oraz na wykresach 19 oraz 20.

Tabela 3: Maksymalne wartości INL oraz DNL dla R1 uzyskane w symulacji.

Typ segmentacji	2 + 10	3 + 9	4 + 8	5 + 7
$\text{DNL}(\text{LSB})_{MAX}$	2.02	1.27	0.51	0.30
$\text{DNL}(\text{LSB})_{MIN}$	-2.11	-1.16	-0.59	-0.29
$\text{INL}(\text{LSB})_{MAX}$	1.12	0.79	0.62	0.49
$\text{INL}(\text{LSB})_{MIN}$	-1.11	-1.03	-0.64	-0.46



Rysunek 19: Najgorsze wartości błędu DNL otrzymane w symulacji DAC'a z rezystorem R1 dla wszystkich typów segmentacji: niebieski: 2+10, pomarańczowy: 3+9, zielony: 4+8, czerwony: 5+7.

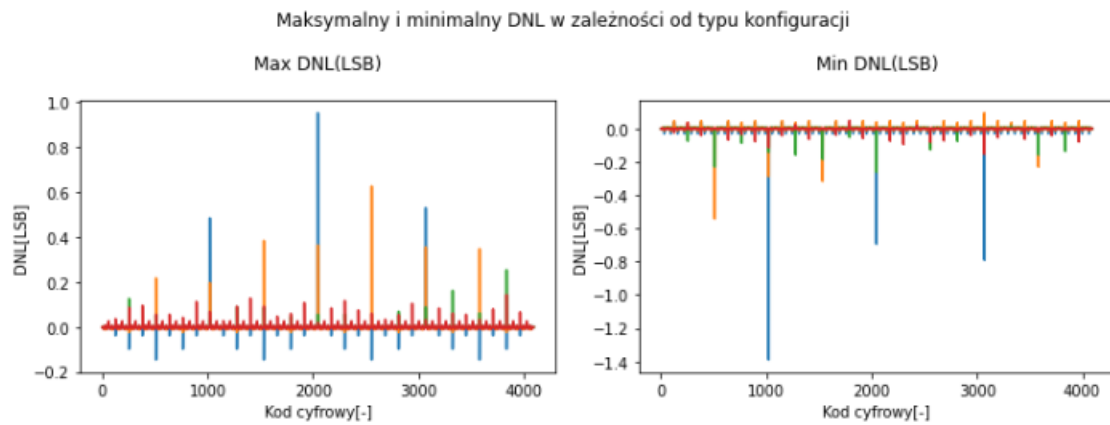


Rysunek 20: Najgorsze wartości błędu INL otrzymane w symulacji DAC'a z rezystorem R1 dla wszystkich typów segmentacji: niebieski: 2+10, pomarańczowy: 3+9, zielony: 4+8, czerwony: 5+7.

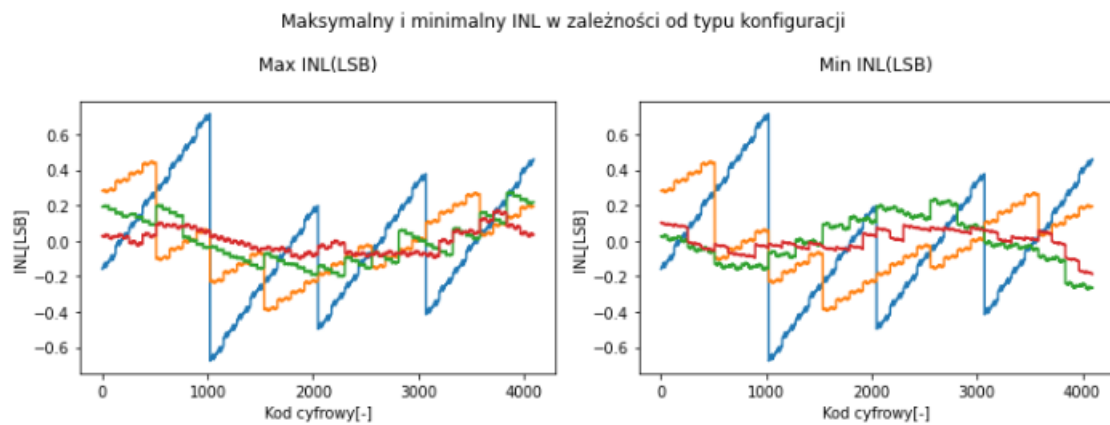
Wyniki błędów nieliniowości INL oraz DNL uzyskane dla $R2 = 41642.60805 \sigma = 0.00037$ prezentują się w Tabeli 4 oraz na wykresach 21 oraz 22.

Tabela 4: Maksymalne wartości INL oraz DNL dla R2 uzyskane w symulacji.

Typ segmentacji	2 + 10	3 + 9	4 + 8	5 + 7
$DNL(LSB)_{MAX}$	0.95	0.62	0.25	0.14
$DNL(LSB)_{MIN}$	-1.39	-0.54	-0.26	-0.15
$INL(LSB)_{MAX}$	0.71	0.45	0.28	0.17
$INL(LSB)_{MIN}$	-0.67	-0.40	-0.27	-0.19



Rysunek 21: Najgorsze wartości błędu DNL otrzymane w symulacji DAC'a z rezystorem R2 dla wszystkich typów segmentacji: niebieski: 2+10, pomarańczowy: 3+9, zielony: 4+8, czerwony: 5+7.

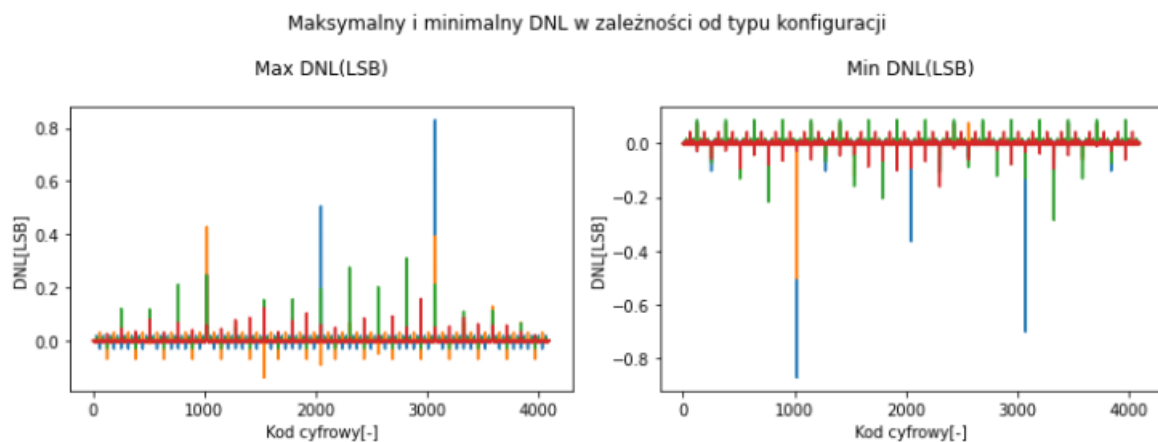


Rysunek 22: Najgorsze wartości błędu INL otrzymane w symulacji DAC'a z rezystorem R2 dla wszystkich typów segmentacji: niebieski: 2+10, pomarańczowy: 3+9, zielony: 4+8, czerwony: 5+7.

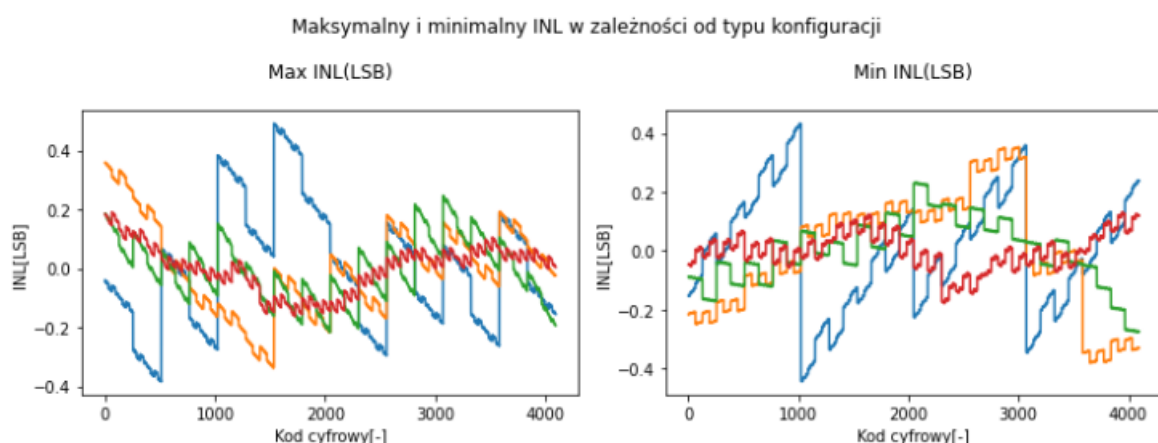
Wyniki błędów nieliniowości INL oraz DNL uzyskane dla $R3 = 39991.86102$ $\sigma = 0.00035$ prezentują się w Tabeli 5 oraz na wykresach 23 oraz 24.

Tabela 5: Maksymalne wartości INL oraz DNL dla R3 uzyskane w symulacji.

Typ segmentacji	2 + 10	3 + 9	4 + 8	5 + 7
$DNL(LSB)_{MAX}$	0.83	0.43	0.31	0.16
$DNL(LSB)_{MIN}$	-0.87	-0.50	-0.29	-0.16
$INL(LSB)_{MAX}$	0.49	0.36	0.25	0.19
$INL(LSB)_{MIN}$	-0.44	-0.38	-0.28	-0.18



Rysunek 23: Najgorsze wartości błędu DNL otrzymane w symulacji DAC'a z rezystorem R3 dla wszystkich typów segmentacji: niebieski: 2+10, pomarańczowy: 3+9, zielony: 4+8, czerwony: 5+7.



Rysunek 24: Najgorsze wartości błędu INL otrzymane w symulacji DAC'a z rezystorem R3 dla wszystkich typów segmentacji: niebieski: 2+10, pomarańczowy: 3+9, zielony: 4+8, czerwony: 5+7.

Wyznaczone wartości błędów mogą wskazywać na to, że bardziej korzystne wydaje się być użycie w układzie rezystorów typu R2 oraz R3. Należy jednak zwrócić uwagę na powierzchnie jakie tego typu matryce mogłyby zająć; wymiary te mogą być trzy razy większe w porównaniu do typu R1. W Tabeli 6 przedstawiono powierzchnie samej matrycy rezystorowej dla każdego z trzech typów omówionych rezystorów w układzie segmentowanym typu 4+8.

Tabela 6: Powierzchnie matryc rezystorowych układów, dla których przedstawiono wyniki symulacji wszystkich rezystorów.

Rezystor	R1	R2	R3
Powierzchnia [μm^2]	23 520	63 840	75 600

Rozrzut rezystorów przedstawiony powyżej wyliczony został na podstawie parametrów użytej technologii CMOS130nm. Wartość ta jest proporcjonalna do odwrotności pierwiastka z iloczynu długości i szerokości rezystora, stąd też im większe są wymiary rezystorów tym mniejsze jest odchylenie od wartości średniej rezystancji końcowych. Dlatego też, w przedstawionych powyżej wynikach uzyskane wartości błędów nieliniowości prezentują się lepiej dla rezystorów typu R2 oraz R3. Dobór przedstawionych wyżej zależności wiąże się z próbą wyznaczenia podobnych wartości rezystancji, które swój niemały rozmiar zawdzięczają próbie minimalizacji wpływu rezystancji pasożytniczych pochodzących od kluczy. W obliczu konfrontacji z tak dużą różnicą powierzchni wszystkich układów przy podobnych wartościach rezystancji opłacalniej jest wybrać rezystor R1. Przy podobnych wymiarach każdego z trzech typów rezystancji rozrzut parametrów jest odrobinę większy dla rezystora R1 (korzystając ze wzorów (27-29) można wykazać, że dla wymiarów $L = 140\mu\text{m}$ oraz $W = 3\mu$ komponenty typu R1 mają rozrzut na poziomie 0.08%, pozostałe dwa mają niepewności rzędu 0.06%). Niemniej jednak z użyciem tego typu rezystora łatwiej jest zaprojektować dużą wartość rezystancji, co ma wpływ na dokładność oraz minimalizowanie poboru mocy przez układ. Dlatego też, bazując na przedstawionych wnioskach podjęto decyzję o wykorzystaniu rezystorów typu R1 w projekcie.

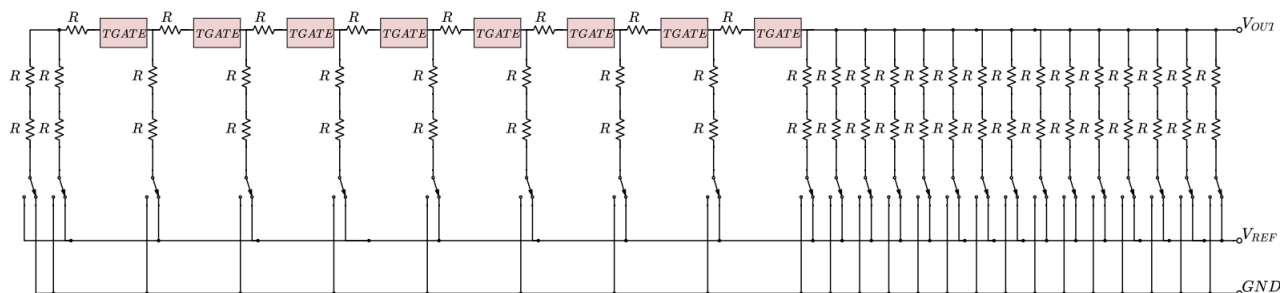
3 Projekt 12-bitowego przetwornika cyfrowo-analogowego w oparciu o segmentowaną sieć rezystorową

Prezentowany przetwornik cyfrowo-analogowy został zaprojektowany oraz przesymulowany z wykorzystaniem środowiska Cadence Design System, w oparciu o technologię CMOS 130nm. Prezentowane poniżej wyniki oraz rozważania bazują na danych wyjściowych z tego oprogramowania. Nie licząc samego DAC'a do schematu symulacyjnego zaprojektowany został również dekodery kodu binarnego na kod termometryczny. Jego schemat bazuje na minimalizacji funkcji logicznych z wykorzystaniem metody tablic Karnaugh'a. W finalnej wersji projektu dobrze byłoby uwzględnić również wzmacniacz buforujący napięcie wyjściowe.

Pokazane wyniki są ściśle analizą samego przetwornika cyfrowo-analogowego. Oprócz zwykłej symulacji DC wykonano również symulacje z wykorzystaniem metody Monte Carlo. Na podstawie wyników zostały wyciągnięte wnioski, które zdeterminowały wartości końcowe parametrów elementów składowych DAC'a.

3.1 Opis układu

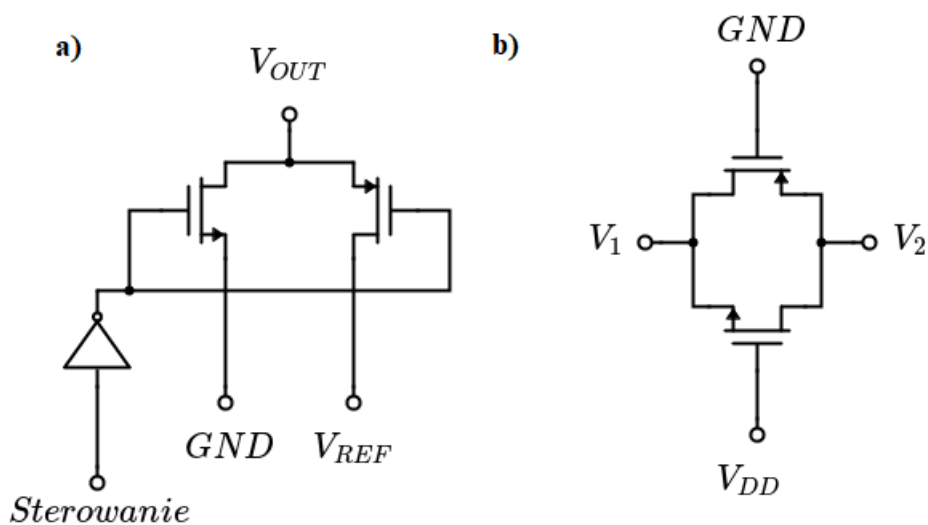
Mając na uwadze podjęcie najlepszej decyzji w związku z wyborem typów segmentacji 3+9 oraz 4+8 zdecydowano się obie z tych konfiguracji umieścić na schematach obwodów elektronicznych. Dla obu segmentacji wykonano symulacje DC funkcji przenoszenia oraz wstępną symulację Monte Carlo. W obydwu przypadkach wyliczono błędy INL oraz DNL, porównano rozważania z przewidywaną powierzchnią i dokonano wyboru. Dla finalnego układu została przeprowadzona pogłębiona analiza statystyczna. Na Rysunku 25 zaprezentowano schemat układu z segmentacją 4+8 z włączeniem wszystkich elementów składowych.



Rysunek 25: Układ przetwornika cyfrowo-analogowego z segmentacją 4+8. Liczba gałęzi segmentowanych wynosi 15, standardowa drabinka R2R ma 9 gałęzi 2R.

Schemat układu właściwy dla konfiguracji wykorzystującej segmentację 3+9 konstruuje się analogicznie; w tym przypadku liczba gałęzi z poza sieci R-2R wynosi 7, a liczba pozostałych odnog 2R jest równa dziesięciu. W układzie prezentowanym na Rysunku 25

oznaczone zostały klucze oraz bramki transmisyjne mające na celu kompensację rezystancji pasożytniczych od nich pochodzących. Schemat obu typów kluczy przedstawiono na Rysunku 26.



Rysunek 26: Układ a) wykorzystanego klucza oraz b) bramki transmisyjnej.

Zastosowane w układzie klucze (Rysunek 26a) są złożeniem dwóch tranzystorów typu MOS; NMOS'a oraz PMOS'a, które sterowane są sygnałem przekazywanym do DAC'a. Jako że warunkiem pojawienia się kanału w tranzystorze typu NMOS jest to, by sygnał napięciowy między bramką a źródłem był większy lub równy napięciu V_{TH} [6] tranzystor ten pracuje gdy podane na bramkę napięcie jest zwarte do V_{DD} (napięcia zasilania). Potencjał źródła jest równy zeru, zatem napięcie $V_{GS} = V_{DD}$, co jest na pewno większe od napięcia progowego V_{TH} . Stąd wniosek, że NMOS dobrze przenosi stan niski (masę). Analogiczną analizę można przeprowadzić dla tranzystora typu PMOS. Dlatego też, przedstawiony wyżej klucz oprócz obu tranzystorów posiada również inwerter, który odwraca sygnał podany na bramkę. Wtedy na logiczne zero podane na bramkę układ reaguje zwierając dany bit układu do masy, a na logiczne 1 klucz reaguje przenosząc do układu napięcie V_{REF} .

Jako że tranzystory NMOS i PMOS pracują wymiennie to rezystancją klucza będzie rezystancja tranzystora (tzw. r_{ds}), który pracuje w obszarze triodowym. Wielkość ta zależy bezpośrednio od prądu drenu tranzystora, a on ze względu na zmienność układu przetwornika w zależności od kodu wejściowego może się zmieniać. W przypadku klucza efekt ten jest niewielki (ale występuje), natomiast w kontekście bramki transmisyjnej zmiany te są już istotne i należy je wziąć pod uwagę w realizacji projektu. W prostym układzie symulacyjnym dla bramki transmisyjnej przedstawionej na Rysunku 26b można by (przeprowadzając odpowiednie symulacje) zauważyć duże wahania jej rezystancji przy zmianie kodów wejściowych (zmianie napięć na odpowiednich węzłach). Wahania takie

również pojawiają się w układzie omawianego przetwornika, dlatego należy wyraźnie zaznaczyć, że kompensacja oporu pasożytniczego pochodzącego od kluczy w tym przypadku jest zabiegiem przybliżonym. Zmienia istotnie rezultaty (poprawia wyniki), ale nie jest idealna, i wiąże się z różnymi wymiarami tranzystorów wykorzystanych w budowie poszczególnych segmentów. Ma jednak jedną wyraźną zaletę; ze względu na to, że wykorzystane w bramce transmisyjnej są elementy tego samego typu co w przypadku klucza to można spodziewać się, że zmienność tych elementów w zadanych warunkach (temperatura, procesy produkcyjne) będzie podobna i nie zmieni znacznie stosunku rezystancji w drabince $R-2R$, więc nie wpłynie istotnie na kluczowe charakterystyki przetwornika.

Mając na uwadze uzyskanie jak najlepszych rezultatów starano się wybrać odpowiednie wymiary tranzystorów w układzie klucza. Kierowano się tym, by rezystancja obu tranzystorów typu NMOS i PMOS była możliwie równa i jak najmniejsza. Projekt przedstawia schemat układu, który z założenia jest układem statycznym. Dlatego też, analiza częstotliwościowa prezentowanego przetwornika nie ma zbyt dużego znaczenia i można pozwolić sobie na stworzenie dużych (jak na wymogi współczesnej mikroelektroniki) tranzystorów, których rezystancja będzie relatywnie niska. Wykorzystany klucz doprowadzono do stanu, w którym oba tranzystory osiągnęły rezystancję na poziomie $16\ \Omega$ każdy.

W przypadku bramki transmisyjnej udało się osiągnąć wartości rezystancji od 8 do ok. $15\ \Omega$. Architektura przetwornika sprawia, że wartości prądów przepływających przez dane gałęzie mogą różnić się istotnie w przypadku części odpowiadającej za mniej znaczące bity. Natomiast w przypadku bramek znajdujących się niedaleko najważniejszego bitu można uzyskać rezystancje bramek nie różniące się znacznie w zależności od kodu wejściowego. Dzięki temu udało się uzyskać zadowalającą kompensację oporu kluczy. Lista wymiarów kluczowych elementów obwodu DAC'a znajduje się w Tabeli 13 na końcu pracy.

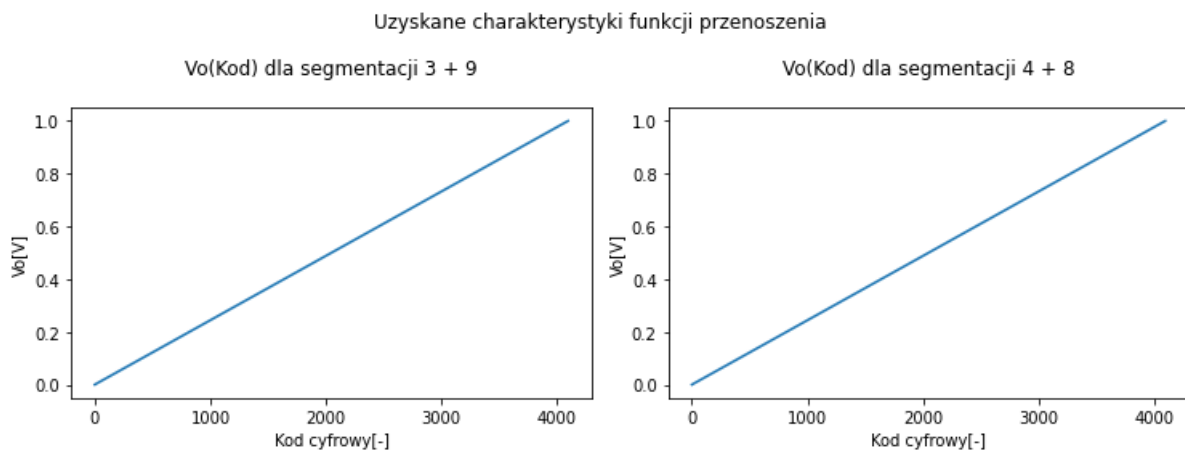
3.2 Analiza typu segmentacji za pomocą oprogramowania Cadence Design System

Układy symulowane w pakiecie Cadence, w przeciwieństwie do rozważań przedstawionych w rozdziale drugim, zawierają w sobie klucze oraz bramki transmisyjne; dlatego też przedstawione poniżej wyniki będą w pełni odzwierciedlać zaprojektowany układ. W tej części pracy dokonano wyboru między segmentacją typu 3+9 oraz 4+8. Dla każdej z nich stworzono schemat architektury przetwornika DAC, układ symulacyjny z osobnym dekodere dla każdego typu i na podstawie wielu symulacji DC dopasowano wymiary tranzystorów i rezystorów tak, żeby końcowa funkcja przenoszenia miała odpowiednie parametry. W tej symulacji napięcie $V_{REF} = 1V$. Podsumowanie ważnych cech obu układów (dążono do tego, by kluczowe parametry były w obu przypadkach takie same) znajduje się w Tabeli 7.

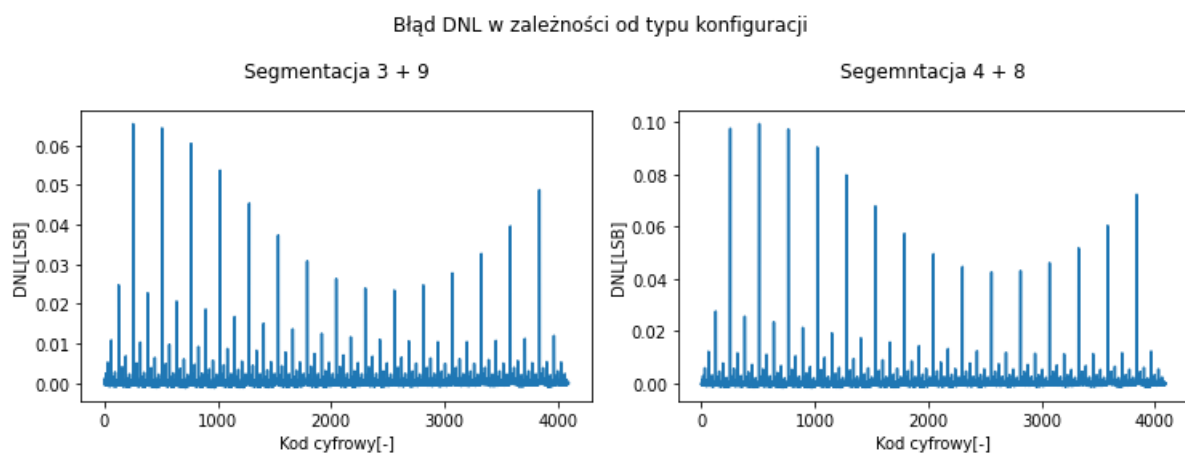
Tabela 7: Kluczowe parametry układów symulowanych, dla których przedstawiono wyniki symulacji.

Cecha	Wartość
Wymiary rezystorów	$L = 140\mu\text{m}$, $W = 3\mu\text{m}$
Rezystancja rezystorów	$R = 45788.23529\Omega$
Rezystancja kluczy	$R \approx 16\Omega$
Rezystancja Tgate'ów	$R \approx (8 ; 15)\Omega$

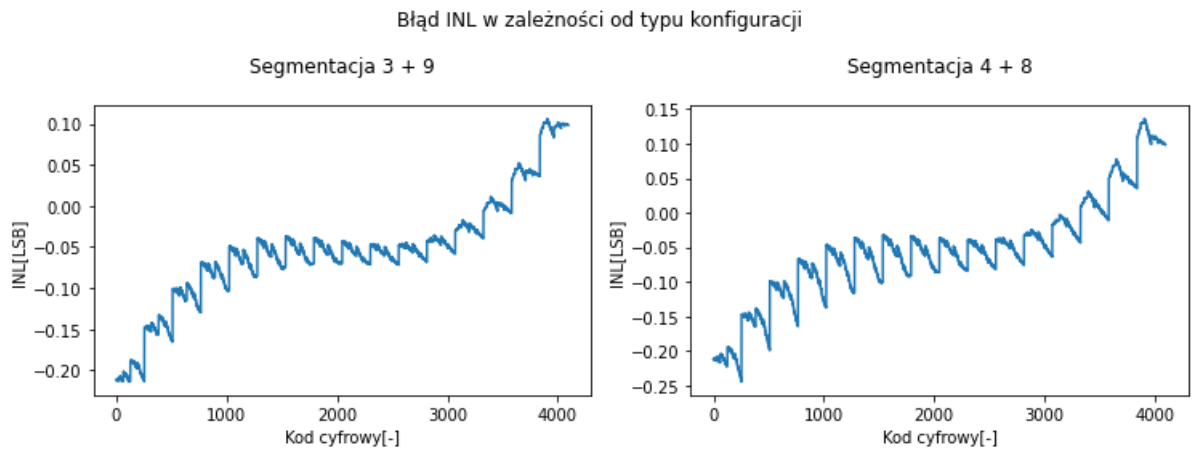
Symulacje DC dla obu układów pokazano na wykresie 27, 28, 29 (funkcja przenoszenia, DNL oraz INL).



Rysunek 27: Funkcja przenoszenia obu rozpatrywanych układów.



Rysunek 28: Błędy DNL obu rozpatrywanych układów.



Rysunek 29: Błędy INL obu rozpatrywanych układów.

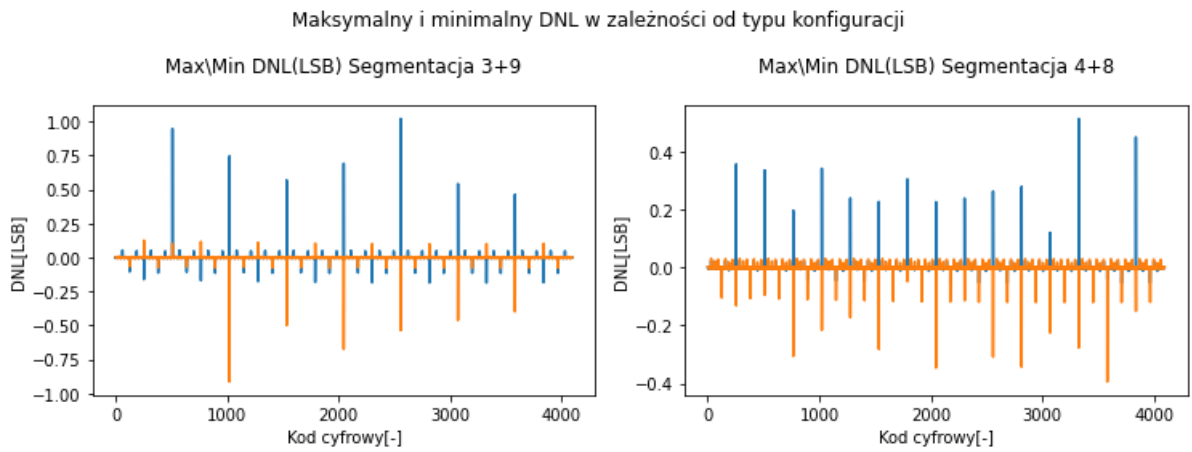
Pokazane rezultaty nie uwzględniają błędów związanych z rozrzutem wartości rezystorów składowych układu. Dlatego też powyższe charakterystyki prezentują się tak dobrze. Wnioski jakie można z tego wyciągnąć wskazują na to, że rezystancje kluczy zostały tutaj bardzo dobrze skompensowane w obu omawianych przypadkach. Błąd maksymalny DNL nie przekracza 10% LSB, co wskazuje na bardzo dobrą liniowość układu.

W następnym kroku rozważono wstępną symulację Monte Carlo obydwu typów konfiguracji i na jej podstawie podjęto decyzję o końcowym typie układu. Wykonano 200 symulacji układu w oparciu o odpowiednie własności technologiczne elementów składowych za pomocą pakietu Cadence Design System. Liczba ta jest wystarczająca do tego by móc zdecydować się na konkretny typ konfiguracji. Wartości najgorszych uzyskanych rezultatów wskazano w Tabeli 8.

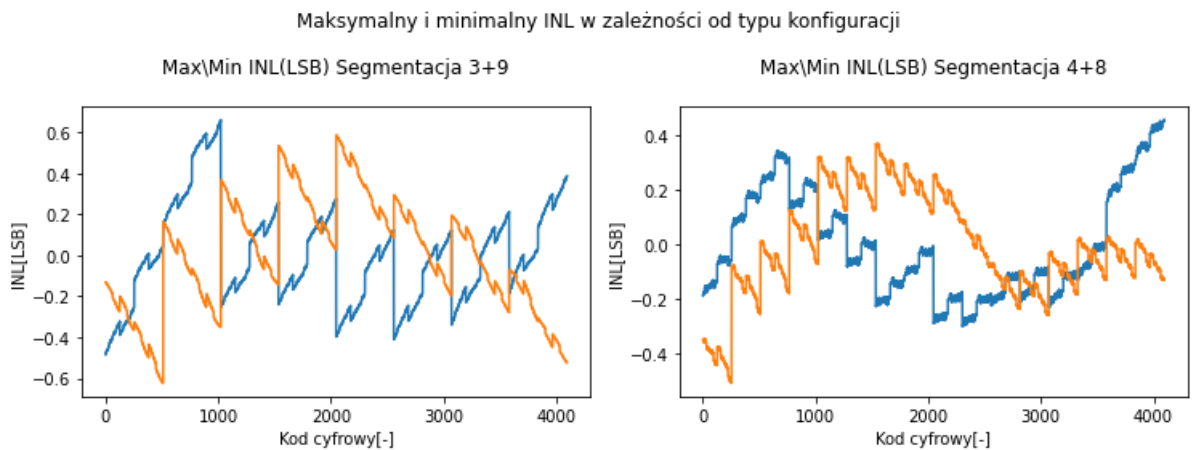
Tabela 8: Maksymalne i minimalne wartości błędów INL oraz DNL uzyskane w symulacji.

Typ segmentacji	3 + 9	4 + 8
$DNL(LSB)_{MAX}$	1.02	0.51
$DNL(LSB)_{MIN}$	-0.92	-0.39
$INL(LSB)_{MAX}$	0.66	0.46
$INL(LSB)_{MIN}$	-0.62	-0.51

Ilustracja graficzna przedstawionych w Tabeli 8 błędów znajduje się na wykresach 30 i 31.



Rysunek 30: Błędy DNL obu rozpatrywanych układów.



Rysunek 31: Błędy INL obu rozpatrywanych układów.

Jak widać uzyskane rezultaty różnią się znacząco względem prezentowanych wcześniej wyników. W przypadku segmentacji typu 3 + 9 uzyskana najgorsza wartość błędu DNL i INL przekracza wartość graniczną 1 LSB, co jest niedopuszczalne w przypadku przetwornika DAC o zadanej rozdzielczości; efektem uzyskania tego typu charakterystyki może być na przykład utrata wartości odpowiadających określonym kodom wejściowym w charakterystyce końcowej relacji wyjścia od wejścia, co może dyskwalifikować przetwornik z możliwości wykorzystania w układach elektronicznych. Należy również pamiętać o tym, że pokazany powyżej przypadek przedstawia jedynie 200 wykonanych symulacji. Żeby w pełni zbadać wszystkie możliwości rozrzutu symulacji tych należy wykonać znacznie więcej i wyznaczyć wielkości prawdopodobieństwa błędów nieliniowości całkowitej i różniczkowej uzyskanych w symulacji. Na tej podstawie określić będzie można wagę najgorszych relacji uzyskanych w procesie.

Otrzymane wyniki należy jeszcze skonfrontować pod kątem powierzchni rozpatrywanych układów. Chąc uzyskać przetwornik z naprawdę dobrą charakterystyką przenoszenia należy dążyć do wartości błędów nie większych niż 0.5LSB, tak jak wartości uzyskane

dla segmentacji typu 4 + 8. Dlatego też, dla porównania wykonano kolejną symulację Monte Carlo z większymi rezystorami dla samej konfiguracji typu 3 + 9 celem wyznaczenia powierzchni układów prezentujących podobnie satysfakcjonujące wyniki.

Finalnie zwiększono wartość rezystancji dwa razy; parametry te pokazano w Tabeli 9.

Tabela 9: Powierzchnia DAC'a po zmianie parametrów segmentacji 3+9.

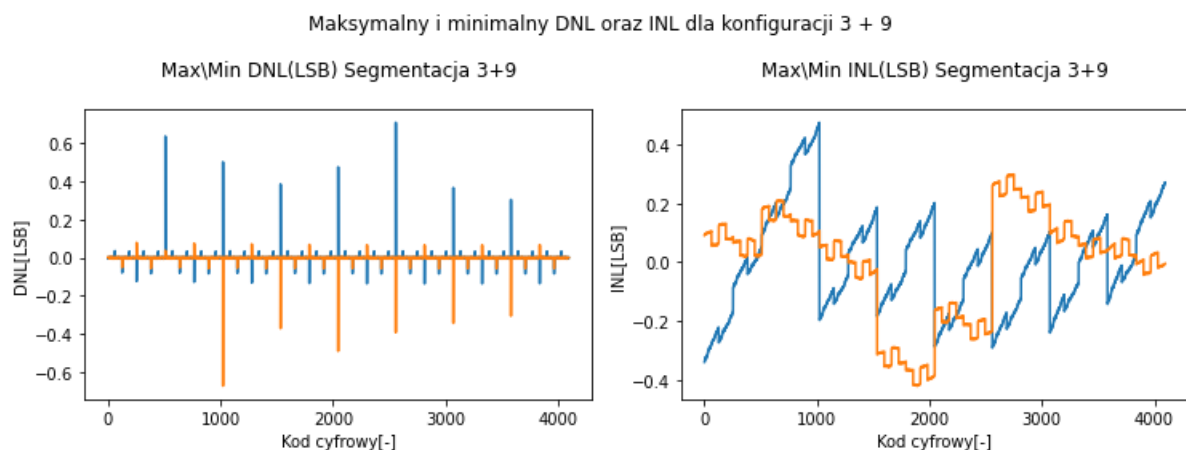
Cecha	Wartość
Wymiary oporników	$L = 280\mu\text{m}$, $W = 3\mu\text{m}$
Rezystancja oporników	$R = 91539.86928 \pm 0.00057\Omega$

Uzyskane błędy przedstawiono w Tabeli 10.

Tabela 10: Maksymalne wartości INL oraz DNL uzyskane w symulacji.

Typ segmentacji	3 + 9
$\text{DNL}(\text{LSB})_{MAX}$	0.71
$\text{DNL}(\text{LSB})_{MIN}$	-0.67
$\text{INL}(\text{LSB})_{MAX}$	0.48
$\text{INL}(\text{LSB})_{MIN}$	-0.42

Poprawione charakterystyki widoczne są na Rysunku 32.



Rysunek 32: Błędy INL oraz DNL obu rozpatrywanych układów.

Chąc dalej polepszać charakterystykę badanego układu dobrze byłoby zwiększać wartość parametru W , niemniej jednak błąd jaki otrzymuje się dla przedstawionej konfiguracji jest już na tyle niewielki, że nie spowoduje to rewolucyjnych zmian. Stąd też do rozważań powierzchniowych stosuje się tego typu przykładowy układ. Matryce rezystorowe układów z segmentacją typu 3+9 oraz 4+8 zawierają odpowiednio 43 oraz 56 oporników. Dla przedstawionych wyżej wymiarów rezystancji całkowite powierzchnie obu układów, bez

wkładu kluczy oraz bez uwzględnienia odległości, które muszą być zgodne z regułami layout'owymi, przyjmują wartości przedstawione w Tabeli 11.

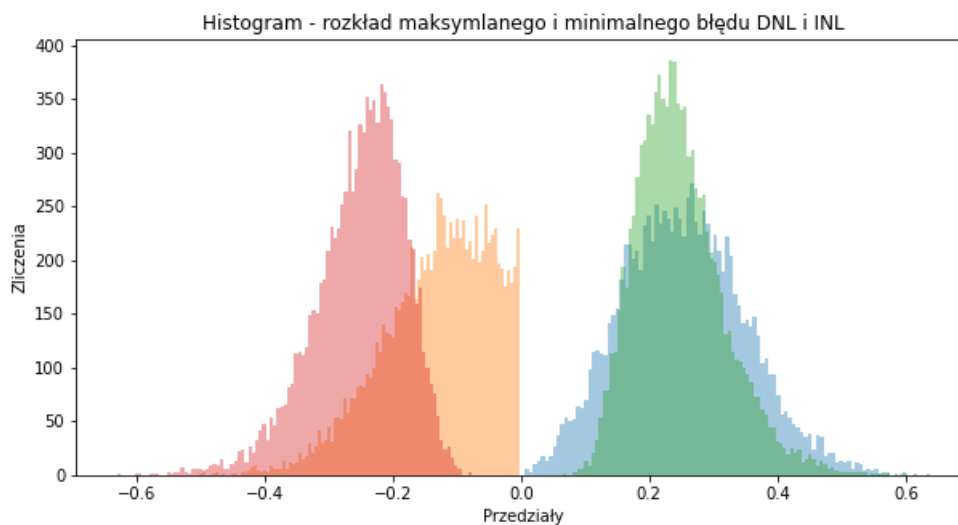
Tabela 11: Powierzchnie układów (segmentacja 3+9 oraz poprawiona 4+8).

Segmentacja	Powierzchnia [μm^2]
3 + 9	36 120
4 + 8	23 520

Jak widać, segmentacja 4+8 wygrywa z typem 3+8 zarówno na polu dokładności napięć wyjściowych jak i powierzchni. Konfiguracja sieci z segmentacją 4+8, z parametrami omówionymi w prezentowanej analizie jest układem wykorzystanym finalnie w projekcie.

3.3 Symulacje Monte Carlo wybranego układu

W dalszym etapie pracy wyznaczono częstości występowania poszczególnych błędów dla wybranego układu z segmentacją 4+8. Wykonano 10 200 symulacji Monte Carlo. Dla każdej z nich wyliczono i wyróżniono największą i najmniejszą wartość błędów DNL oraz INL. Histogram wyników wyznaczony w ten sposób mieści się na Rysunku 33.



Rysunek 33: Histogram nagorszych błędów DNL oraz INL. Kolory równoznaczne są: czerwony - minimalny DNL, zielony - maksymalny DNL, pomarańczowy - minimalny INL, niebieski - maksymalny INL.

Jak widać na załączonym wykresie nie występują wartości przekraczające $0.7LSB$, nie mówiąc o przekroczeniu granicznej wartości dopuszczalnej ($1LSB$) w kontekście utrzymania właściwej rozdzielczości projektowanego przetwornika. Wykonanie 10 000 symulacji znacząco zmniejsza prawdopodobieństwo wystąpienia nieprzewidzianej konfiguracji układu, która mogłaby być niezgodna z wynikami przedstawionymi powyżej i znacznie pogorszyć funkcję

przenoszenia układu. Przedstawione w Tabeli 12 wyniki prezentują częstość zliczeń w granicznych przedziałach wartości uzyskanych podczas analizy danych symulacyjnych.

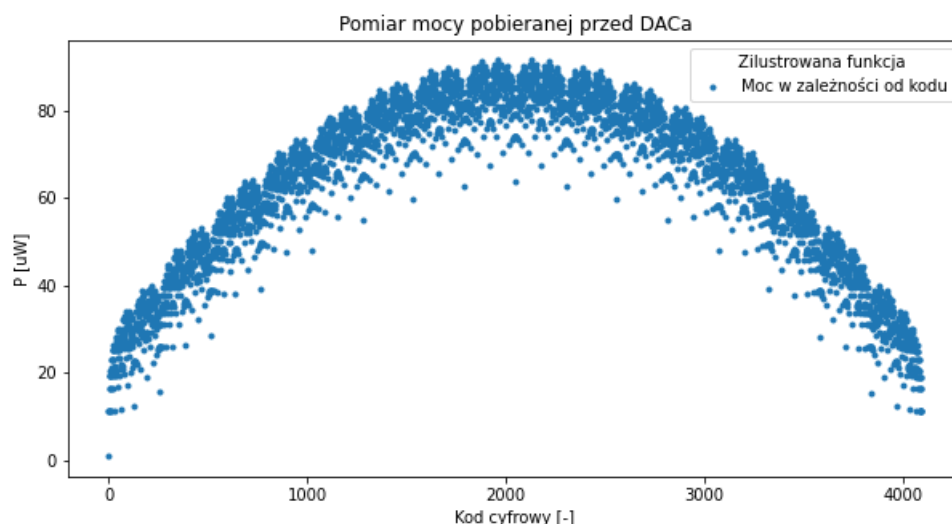
Tabela 12: Zliczenia w granicznych przedziałach wartości uzyskanych w symulacji.

Błąd	Przedział	Zliczenia	Przedział	Zliczenia
$DNL(LSB)_{MAX}$	(0.496 ; 0.558)	84	(0.558 ; 0.618)	10
$DNL(LSB)_{MIN}$	(-0.502 ; -0.453)	7	(-0.453 ; -0.378)	57
$INL(LSB)_{MAX}$	(0.494 ; 0.551)	22	(0.551 ; 0.638)	7
$INL(LSB)_{MIN}$	(-0.630 ; -0.574)	4	(-0.574 ; -0.492)	38

Na podstawie zaprezentowanych wyników można stwierdzić, że zaprojektowany układ z bardzo wysokim prawdopodobieństwem będzie miał bardzo dobre cechy liniowości, wysoką rozdzielczość i niską możliwość narażenia się na znaczące błędy nieliniowości typowe dla przetworników.

3.4 Pomiar mocy pobranej przez układ

W końcowej analizie oprócz przewidywanej rozdzielczości DAC'a uwzględniono również pomiar mocy układu (Rysunek 34). Determinuje ona możliwości zastosowania przetwornika w określonych układach elektronicznych. Im jest mniejsza tym mniejsza jest ilość energii, której układ potrzebuje do działania. Prąd referencyjny zmienia się w zależności od kodu, napięcie referencyjne jest stałe. Wartość mocy pobranej uzyskać można licząc iloczyn obu wielkości.



Rysunek 34: Zależność mocy pobranej w funkcji kodu.

Największa moc pobrana przez układ to $P_{MAX} = 91.5 \mu W$, co jest akceptowalnie małą wartością. Przewidywane założenia (dokładność, pobór mocy) związane z projektem zostały spełnione. Oczywiście końcowy wynik mocy układu może nieco się różnić względem

tęgo wyznaczonego przez symulację DC ponieważ symulacje post-layoutowe mogą wykazać liczne elementy pasożytnicze, które też będą się składać na pobór mocy przetwornika. Niemniej jednak wynik tutaj uzyskany jest na tyle mały, że wpływ ten nie powinien być istotny.

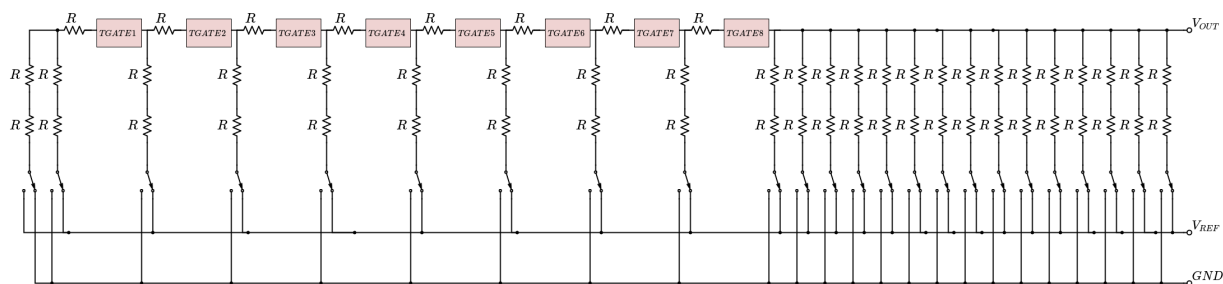
3.5 Końcowe rozważania i wymiary elementów obwodu przetwornika cyfrowo-analogowego

Po przejściu przez wszystkie inne etapy projektowania i produkcji omówionego układu można przystąpić do wykonania pomiarów, w których zbadać należy rzeczywiste wartości rezystancji składowych układu. Wówczas okazać się może, że niektóre gałęzie w części MSB lepiej odwzorowują daną wartość kodu cyfrowego niż inne - wartości napięć wyjściowych są zbliżone do wzorcowego odpowiednika z lepszą dokładnością niż inne. Tę własność można wykorzystać w sterowaniu części MSB. Równolegle połączone gałęzie 2R, dzięki swojej prostej konstrukcji, mają taką własność, że wartości binarne przekazywane przez część MSB są równoważne pod kątem funkcjonalności; to znaczy, że wybór gałęzi, która zwierza układ do napięcia referencyjnego nie ma tutaj znaczenia - ważne jest jedynie to, by właściwa ilość gałęzi została zwarta. Dlatego też, można przeprowadzić analizę, która skupi się na wyborze najbardziej optymalnych gałęzi części MSB gwarantujących najmniejsze błędy DNL i INL.

Tęgo typu działania należy wykonać dla wyprodukowanego już układu DAC'a, ponieważ tylko w ten sposób można uzyskać informacje o różnicach między rezystorami. Po przeprowadzeniu zaproponowanej analizy wystarczy wykonać odpowiedni układ dekodera, który będzie konwertować sygnał wejściowy, na taki, którego odbiór na wejściu przetwornika będzie dopasowany do wymagań zgodnych z wnioskami z przeprowadzonych rozważań. W tej pracy, do symulacji układu konwerterem przetwarzającym wejściową wartość binarną na część MSB sterowania DAC'a był prosty konwerter kodu binarnego na kod termometryczny, ale rozwiązanie tutaj zaproponowane może go zmienić.

Wykorzystanie omówionego projektu może podlegać innym warunkom restrykcyjnym, niż te na których skupiono się w tej pracy (najważniejsze jest, żeby zaprojektowany przetwornik prezentował maksymalną rozdzielczość). Dlatego też, jeżeli dla użytkownika ważniejsza jest na przykład większa minimalizacja powierzchni zajmowanej przez DAC'a, to można nieco go zmodyfikować (zmniejszając rozmiary rezystorów, wymiary tranzystorów polowych), pogorszyć błędy INL oraz DNL, ale uzyskać przy tym pewien zysk powierzchniowy.

Zaprojektowanemu układowi, którego schemat znajduje się na Rysunku 35, odpowiadają wartości umieszczone w Tabeli 13.



Rysunek 35: Architektura układu przetwornika.

Tabela 13: Wymiary elementów obwodu

Element	W[μm]	L[μm]
R	3	140
Klucz NMOS	25.2	0.13
Klucz PMOS	170	0.13
TGATE8 NMOS	36	0.13
TGATE8 PMOS	194	0.13
TGATE1, 2...7 NMOS	54	0.13
TGATE1, 2...7 PMOS	271.6	0.13

Podsumowanie

W ramach projektu dyplomowego zrealizowany został projekt przetwornika cyfrowo-analogowego w rozdzielczości dwunastu bitów. Mając na uwadze wysokie wymagania związane z rozdzielczością układu postanowiono wykorzystać tutaj segmentowaną sieć rezystorową.

W tym celu przeprowadzona została dogłębna analiza znaczenia segmentacji w układzie elektronicznym, jej wpływ na rozdzielczość układu oraz na minimalizację błędów niedopasowania towarzyszących niedoskonałości procesu technologicznego. Zgodnie z jej wynikiem można stwierdzić, że im większa jest część MSB układu tym lepiej układ reaguje na rozrzut rezystorów wykorzystanych w sieci (funkcja przenoszenia jest lepiej dopasowana do swojego teoretycznego odpowiednika). Jednak im większa jest część MSB w sieci przetwornika tym większa jest również powierzchnia samej matrycy rezystorowej, co może stanowić ograniczenie wykorzystania projektu w innych układach elektronicznych. Dlatego też, oprócz znaczenia konfiguracji układu w kwestii minimalizacji błędów niedopasowania, uzyskane wnioski skonfrontowano również z wymaganiami powierzchniowymi. Na podstawie parametrów technologicznych przedstawionych w dokumentacji producenta przeanalizowano trzy typy rezystorów, które mogły zostać następnie wykorzystane w pracy. Przeprowadzona została również analiza wpływu rezystancji pasożytniczych pochodzących od kluczy wykorzystanych w układzie i zaproponowano sposób kompensacji tego wpływu, który w docelowym projekcie później zaimplementowano.

Na podstawie symulacji różnych konfiguracji DAC'a, zaprojektowanych w Cadence'ie, dokonano ostatecznego wyboru segmentacji, zbadano pobór mocy układu i przeprowadzono symulacje błędów nieliniowości wynikających tak z rezystancji kluczy jak i błędów niedopasowania (za pomocą analizy Monte Carlo). Zaimplementowano przedstawione na Rysunku 26 schematy kluczy i zbadano ich zmienność w zależności od kodu wejściowego i w ten sposób dobrano ich kluczowe parametry. Uzyskane w pracy wyniki wskazują, że zaprojektowany układ bardzo dobrze spełnia wszystkie założenia projektu. Prawdopodobieństwo przekroczenia wartości równej połowie LSB przez błędy INL oraz DNL jest mniejsze od 1% co wywnioskować można na podstawie wyników ukazanych w Tabeli 12. Maksymalny pobór mocy sięga $91.5\mu\text{W}$.

W przyszłości układ można dalej ulepszać lub dopełniać o ważne w końcowym zastosowaniu elementy takie jak wzmacniacz buforujący. Można również zaimplementować dodatkową optymalizację opisaną w ostatnim rozdziale tej pracy.

Literatura

- [1] Wei Xu Chunqi Shi, Runxi Zhang. Research of segmented 8bit voltage-mode r-2r ladder dac. DOI: 10.1109/ASICON.2015.7517105, 2015.
- [2] Yvon Sava David Marche. Modeling segmented-ladder dac's. DOI: 10.1109/TCSI.2009.2019396, 2010.
- [3] Yvon Savaria David Marche, Yves Gagnon. An improved switch compensation technique for inverted r-2r ladder dacs. DOI: 10.1109/TCSI.2008.2008510, 2008.
- [4] You Li Degang Chen. Low-cost, high-precision dac design based on ordered element matching. DOI: 10.1109/TCSI.2018.2870665, 2018.
- [5] You Li Degang Chen, Tao Zeng. A high resolution and high accuracy r-2r dac based on ordered element matching. DOI: 10.1109/ISCAS.2013.6572256, 2013.
- [6] Małgorzata Napieralska Grzegorz Jabłoński. Podstawy mikroelektroniki. ISBN 83-89003-01-5, 2009.
- [7] Marek Idzik. Architektury przetworników cyfrowo-analogowych dac. Wykłady dla studentów, Wydział Fizyki i Informatyki Stosowanej.
- [8] Walt Kester. Przetworniki a/c i c/a teoria i praktyka. ISBN 978-83-60233-88-7, Wydawnictwo BTC, 2004.
- [9] Piekaj Marcin. Przetworniki cyfrowo-analogowe i analogowocyfrowe. http://db.zmitac.aei.polsl.pl/ui/instrukcje/DSP/Przetworniki_CA_AC.pdf.
- [10] Dominik Przyborowski. Pomiary parametrów i projektowanie prototypowych układów elektroniki odczytu dla kalorymetru fcal przy ilc. Archiwum prac dyplomowych; Wydział Fizyki i Informatyki Stosowanej, 2009.