



AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE
WYDZIAŁ FIZYKI I INFORMATYKI STOSOWANEJ

KATEDRA ODDZIAŁYWAŃ I DETEKCJI CZĄSTEK

Praca dyplomowa

Wykonanie kompletnego bloku elektroniki odczytu dla detektorów cząstek w submikronowej technologii CMOS 130/65nm: Projekt wzmacniacza operacyjnego Rail-to-rail Input Output w klasie AB

Development of a complete readout electronics block for particle detectors in submicron CMOS 130/65 nm technology: Rail-to-rail Input Output Class AB Operational Amplifier Design

Autor: Wiktoria Elżbieta Tolarczyk
Kierunek studiów: Fizyka Techniczna
Opiekun pracy: prof. dr. hab. inż. Marek Idzik, prof. AGH

Kraków, 2025

Spis treści

1	Wprowadzenie do elektroniki odczytu	6
1.1	Elektronika Front-end w eksperymentach Fizyki wysokich energii . .	7
1.2	Efekty pasożytnicze w układach front-end.	8
1.2.1	Szum	8
1.2.2	Uszkodzenia radiacyjne	9
1.3	Technologia CMOS	10
2	Wzmacniacz operacyjny Rail-to-rail Input Output - przegląd konfiguracji	11
2.1	Układ wejściowy wzmacniaczy rail to rail	11
2.1.1	Komplementarna para wejściowa: wzmacniacz Rail-to-rail . .	11
2.1.2	Dodatkowa para różnicowa ('Dummy input pair'): wzmacniacz Rail-to-rail.	17
2.1.3	Wzmacniacz Rail-to-rail sterowany napięciem podłoża.	19
2.2	Stopień wzmacniający - Rail-to-rail OpAmp; przegląd konfiguracji. .	23
2.2.1	Wzmacniacz kaskodowy	24
2.2.2	Gain boosting	25
3	Analiza teoretyczna - wzmacniacz Rail-to-rail input output w technologii CMOS 130nm.	30
3.1	Wybrany stopień wejściowy.	31
3.2	Stopień drugi - wzmacniacz kaskodowy.	32
3.2.1	Wzmocnienie A_v	32
3.2.2	Analiza częstotliwościowa	41
3.3	Stopień wyjściowy - wzmacniacz mocy w klasie AB.	54
4	Projekt wzmacniacza Rail-to-rail input output w klasie AB.	55
4.1	Obliczenia teoretyczne a symulacje	57
4.2	Symulacje schematu ostatecznego układu.	59
4.2.1	Wzmocnienie i zakres pracy układu.	60
4.2.2	Efektywna transkonduktancja	63
4.2.3	Margines fazy	64
4.2.4	Moc pobrana	64
4.2.5	Symulacje czasowe i pasmo.	65
4.2.6	Obciążenie rezystancyjne	70
4.2.7	Symulacje Monte Carlo	70
4.2.8	Analiza Worst case	73

4.3	Layout	78
4.3.1	Wzmocnienie	79
4.3.2	Charakterystyki częstotliwościowe	79
4.3.3	Margines fazy	81
4.3.4	Moc pobrana	81
4.3.5	Symulacja czasowa	82
4.3.6	Analiza Worst-case post-layout	83

Wprowadzenie

Jednym z najwyższych celów rozwoju nauk fizycznych jest odkrycie i opisanie wszystkich fundamentalnych oddziaływań między cząstkami. Dzięki temu jesteśmy w stanie lepiej opisać otaczający wszechświat; rozwinąć się technologicznie i próbować wyjaśniać zjawiska niezrozumiałe dotychczas dla ludzkości. Każdy kolejny sukces eksperymentalny wiąże się z podniesieniem wymagań sprzętowych stawianych przez coraz bardziej skomplikowane metody badawcze. Fizyka Wysokich Energii, z uwagi na swoje wyjątkowe potrzeby, jest obecnie jednym z najbardziej wymagających pól rynku naukowego.

Elektronika w eksperymentach fizyki cząstek musi być projektowana w sposób, w którym na czele stawiane są bardzo wysoka precyzja pomiaru, zaawansowane metody procesowania sygnałów, jak największa szybkość, minimalna moc i odporność radiacyjna. Z uwagi na specyficzne warunki pracy wiele z wykorzystywanych technologii stosuje specjalnie wypracowane metody projektowe, które pozwalają stworzyć układ elektroniczny jak najbardziej do nich dopasowany. Tylko dzięki ciągłemu badaniu nowych technologii i metod tworzenia obwodów elektronicznych jesteśmy w stanie weryfikować stworzoną teorię i początkować kolejne wielkie odkrycia fizyczne, które pchają nas dalej w rozwoju naukowym. Mimo że rozwój ten współcześnie związany jest przede wszystkim z elektroniką cyfrową, która pozwala na coraz większy wzrost mocy obliczeniowych, to jej praktyczne zastosowanie w kontakcie ze światem fizycznym nie byłoby możliwe bez analogowych bloków elektroniki odczytu, które pozwalają odpowiednio przetworzyć sygnał fizyczny. Dlatego też, chcąc wspierać dalsze możliwości rozwoju technologicznego, należy również rozwijać metody projektowania układów analogowych. Jednym z najbardziej istotnych tego typu układów jest wzmacniacz operacyjny.

Dlatego też, celem niniejszej pracy jest projekt wzmacniacza rail-to-rail input output w technologii CMOS 130 nm. Wybrana technologia jest starannie zbadana i z powodzeniem stosowana w wielu eksperymentach fizyki cząstek. Jednak sama konfiguracja wzmacniacza rail-to-rail input output jest obecnie rzadko spotykana w literaturze naukowej, mimo, że sam wzmacniacz, z uwagi na zdolność przenoszenia sygnału wejściowego w całym zakresie napięć zasilania, jest rozwiązaniem, które wydaje się być atrakcyjną alternatywą dla wielu obwodów stosowanych w układach front-end w eksperymentach HEP (High Energy Physics).

Jednym z celów niniejszej pracy jest zebranie informacji na temat sposobów realizacji konfiguracji wzmacniacza rail-to-rail prezentowanych w artykułach naukowych. Kolejnym celem jest sam projekt, w którym znajdzie się wybrana konfiguracja

działająca w możliwie szerokim zakresie napięć wejściowych z odpowiednio dużym wzmocnieniem ($A_v \geq 80\text{dB}$), sam układ pozostanie stabilny i będzie pobierać możliwie niską moc z zasilania.

Praca dyplomowa składa się z czterech części. Pierwszy rozdział jest krótkim wprowadzeniem do tematów związanych z elektroniką odczytu; jakie wymagania stawiane są przed tymi układami przez eksperymenty fizyczne oraz jak może wpływać na nie wysokoradiacyjne środowisko eksperymentalne.

Drugi rozdział przedstawia najpopularniejsze konfiguracje wzmacniaczy rail-to-rail input output występujące na rynku. Największy nacisk położony został na parę różnicową, która odgrywa kluczową rolę w zachowaniu funkcjonalności rail-to-rail.

W trzecim rozdziale opisana jest analiza teoretyczna wraz z obliczeniami niektórych parametrów wzmacniacza (wzmocnienie, dominujący biegun w charakterystyce częstotliwościowej). Do rozważań teoretycznych wybrany został model przybliżony wzmacniacza operacyjnego, po to by uprościć obliczenia, które zostały zweryfikowane następnie w symulacji.

Czwarty rozdział jest zbiorem wszystkich wyników, jakie uzyskano w symulacjach zaprojektowanego układu; wykonane zostały podstawowe symulacje DC, AC, STB i czasowa; poza tym wykonano również symulacje Monte Carlo, by zweryfikować wpływ niedopasowania i Worst Case, by określić zachowanie w wyznaczonych przez producenta modelach najgorszego możliwego przypadku.

Rozdział 1

Wprowadzenie do elektroniki odczytu

Rozwój Fizyki Wysokich Energii (HEP - High Energy Physics) stanowi dzisiaj jedno z czołowych wyzwań stawianych przed naukowcami z całego świata. Dotychczasowe osiągnięcia pozwoliły znacząco rozbudować wiedzę o oddziaływaniach i właściwościach materii, indukując powstanie rozbudowywanej wciąż teorii cząstek elementarnych w postaci Modelu Standardowego. Teoria ta, uważana obecnie za jedną z najbardziej wiarygodnych teorii oddziaływań, jest nieustannie weryfikowana w licznych eksperymentach HEP (m. in. eksperyment ATLAS na LHC). Urządzeniami, które umożliwiają pomiar określonych właściwości, są detektory cząstek; ich typ, budowa i przeznaczenie definiują możliwości detekcyjne danego eksperymentu. W praktyce, większość konstrukcji projektowana jest tak, by uzyskać informacje o następujących parametrach zderzenia i jego pochodnych[1]:

- ślad ('track') i kierunek przejścia cząstki naładowanej - współrzędne wierzchołka oddziaływania i miejsce powstania cząstek wtórnych,
- pęd poprzeczny - tor ruchu cząstki naładowanej w polu magnetycznym zostaje zakrzywiony, pomiar skrzywienia w odpowiednim detektorze umożliwia wyznaczenie pędu poprzecznego,
- energia - kaskady hadronowe i elektromagnetyczne, których produkty absorbowane w kalorymetrach umożliwiają wyznaczenie energii cząstki pierwotnej,
- czas detekcji.

Możliwości eksperymentu definiowane są w dużej mierze przez własności układów elektronicznych, wchodzących w skład danego typu zderzacza. Wraz ze wzrostem świetlności, wzrasta potrzeba dokładności przestrzennej i czasowej detekcji cząstek. Wiąże się to nie tylko z koniecznością doskonalenia konstrukcji samych sensorów, ale również wszystkich innych elementów uczestniczących w detekcji sygnału, w tym między innymi układów elektronicznych wchodzących w skład elektroniki odczytu.

1.1 Elektronika Front-end w eksperymentach Fizyki wysokich energii

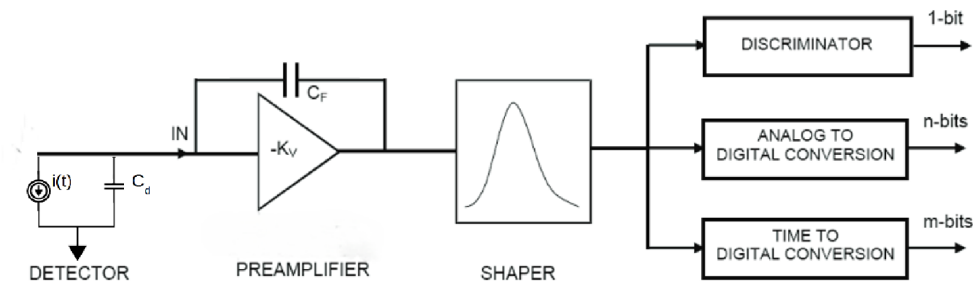
Układy elektroniki front-end stanowią elementy pośredniczące między sygnałem przychodzącym w formie analogowej a dalszym przetwarzaniem cyfrowym. Sygnał taki jest odbierany, wzmacniany, filtrowany i wstępnie procesowany/konwertowany do postaci cyfrowej z wykorzystaniem konwerterów ADC / TDC (Analog-to-digital converter / Time-to-digital converter) lub innych, w zależności od typu pomiaru.

W fizyce wysokich energii głównym celem układu front-end jest ekstrakcja pełnej informacji z sensora po uprzednim usunięciu składowych szumowych, niezwiązanych z pomiarem wielkości fizycznych. Warunki pracy elektroniki w eksperymentach fizyki wysokich energii utrudniają uzyskanie pełni efektywności działania z uwagi na ogromny poziom radiacji i intensywną eksploatację, która wiele komercyjnych technologii dyskwalifikuje już na samym początku z potencjalnego zastosowania. Jako przykład można rozważyć planowany upgrade eksperymentu LHC (HL-LHC High-Luminosity Large Hadron Collider), w którym oszacowana wstępnie dla wielu detektorów całkowita dawka promieniowania jonizującego (TID - Total Ionizing Dose) jest rzędu 1 Grad(SiO₂), a fluencja 10¹⁶ cząstek/cm²[3]. Oczekuje się, że pomiar sygnałów będzie wykonany z precyzją czasową rzędu dziesiątek pikosekund, a sam detektor zostanie znacznie rozwinięty i powiększony.

Podobne wymagania stawiają również inne eksperymenty fizyczne. Dlatego też, w projektowaniu układów elektroniki odczytu bardzo istotne jest spełnienie następujących kryteriów[4]:

- minimalizacja wpływu szumów (maksymalny SNR - Signal to Noise ratio),
- wysoka szybkość działania (high speed),
- precyzyjny pomiar liczby cząstek (redukcja efektów typu pile-up/ efekt balistyczny),
- precyzyjny pomiar czasu (redukcja efektów time-walk, jitter),
- odporność radiacyjna,
- wysoka gęstość upakowania kanałów,
- niski pobór mocy, mały rozmiar.

Niestety trudno jest zaspokoić wszystkie z wymienionych wymagań, dlatego w praktyce często stosuje się pewien kompromis, który ogranicza wymagania, na tyle aby zrealizować określoną funkcję. W przypadku elektroniki front-end kluczową rolę pełnią układy ASIC (Application Specific Integrated Circuit), których parametry dobrane są do wybranej aplikacji. Typowa architektura elektroniki front-end realizowana w fizyce cząstek (Rysunek 1.1) składa się z detektora - stanowiącego źródło sygnału, przedwzmacniacza, układu kształtującego (shapera) oraz układu pozwalającego na konwersję analogowo-cyfrową lub czasowo-cyfrową. Czasem realizuje się również najprostsze 1-bitowe ADC w postaci dyskryminatora.



Rysunek 1.1: Architektura układu elektroniki front-end[2].

Detektor stanowi zwykle źródło sygnału prądowego, które wchodzi na wejście układu przedwzmacniacza. Impuls wejściowy zostaje tutaj wzmacniony i podany na wyjście w formie skoku napięcia, którego wielkość jest proporcjonalna do zdeponowanej w sensorze energii w postaci ładunku. Wzmocnienie powinno być na tyle duże, by szum dodany w kolejnych etapach przetwarzania nie zdegradował S/N (signal to noise ratio) poniżej założonego poziomu. Następnie sygnał wchodzi do układu kształtującego, który dostosowuje sygnał do wymagań narzuconych przez projektanta (precyzja czasowa, stosunek sygnału do szumu SNR). Redukuje również efekt 'pile-up', który wiąże się z zebraniem ładunku pochodzącego od dwóch różnych cząstek zarejestrowanych w sensorze. Odpowiednia konfiguracja filtrów (często gaussowskich) mająca na celu skrócenie czasu trwania impulsu ('short pulse width' / 'short peaking time') pozwala efektywnie wydzielić sygnały, na które efekt pile-up ma wpływ i go zredukować. Finalnie dokonuje się konwersji na postać cyfrową (przetwarzanie binarne, cyfrowe, czasowe), która pozwala dalej analizować sygnał w zaawansowanych układach cyfrowych.

Opisany układ umieszczany jest zazwyczaj w pojedynczym kanale detektora danego typu. Każdy ze zderzaczy posiada ogromne ilości kanałów, dlatego też układ elektroniki odczytu projektowany jest również z myślą o skrajnie niskim poborze mocy, rozsądnie niskim koszcie i małych wymiarach.

1.2 Efekty pasożytnicze w układach front-end.

1.2.1 Szum

Jednym z kluczowych parametrów zaburzających dokładność pomiaru jest szum elektroniczny. Jest to część sygnału zebrana w trakcie wykrycia i przetwarzania impulsu wejściowego, którego pochodzenie nie wynika ze zjawiska, któremu dedykowany jest pomiar. Jego obecność zaburza dokładność mierzonych parametrów, co utrudnia klasyfikację. Niestety, z uwagi na stochastyczną naturę procesu, nie można przewidzieć jego wielkości w czasie. Można natomiast wstępnie określić średnią jego moc i wartość RMS. Amplituda sygnału pochodzącego od szumu opisana jest rozkładem Gaussa.

W praktyce obserwuje się trzy podstawowe źródła szumu:

- szum termiczny (thermal noise),

- szum śrutowy (shot noise),
- szum $\frac{1}{f}$.

Szum termiczny jest wynikiem drgań termicznych cząstek naładowanych (elektronów) w strukturach półprzewodnikowych. Gęstość widmowa mocy nie zależy od częstotliwości sygnału, dlatego też uznaje się go za składową szumu białego. Podobnie klasyfikuje się również szum śrutowy, który jest wynikiem fluktuacji liczby naładowanych nośników w półprzewodnikach i pojawia się wtedy gdy w strukturze istnieją bariery potencjału. W praktyce wiąże się przede wszystkim z prądem upływu występującym w detektorach. Szum $\frac{1}{f}$ natomiast jest odwrotnie proporcjonalny do częstotliwości i jest wynikiem rekombinacji/uwięzienia elektronów w strukturze półprzewodnikowej. Jego wpływ jest istotny dla wolnych sygnałów (w sygnałach szybkich dominującą rolę odgrywa szum biały) oraz materiałów z dużą liczbą defektów struktury.

W praktyce, zakłada się, że największy wkład do składowych szumowych widocznych na wyjściu elektroniki front-end mają sensor i przedwzmacniacz z uwagi na to, że przesłany do kolejnych stopni układu sygnał jest już wzmocniony.

1.2.2 Uszkodzenia radiacyjne

Specyfika eksperymentów fizyki wysokich energii narzuca na projektantów konieczność wykorzystywania materiałów i konfiguracji układów elektronicznych jak najbardziej odpornych na uszkodzenia radiacyjne.

Strumienie cząstek wysokoenergetycznych absorbowane w detektorach wraz z depozycją energii mogą generować uszkodzenia strukturalne, które radykalnie wpływają na żywotność i użyteczność układów elektronicznych. Najbardziej narażone na trwałe i tymczasowe defekty są materiały półprzewodnikowe i izolatory. W klasyfikacji uszkodzeń radiacyjnych wyróżnia się trzy klasy[5]:

- TID - Total Ionising Dose - związane z całkowitą pochłoniętą dawką promieniowania jonizującego. Wraz z depozycją energii cząstki naładowanej w strukturze półprzewodnikowej utworzone zostają pary elektron-dziura. Ruchliwość elektronów jest większa niż dziur w związku z czym część z nich może opuścić strukturę, a pozostałe wirtualne ładunki dodatnie mogą na skutek własności chemiczno-fizycznych degradować strukturę krzemu/tlenku tworząc pułapki i defekty sieci,
- DD - Displacement Damage - wynik zderzenia cząstki z atomem sieci krystalicznej, który wiąże się np z powstaniem wakancji w strukturze,
- SEEs - Single Event Effect - energia zdeponowana przez cząstkę tworzy w danym układzie nieoczekiwaną zmianę stanu, która zafałszowuje wyniki pracy układu detekcyjnego.

Wynikiem uszkodzeń TID jest między innymi zmniejszona mobilność nośników w tranzystorach MOS, wzrost szumu $\frac{1}{f}$ oraz zwiększenie prądu upływu. Efekty DD zmniejszają żywotność urządzeń elektronicznych, a uszkodzenia SEEs mogą prowadzić do powstania fałszywych rekordów w zapisie danych, ale również do dużo bardziej niebezpiecznych zjawisk takich jak latch-up i destrukcja komponentu.

1.3 Technologia CMOS

Chcąc spełnić wszystkie wymagania narzucone na twórców komponentów w eksperymentach fizyki wysokich energii, szeroko badane są różne materiały i technologie dostępne na rynku. Obecnie najszerszej stosowaną technologią wykorzystywaną przez elektroników pracujących w HEP jest technologia CMOS (Complementary Metal Oxide Semiconductor). Jej główne zalety to:

- wysoka miniaturyzacja,
- niski pobór mocy,
- wysoka odporność radiacyjna,
- zdolność łączenia części analogowej z cyfrową na jednym chipie (CMOS mixed mode),
- niski szum.

Spośród wykorzystywanych przez twórców układów elektroniki front-end wariantów wspomnianej rodziny układów scalonych najpopularniejsze opcje to 130nm, 65nm lub od niedawna dostępna technologia 28nm.

Na przestrzeni lat wielu specjalistów pracowało nad odkryciem pełni własności i opracowaniem modeli symulacyjnych, które mogłyby pozwolić na optymalny i efektywny projekt kluczowych komponentów. Powstał szereg tzw. "dobrych praktyk", które pozwalają zredukować skutki efektów niepożądanych, takich jak uszkodzenia radiacyjne i z powodzeniem stosować komercyjne technologie w badaniach naukowych prowadzonych w fizyce cząstek.

Rozdział 2

Wzmacniacz operacyjny Rail-to-rail Input Output - przegląd konfiguracji

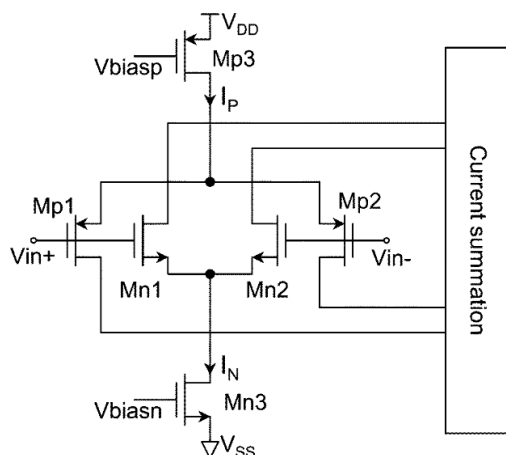
Układ napięciowego wzmacniacza operacyjnego w zaproponowanej konfiguracji wyróżnia się tym, że jest zdolny obsłużyć pełny zakres napięć zasilania, zarówno na wejściu, jak i wyjściu swojej architektury. Oprócz typowych wymagań, jakie stawia się współcześnie wzmacniaczom operacyjnym, kluczowe staje się to, by parametry elektroniczne wzmacniaczy rail-to-rail były jak najbardziej niezmiennie podczas pracy, niezależnie od tego, jaki sygnał zostanie podany na wejście. W submikronowej technologii CMOS projekt taki wydaje się być sporym wyzwaniem z uwagi na stosunkowo niskie napięcie zasilania, które już w konfiguracji prostego wzmacniacza Millerowskiego może stanowić wyzwanie, jeśli oczekuje się uzyskać układ o wysokim wzmocnieniu i tym samym uzyskać dobry stosunek sygnału do szumu. Kluczowym aspektem budowy wzmacniacza rail-to-rail jest projekt takiej konfiguracji, w której stopień wejściowy wzmacniacza będzie w stanie pracować z napięciem zawierającym się w całym przedziale napięcia zasilającego. Rozdział ten opisuje najpopularniejsze techniki wykorzystywane obecnie na rynku, które pozwalają osiągnąć satysfakcjonujące rezultaty.

2.1 Układ wejściowy wzmacniaczy rail to rail

2.1.1 Komplementarna para wejściowa: wzmacniacz Rail-to-rail

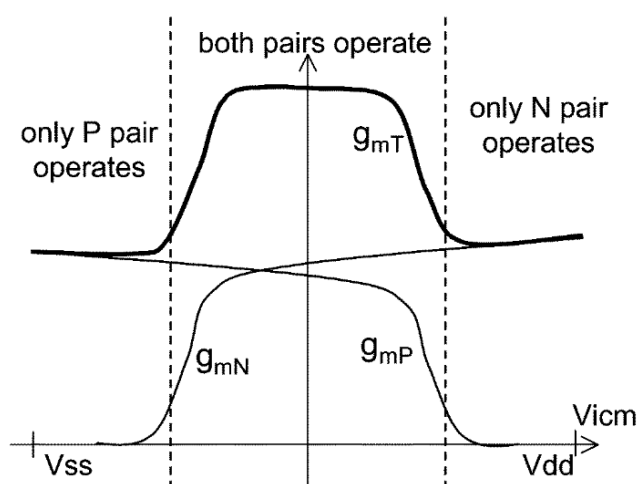
Podstawowym problemem, który należy sobie postawić przy projektowaniu wzmacniacza zdolnego do pracy z napięciem wejściowym mieszczącym się w całym zasięgu napięcia zasilania, jest polaryzacja pary wejściowej. W klasycznej konfiguracji stopień wejściowy składa się ze źródła prądowego, pary różnicowej oraz obciążenia. Dobór tranzystorów tworzących parę wejściową układu zależy od napięcia, które wzmacniacz zgodnie z przeznaczeniem powinien wzmocnić. Jeśli wymagania nałożone na układ dotyczą wzmacniania niskich napięć, to dobrym wyborem elementów aktywnych pary stają się tranzystory pMOS. Jeśli jednak celem jest obsługa napięć wysokich, to sytuacja ulega odwróceniu i do projektu należy wybrać parę złożoną z nMOS'ów.

Dlatego też pierwszym rozwiązaniem, które przychodzi na myśl, gdy mowa o wzmacniaczu typu rail-to rail jest próba równoległego połączenia obu typów par, które swoją funkcjonalnością mogłyby się "wymieniać" w zależności od zakresu napięć wejściowych, które przyjdzie im obsługiwać.



Rysunek 2.1: Równoległe połączenie pary różnicowej nMOS i pMOS umożliwiające obsługę pełnego zakresu napięcia zasilania[13].

Zaprojektowany w ten sposób stopień wejściowy wzmacniacza operacyjnego zawsze pracuje niezależnie od amplitudy sygnału wejściowego. Okazuje się jednak, że zakres pracy obu par bardzo często ma pewien wspólny poziom, w którym wszystkie cztery tranzystory pracują w obszarze aktywnym. Na skutek tego obserwować można pewną wariacyjność całkowitego prądu wypływającego do stopnia wzmacniającego, co z kolei implikuje szkodliwą zmienność całkowitej transkonduktancji g_m na przestrzeni napięć wejściowych.



Rysunek 2.2: Wariacja całkowitej transkonduktancji stopnia wejściowego złożonego z równoległe połączonej pary typu nMOS i pMOS[13].

Jeśli efekt ten nie zostanie w jakiś sposób skompensowany, to wzmacniacz operacyjny będzie miał wzmocnienie, pasmo i inne parametry zależne od poziomu sygnału wejściowego, co z reguły dyskwalifikuje go do wykorzystania w precyzyjnych układach elektronicznych.

Pojedyncze źródło prądowe jako metoda kompensacji zmian transkonduktancji gm.

Całkowita transkonduktancja układu zależy w głównej mierze od prądu podanego na kolejne stopnie wzmacniacza operacyjnego. Jeśli spełnione zostaną warunki pracy aktywnej tranzystora typu nMOS [(2.1), (2.2)], gdzie V_{GS} jest napięciem między bramką a źródłem, V_{Th} jest napięciem progowym, a V_{DS} to różnica potencjałów dren-źródło, to tranzystor wchodzi w obszar pracy aktywnej; pod izolatorem tworzy się kanał elektronowy sterowany napięciem V_{GS} i w układzie zaczyna płynąć prąd.

$$V_{GS} > |V_{Th}| \quad (2.1)$$

$$V_{DS} > |V_{GS} - V_{Th}| \quad (2.2)$$

Charakterystyka prądowa takiego układu zmienia się wówczas z kwadratem napięcia V_{GS} (2.3). W niewielkim stopniu zależy również od potencjału drenu; wkład ten określa parametr zwany napięciem Earliego $V_A = 1/\lambda$.

$$I_D = \frac{1}{2} \frac{W}{L} \mu_e C_{ox} [(V_{GS} - V_{Th})^2] (1 + \lambda V_{DS}) \quad (2.3)$$

Gdzie I_D to prąd drenu, parametry W i L to odpowiednio szerokość i długość kanału w tranzystorze, μ_e to ruchliwość elektronów (dla tranzystora typu pMOS odpowiednio ruchliwość dziur), a C_{ox} to pojemność kanału na jednostkę powierzchni.

$$g_m \equiv \frac{dI_D}{dV_{GS}} = \frac{W}{L} \mu_e C_{ox} (V_{GS} - V_{Th}) = \sqrt{2 \frac{W}{L} \mu_e C_{ox} I_D} \quad (2.4)$$

Transkonduktancja definiowana jest jako zmiana prądu wyjścia w stosunku do zmiany napięcia sterującego. Dla tranzystora polowego MOSFET pracującego w obszarze aktywnym prawdziwa zatem jest relacja (2.4). Wprowadzenie dodatkowego parametru β może uprościć opisaną formułę. Aby wzmacniacz pracował poprawnie, pary różnicowe nMOS i pMOS należy zaprojektować tak, by wartość zmiennej pomocniczej β była taka sama dla tranzystorów obydwu typów.

$$\mu_{p,n} C_{ox} (W/L)_{Mp,Mn} = \beta \quad (2.5)$$

Przy rozważeniu równoległego połączenia par wejściowych typu nMOS i pMOS intuicyjną próbą redukcji wariacji parametru gm wydaje się uzależnienie sumy prądów wyjściowych podanych na stopień wzmacniający układu od poziomu napięcia wspólnego (common mode).

Gdy w obszarze aktywnym pracuje tylko jedna para wejściowa, to znaczy gdy na wejście podane jest skrajne napięcie zasilania, to prąd wyjściowy wypływający z pierwszego stopnia jest sumą prądów drenu obu tranzystorów pary wejściowej pracujących w obszarze aktywnym I_{TotalD} . Wówczas transkonduktancja układu wynosi (2.6).

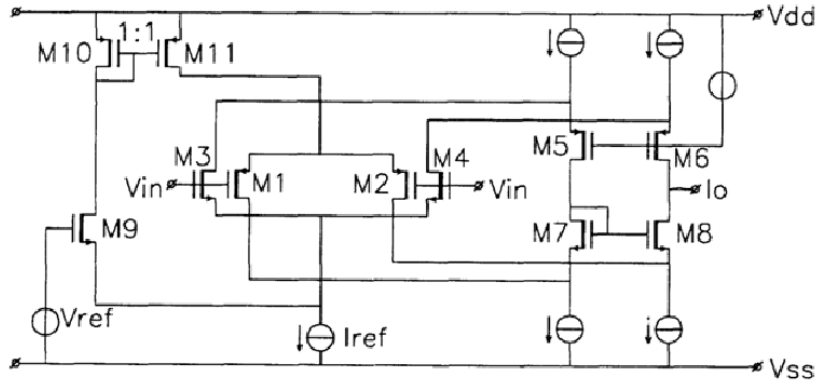
$$g_m = \sqrt{\beta I_{\text{TotalD}}} \quad (2.6)$$

Gdy potencjał podany na wejście plasuje się w środkowym zakresie napięcia zasilania lub w okolicach, to z reguły pracują obydwie pary wejściowe. Wówczas, zgodnie z relacją pokazaną na Rysunku 2.2 transkonduktancja stopnia wejściowego przyjmuje wartość maksymalną, zdefiniowaną przez sumę wszystkich prądów wypływających z par wejściowych, czyli zgodnie z przyjętym modelem (2.4) $\sqrt{2}$ razy większą (2.7), bo efektywny prąd I_D jako suma wszystkich prądów tranzystorów par różnicowych jest dwa razy większy względem przypadku, w którym działa tylko jedna para.

$$g_m = \sqrt{2\beta I_{\text{TotalD}}} \quad (2.7)$$

Starsze metody kompensacji wzrostu transkonduktancji bazują na dołączeniu dodatkowego stopnia prądowego, którego zadaniem jest odprowadzenie nadmiaru prądu ze stopnia wejściowego, tak by utrzymywać stałą wartość g_m w całym zakresie działania.

Rysunek 2.3 przedstawia układ, w którym kontrola transkonduktancji polega na wykorzystaniu pojedynczego źródła prądowego M10, M11, bez dodatkowego wzmocnienia prądowego (prąd odbijany do tranzystora M11 to I_{ref}), sterowanego tranzystorem M9.

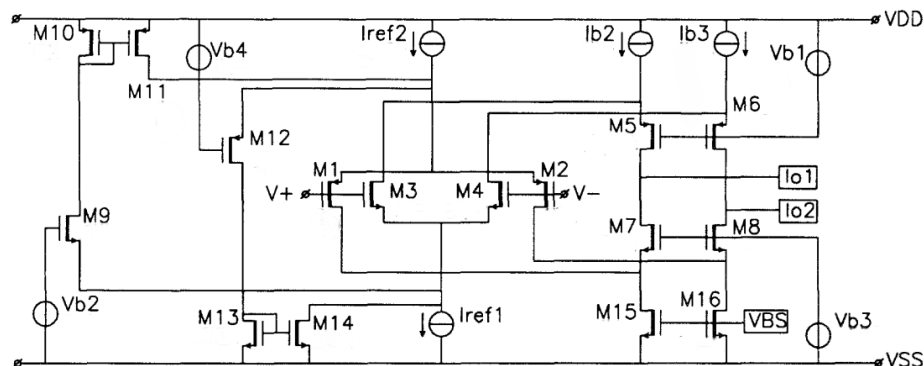


Rysunek 2.3: Wzmacniacz operacyjny z dołączonym pojedynczym lustrem prądowym celem utrzymania stałej wartości transkonduktancji na przestrzeni całego zakresu napięć wejściowych[14].

Gdy napięcie common mode pozostaje w otoczeniu potencjału V_{dd} , to w stopniu wejściowym pracuje para różnicowa nMOS; prąd referencyjny I_{ref} wpływa bezpośrednio do pary, nie przechodzi w ogóle przez dodatkowy obwód prądowy - tranzystor M9, podobnie jak M1 i M2 nie przewodzi prądu. Gdy common mode maleje, to wraz z jego obniżaniem coraz lepiej przewodzić zaczyna wejście różnicowe oparte na pMOSach. Zaczyna również pracować tranzystor M9 - napięcie V_{ref} należy dobrać w taki sposób, by w odpowiednim momencie dodatkowy obwód rozpoczął odprowadzanie nadmiaru prądu. W wyniku tego część I_{ref} pobierana jest przez źródło prądowe M10, M11 i podawana na parę wejściową typu pMOS. Prąd wyjściowy, jako suma prądów wypływających z obu wejść, po odpowiednim zwymiarowaniu powinien dać wartość równą I_{ref} . Gdy common mode znajduje się blisko potencjału V_{ss} to

Zastosowanie takiej metody pozwala jednak osiągnąć wariacyjność transkonduktancji na poziomie 41% zgodnie z danymi zaproponowanymi przez autorów publikacji [14], [15].

Kontrpropozycją dla modelu zaproponowanego wcześniej może być wzmacniacz przedstawiony na Rysunku 2.4, który w przeciwieństwie do poprzedniego układu stosuje dwa dodatkowe obwody prądowe (lustro M10, M11 oraz M13, M14), sterowane odpowiednimi napięciami polaryzującymi, które podobnie jak przedtem mają na celu odprowadzenie odpowiedniej nadwyżki prądu. Podstawowa różnica występuje jednak w budowie dodatkowych źródeł prądowych; układy te mają wewnętrzne wzmocnienie $k = 3$, zrealizowane w różnicach stosunku W/L tranzystorów składowych. Dzięki temu prąd wychodzący z lusterek prądowych jest 3 razy większy względem prądu wchodzącego.



Gdy napięcie common mode jest niższe niż napięcie polaryzujące $Vb2$, to para różnicowa nMOS jest odcięta, prąd $Iref1$, gdzie $Iref1 = Iref2 = Iref$ pobrany zostaje przez tranzystor M9 i wpuszczony do źródła prądowego M10, M11. Prąd wychodzący z tego źródła równy $I = 3Iref$ zostaje dodany do prądu $Iref2$ i podany na parę różnicową pMOS. Gdy potencjał $Vb4$ jest wyższy niż poziom common mode, to tranzystor M12 jest odcięty i nie przewodzi. Prąd wychodzący z pierwszego stopnia wzmacniacza równy jest $I = 4Iref$.

Gdy potencjał podany na wejście rośnie, to oba tranzystory sterujące oraz obie pary różnicowe pracują w obszarze aktywnym. Wzmocnienie prądowe realizowane w obu lustrach ma taką samą wartość. Po odpowiednim doborze potencjałów polaryzujących $Vb4, Vb2$ można uzyskać układ, w którym dodatkowe źródła prądowe pobierają i przesyłają taką część prądów I_{ref} , by suma prądów wychodzących z układu była równa wielkości uzyskanej wcześniej $I = 4I_{ref}$.

Gdy napięcie wspólne zbliża się do napięcia V_{dd} na tyle, że para pMOS przestaje przewodzić, działa tranzystor M12 i przesyła cały prąd I_{ref1} na parę różnicową nMOS, to układ działa analogicznie do sytuacji, w której przewodziła tylko para pMOS.

Finalnie uzyskać można wariacje parametru g_m na poziomie 7% [14], więc układ sprawdza się znacznie lepiej niż wcześniej zaproponowany wzmacniacz (Rysunek 2.3). Niemniej jednak, z uwagi na zasadę działania i dodanie dodatkowych komponentów, moc wydzielona w trakcie pracy znacząco wzrasta, co może dyskwalifikować układ z potencjalnego zastosowania w bardziej kompleksowych obwodach elektronicznych.

Przykłady projektów wzmacniaczy wykorzystujących dodatkowe źródła prądowe wraz z odniesieniem do publikacji znajdują się w tabeli 2.1.

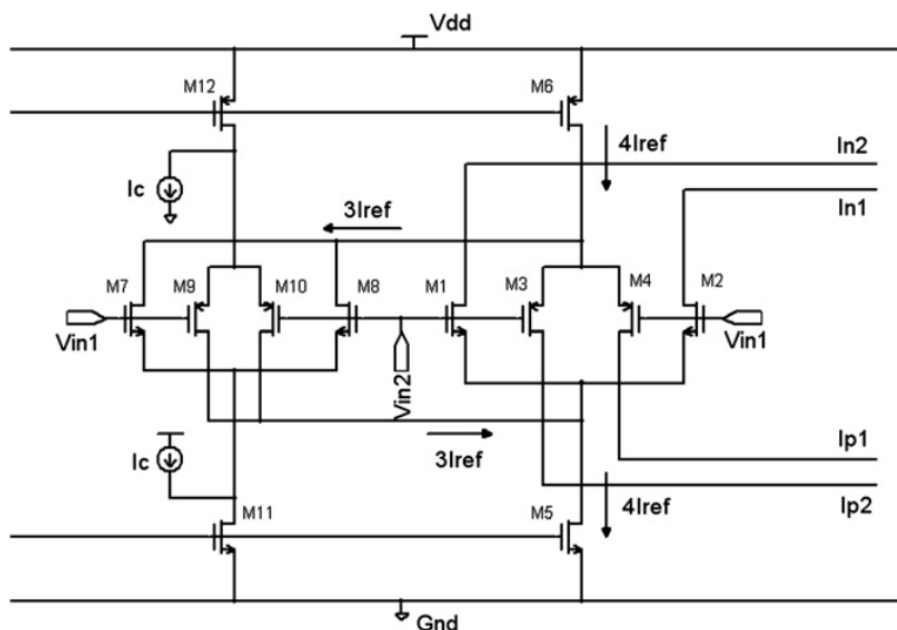
Tabela 2.1: Podsumowanie własności przykładowych projektów: Komplementarna para wejściowa: wzmacniacz Rail-to-rail: w kolumnach odpowiednio: technologia i napięcie zasilania (V_{dd}), wzmocnienie (A_{V_D}), margines fazy (ϕ), napięcie wyjściowe maksymalne i minimalne ($V_{o_{max}}/V_{o_{min}}$) oraz moc pobrana przez wzmacniacz (Power).

Publikacja	A_{V_D}	ϕ	$V_{o_{max}}/V_{o_{min}}$	Power
[14]: 90nm $V_{dd} = 0.85V$	52.11 dB	42.21°	0.8 / -1.3 V	48.16μW
[18]: 65nm $V_{dd} = 1.8V$	56-64 dB	71-84°	- V	300-600μW
[19]: 0.18μm $V_{dd} = 1.8V$	90.39 dB	63.85°	0.5-1.2 V	3.24mW

2.1.2 Dodatkowa para różnicowa ('Dummy input pair'): wzmacniacz Rail-to-rail.

Inną metodą, która pozwala zniwelować zmiany transkonduktancji stopnia wejściowego (Rysunek 2.2) i pozwala obsłużyć cały zakres napięcia zasilania, jest multiplikacja par wejściowych.

W przeciwieństwie do poprzedniego układu ten pomysł zakłada równoległe dołączenie dwóch par różnicowych nMOS i pMOS, których zadaniem jest kontrola prądu wychodzącego z właściwego stopnia wejściowego.



Rysunek 2.5: Stopień wejściowy wzmacniacza rail-to-rail z dodatkowymi parami wejściowymi, których celem jest kontrola transkonduktancji gm [17].

Gdy zakres napięć wejściowych wchodzi w rejony skrajnych potencjałów napięcia zasilania, dodatkowe pary różnicowe nie wpływają w żaden sposób na prąd wypływający z układu (prąd wyjściowy należy rozumieć jako sumę prądów $I_O = I_{n1} + I_{n2} + I_{p1} + I_{p2}$). Dzieje się tak dlatego, że dodatkowa para wejściowa (dummy input pair) jest przyłączona do pary różnicowej innego rodzaju; dlatego też, jeśli napięcie wejściowe polaryzuje parę nMOS, to połączenie z pMOS'ową parą dummy nie generuje przepływu prądu; napięcie przyłożone do tranzystora pMOS nie tworzy w nim kanału nośników większościowych. Prąd wyjściowy jest równy wartości prądu generowanego przez źródło prądowe M6 lub M5 w zależności od tego, która para różnicowa przewodzi. Po rozbiciu na dwa tranzystory w parze na wyjściu z "jednej strony" pary różnicowej otrzymuje się prąd $I_{p1} = I_{p2} = 2I_{ref}$ (prąd wyjściowy: $I_O = I_{p1} + I_{p2}$), jeśli pracują tranzystory pMOS i $I_{n1} = I_{n2} = 2I_{ref}$ (prąd wyjściowy: $I_O = I_{n1} + I_{n2}$), jeśli pracują tranzystory nMOS. Całkowita transkonduktancja dana jest wzorem (2.8).

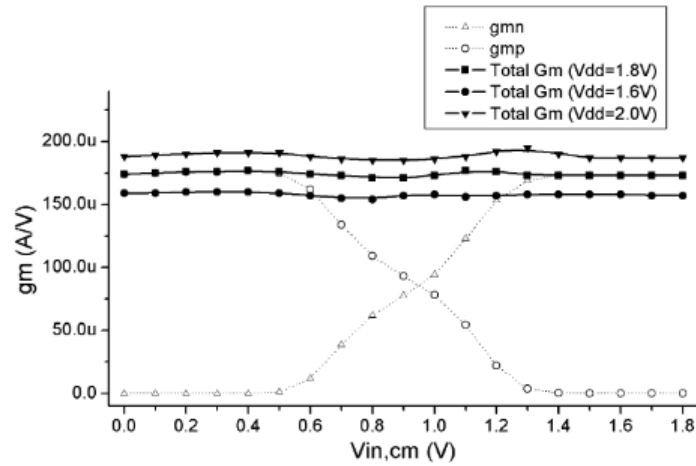
$$g_m(\text{eff}) = g_{mN} = g_{mP} = \sqrt{2\beta 2I_{ref}} = 2\sqrt{\beta I_{ref}} \quad (2.8)$$

Gdy napięcie common mode znajduje się w środku zakresu napięcia zasilania, to pracują wszystkie cztery pary wejściowe. Zadaniem dodatkowych tranzystorów jest pobranie ze źródeł M6 i M5 prądu o wartości $I = 3I_{ref}$ i w ten sposób wyrównać całkowitą transkonduktancję do wartości uzyskanej w relacji (2.8). Do par różnicowych M3 i M4 oraz M1 i M2 wpływają wówczas prądy o wartości $I = I_{ref}$, stąd więc wartości prądów wychodzących przyjmują wielkości odpowiednio: $I_{p1} = I_{p2} = I_{n1} = I_{n2} = 0.5I_{ref}$. Wartość transkonduktancji efektywnej jest wówczas opisana wzorem (2.9).

$$g_m(\text{eff}) = g_{mN} + g_{mP} = \sqrt{\frac{2\beta I_{ref}}{2}} + \sqrt{\frac{2\beta I_{ref}}{2}} = 2\sqrt{\beta I_{ref}} \quad (2.9)$$

Dodatkowe źródła polaryzujące I_C dołączone do par wejściowych odprowadzających nadmiar prądu mogą wspomóc stabilizację transkonduktancji w chwilach przełączania między działaniem pojedynczej pary wejściowej, a działaniem wszystkich par[17].

Przykładowe wyniki układu zawierającego przedstawiony wyżej stopień wejściowy znajdują się na Rysunku 2.6.



Rysunek 2.6: Wariacje transkonduktancji uzyskane w symulacji układu Rail-to-rail OpAmp w technologii CMOS 180nm przedstawione w publikacji[17]. Osiągnięto tutaj rozrzut parametru gm na poziomie 2%.

Zdarzają się również publikacje, które angażują większą liczbę dodatkowych par wejściowych [22]. Mimo że realizacja takiego projektu jest bardziej skomplikowana, to pomysł pozostaje ten sam; dodatkowe tranzystory wejściowe mają za zadanie kompensować zmiany prądów wyjściowych i utrzymywać transkonduktancję na stałym poziomie; przykładowe wyniki takich konfiguracji można znaleźć w Tabeli 2.2

Tabela 2.2: Podsumowanie własności przykładowych projektów: Rail-to-Rail Dummy input pair OpAmp, technologia CMOS: w kolumnach odpowiednio: technologia i napięcie zasilania (V_{DD}), wzmacnienie (A_{V_D}), margines fazy (ϕ), napięcie wyjściowe maksymalne i minimalne ($V_{O_{max}}/V_{O_{min}}$) oraz moc pobrana przez wzmacniacz (Power).

Publikacja	A_{V_D}	ϕ	$V_{O_{max}}/V_{O_{min}}$	Power
[17]: $0.18\mu m$ $V_{DD} = 1.8V$	61 dB	78°	-	$498\mu W$
[20]: $0.34\mu m$ V_{DD} ok 5.5V	ok 100 dB	49°	-	-
[22]: $0.18\mu m$ $V_{DD} = 1.8V$	100 dB	47°	1.8-0 V	$3.55mW$

2.1.3 Wzmacniacz Rail-to-rail sterowany napięciem podłoża.

Klasyczne podejście do rozwiązania problemu w postaci równoległego połączenia i obsłużenia dwóch par wejściowych, jednej opartej na tranzystorach nMOS, drugiej na tranzystorach pMOS, może stanowić problem w dobraniu stopni wejściowych tak, by obsłużyć środek zakresu napięć zasilania, kiedy obie pary pracują równocześnie, dodając swój wkład do całkowitego wzmacnienia układu. Stanowić problem może również fakt, że do poprawnej pracy tranzystorów w obszarze aktywnym niezbędne jest stosunkowo duże napięcie progowe, stanowiące istotny procent całkowitego napięcia, które może odłożyć się na jednym stopniu(2.10).

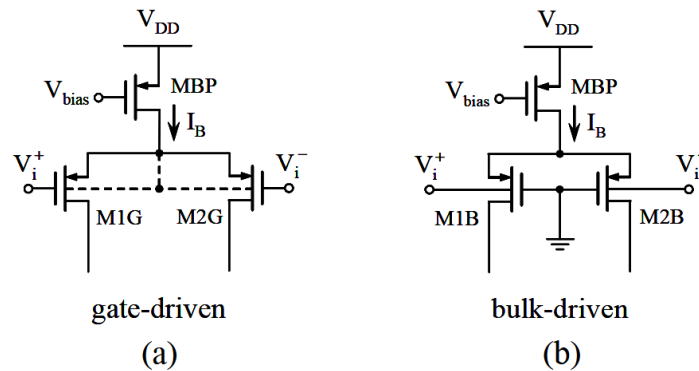
$$V_{DD} + |V_{SS}| \geq V_{GS} = V_{DSsat} + |V_T| + V_{signal} \quad (2.10)$$

Gdzie V_{DD} i V_{SS} określają górne i dolne napięcie zasilania, V_{GS} to napięcie między potencjałem bramki a źródła, V_{DSsat} to napięcie nasycenia między drenem a źródłem, V_T to napięcie progowe, a V_{signal} to sygnał podany na wejście.

Wówczas jednym z interesujących rozwiązań może być konfiguracja, która do sterowania tranzystora wykorzystuje efekt podłoża.

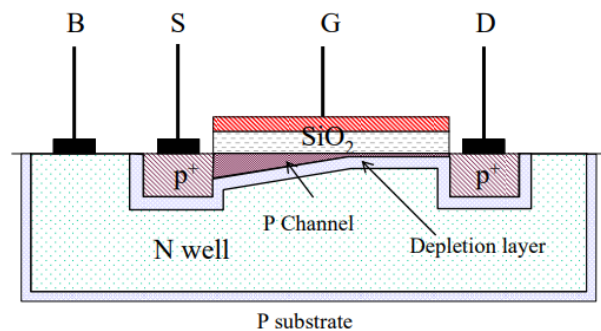
Efekt podłoża.

Wzmacniacz operacyjny wykorzystujący efekt podłoża projektuje się z myślą, że para wejściowa, w przeciwieństwie do tradycyjnego połączenia, ma potencjały bramki zwarte do odpowiedniego potencjału polaryzującego, a sygnał wejściowy wchodzi na zaciski zwarte z potencjałami podłoża.



Rysunek 2.7: Konfiguracja pary wejściowej pMOS w układzie aktywowanym (a) potencjałem bramki, (b) efektem podłoża[7].

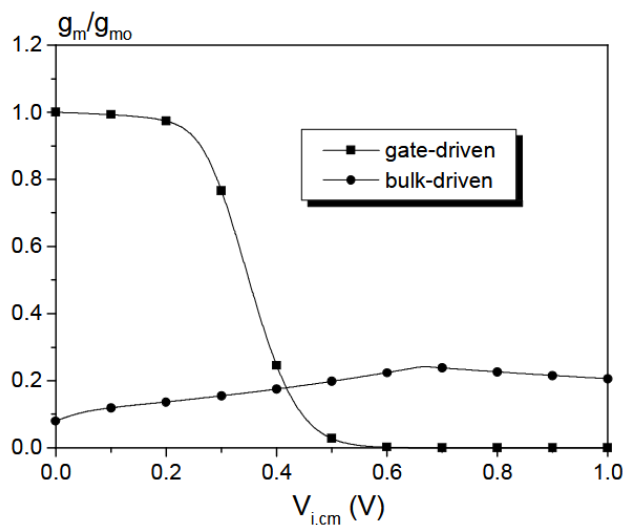
Po podaniu napięcia polaryzującego bramkę między obszarami typu p (lub n, jeśli jest to nMOS) tworzy się kanał, który umożliwia transport nośników i normalną pracę układu. Jego obecność wraz z pojemnością wytworzoną przez warstwę zaporową złącza i napięciem wejściowym podanym na podłoże tworzą w tranzystorze MOSFET pasożytnicze złącze JFET (Junction Field-Effect Transistor). Zjawisko to, w normalnej pracy tranzystora, uznaje się za efekt pasożytniczy, który redukuje wzmacnienie, wymuszając uwzględnienie obecności pasożytniczej konduktancji (g_{mb}) w jego formule.



Rysunek 2.8: Przekrój poprzeczny tranzystora MOSFET (pMOS) z wizualizacją efektu podłoża [8].

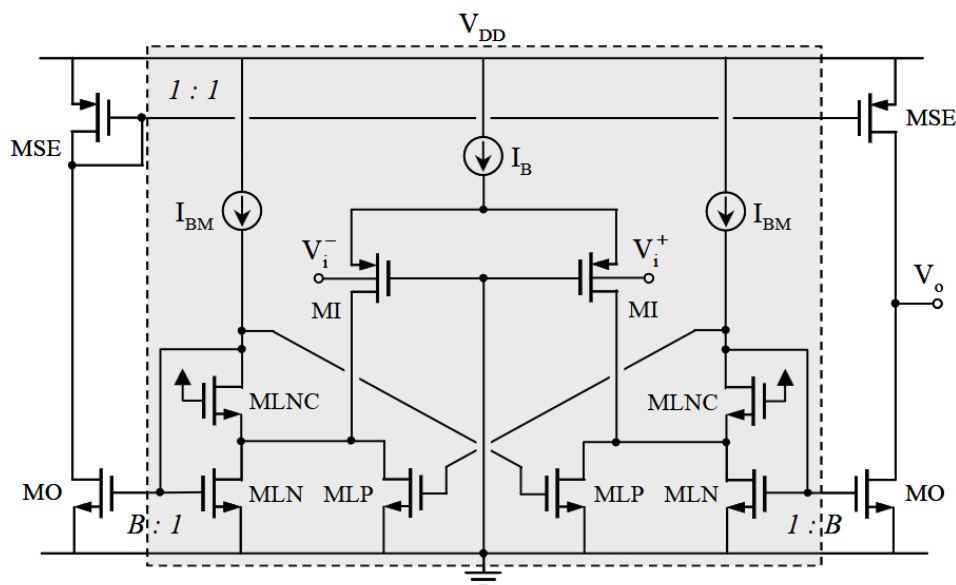
Tutaj jednak, po aplikacji właściwej polaryzacji bramki i utrzymaniu obecności kanału w dalszej pracy złącza, podając sygnał wejściowy na potencjał podłoża, użytkownik jest w stanie wymusić przepływ prądu drenu, wykorzystując pasożytnicze złącze JFET, gdzie rolę bramki odgrywa potencjał podłoża. Można wykazać, że charakterystyka przejściowa takiego tranzystora pozwala osiągnąć odpowiednią wartość prądu drenu nawet przy niskich napięciach wejściowych, co pozwala na rozszerzenie zakresu aplikowalnego napięcia wejściowego (common mode)[9]. Okazuje się również, że wartość transkonduktancji utrzymuje stały poziom na przestrzeni całego napięcia zasilania, co zapewnia układowi utrzymanie między innymi podanego poziomu wzmacnienia w całym zakresie działania. Niemniej jednak, wartość tak

otrzymanej transkonduktancji jest mniejsza niż w przypadku tranzystorów sterowanych napięciem bramki.



Rysunek 2.9: Znormalizowana charakterystyka transkonduktancji dla tranzystorów sterowanych napięciem bramki (gate-driven), a napięciem podłoża (bulk-driven)[7].

Popularna konfiguracja wykorzystująca opisane właściwości znajduje się na rysunku 2.10.



Rysunek 2.10: Konfiguracja pary różnicowej wykorzystująca efekt podłoża [7][10].

Istotnym warunkiem odpowiedniej pracy pary wejściowej jest zapewnienie symetrii w układzie pierwszego stopnia wzmacniacza operacyjnego; tylko wówczas układ ten będzie zdolny odpowiednio redukować zakłócenia i dobrze wzmacniać sygnał podany na wejście. Dlatego też, każdy z elementów elektronicznych wykorzystanych

w lewej części pary wejściowej ma swój identyczny odpowiednik po prawej stronie. Impuls wejściowy podany jest na potencjał podłoża tranzystorów wejściowych pary różnicowej, a potencjały bramek spolaryzowane są w taki sposób, by utrzymywać tranzystor w stanie aktywnym niezależnie od poziomu wejścia. Dzięki temu polaryzujący prąd I_B jest w stanie płynąć przez parę wejściową i wychodzić do kolejnego stopnia wzmacniającego (jest "odbity" dzięki zastosowaniu źródeł prądowych MLN, MO, MLNC).

Dodatnia pętla sprzężenia zwrotnego

Chcąc zwiększyć niską wartość wzmocnienia (Rysunek 2.9) autorzy publikacji proponują dołączenie pętli dodatniego sprzężenia zwrotnego (połączenia bramek tranzystorów MLP), która przy dobrze dobranych parametrach może znacząco zwiększyć wartość wzmocnienia, ale niestety może doprowadzić również do niestabilności układu[11].

Można wykazać [11][7], że wzmocnienie tego układu wynosi (2.11):

$$Gain = \frac{B}{1 - \eta} g_{mb,i} \cdot r_{out} \quad (2.11)$$

Gdzie parametr η jest równy ilorazowi $\eta = g_{m,MLP}/g_{m,MLN}$, $g_{mb,i}$ to konduktancja podłoża tranzystorów wejściowych, B to wzmocnienie niskonapięciowych źródeł prądowych (stosunek między rozmiarami tranzystorów MO i MLN), a r_{out} to rezystancja wyjściowa wzmacniacza. Jeśli tranzystory MLP i MLN pracują w obszarze saturacji, to parametr η upraszcza swą postać do relacji $\eta = (W/L)_{MLP}/(W/L)_{MLN}$. Można wykazać [7], że dzięki odpowiedniemu dobraniu tych wymiarów biegun dominujący funkcji przenoszenia związany jest z węzłem wyjściowym, więc zależny jest jedynie od rezystancji wyjściowej i dołączonej pojemności obciążenia, a dodatnie sprzężenie zwrotne nie powinno mieć wpływu na jego wartość. Niestety efektem ubocznym okazuje się być wpływ, jaki pętla wywiera na kolejny biegun, którego wartość zostaje znacząco zmniejszona z uwagi na występowanie dodatniego sprzężenia zwrotnego.

Przykłady projektów wzmacniaczy wykorzystujących efekt podłoża wraz z odniesieniem do publikacji znajdują się w tabeli 2.3.

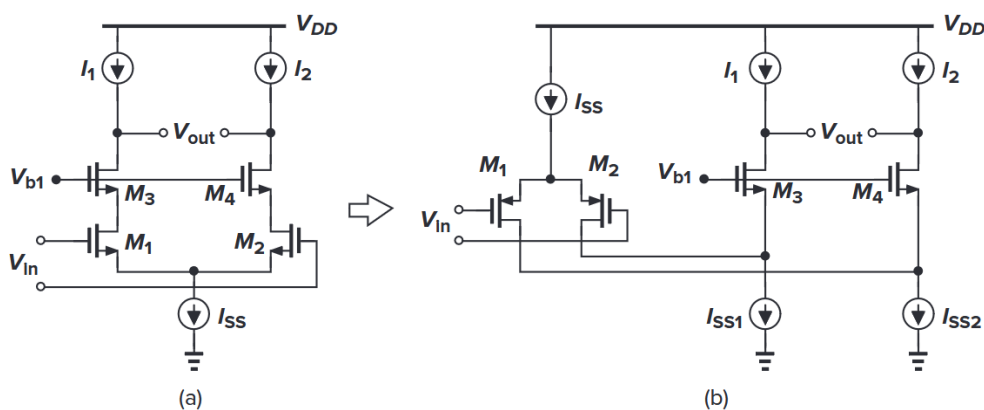
Tabela 2.3: Podsumowanie własności przykładowych projektów: Rail-to-Rail bulk-driven OpAmp, technologia CMOS: : w kolumnach odpowiednio: technologia i napięcie zasilania (V_{dd}), wzmocnienie (A_{V_D}), margines fazy (ϕ), napięcie wyjściowe maksymalne i minimalne ($V_{o_{max}}/V_{o_{min}}$) oraz moc pobrana przez wzmacniacz (Power).

Publikacja	A_{V_D}	ϕ	$V_{o_{max}}/V_{o_{min}}$	Power
[10]: $0.35\mu m$ $V_{dd} = 1V$	76.2 dB	-	1.0/0.0 V	$358\mu W$
[7]: $0.35\mu m$ $V_{dd} = 1V$	41.7 dB	58°	-	$200\mu W$
[12]: $0.13\mu m$ $V_{dd} = 3V$	84-117 dB	60°	-	$122\mu W$
[16]: $0.13\mu m$ $V_{dd} = 0.3V$	85-87 dB	62°	-	30.81-38.68nW

2.2 Stopień wzmacniający - Rail-to-rail OpAmp; przegląd konfiguracji.

Najprostszy wzmacniacz operacyjny zbudowany jest z jednego stopnia, którego wzmocnienie zależy od transkonduktancji pary wejściowej oraz obciążenia podanego na parę różnicową. W stosowanej obecnie technologii obciążenie w postaci elementów biernych raczej nie występuje; w praktyce stosuje się elementy aktywne, najczęściej w postaci źródeł prądowych, często kaskodowych z uwagi na wysokie wzmocnienie jakim się charakteryzują.

Realia wymagań stawianych przed obecnie projektowanymi układami scalonymi pokazują jednak, że często jeden stopień wzmacniacza nie wystarczy, by osiągnąć wymagane parametry (wzmocnienie, zakres napięć wyjściowych i odpowiedni prąd obciążenia). Wobec tego, w praktyce znacznie częściej spotkać można wzmacniacze dwustopniowe (rzadko trzystopniowe), które pozwalają uzyskać żądane cechy. W niniejszym rozdziale rozpatrzone zostaną najpopularniejsze konstrukcje wzmacniaczy jednostopniowych, które w praktyce stosowane są jako pierwszy stopień wzmacniaczy operacyjnych, do którego później dołącza się wzmacniacz mocy (co również zostało wykonane w projekcie opisanym w tej pracy). Każda z rozważanych konfiguracji stopnia wzmacniającego dotyczyć będzie wzmacniacza z tzw. 'zawiniętą kaskodą' (folded-cascode Op Amp) z uwagi na konieczność dołączenia nietrywialnego stopnia wejściowego, który ma zapewnić funkcjonalność Rail-to-rail input. Różnice między wzmacniaczem teleskopowym a wzmacniaczem z zawiniętą kaskodą dostrzec można na Rysunku 2.11.

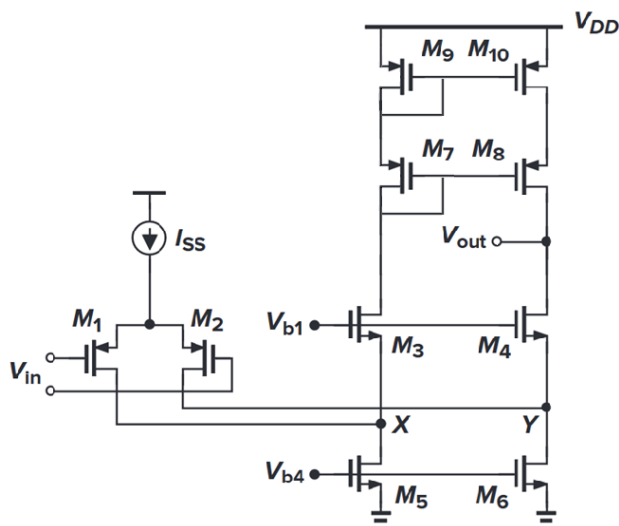


Rysunek 2.11: Wzmacniacz operacyjny: a) teleskopowy (Telescopic OpAmp), b) z zawiniętą kaskodą (Folded-Cascode OpAmp)[23].

Z uwagi na swoją budowę wzmacniacz folded cascode posiada tę ważną zaletę, że nie ogranicza zakresu napięć wyjściowych w przeciwieństwie do swojego prostszego odpowiednika. Szczegółowe obliczenia zostaną przedstawione w części pracy poświęconej wybranej w projekcie konfiguracji. Niniejszy rozdział stanowi przegląd powszechnie stosowanych konfiguracji stopnia wzmacniającego.

2.2.1 Wzmacniacz kaskodowy

Układem, który może gwarantować duże wzmocnienie przy stosowaniu się do odpowiednich wymagań, jest wzmacniacz w postaci układu wspólnego źródła z obciążeniem w postaci źródła prądowego kaskodowego (Rysunek 2.12).



Rysunek 2.12: Kaskodowy wzmacniacz operacyjny - stopień wzmacniający, z jednym wyjściem (single-ended)[23].

Zadaniem zawiniętej kaskody jest zebranie prądu indukowanego przez podanie napięcia na parę wejściową, wzmocnienie i konwersja na sygnał napięciowy na wyjściu V_{out} . Dlatego też, w literaturze często tę część układu nazywa się stopniem sumacyjnym (current summation).

By układ pracował w pożądanym sposób, wszystkie tranzystory powinny pozostać w aktywnym punkcie pracy. Wobec tego, w każdym przypadku powinny być spełnione relacje (2.1) i (2.2). W zależności od rodzaju, współczesne technologie cechują się napięciem progowym V_{th} rzędu kilkuset mV. Wobec tego w praktyce w kolumnie tranzystorów pomiędzy kolejnymi potencjałami drenu i źródła odkłada się również od kilkudziesięciu do kilkuset mV napięcia w zależności od dobranych potencjałów polaryzujących ($V_{b1}, V_{b2}, V_{b3}, V_{b4}$) i wymiarów tranzystorów. Może to stanowić problem, jeśli technologia wybrana przez projektanta cechuje się niskim napięciem zasilania. Dobranie odpowiednich parametrów tranzystorów składowych staje się wówczas zadaniem nietrywialnym, bo napięcie na szynie zasilającej staje się mocno ograniczone.

Jeśli wszystkie tranzystory będą działać w punkcie pracy, to wzmocnienie, jakie można uzyskać, jest iloczynem transkonduktancji g_m tranzystorów wejściowych (powinny mieć takie same wymiary) i rezystancji wyjściowej układu R_{out} .

Rezystancja wyjściowa jest z kolei równoległym połączeniem rezystancji widzianych z węzła wyjściowego w stronę górnego r_{up} (2.12) i dolnego r_{down} (2.13) potencjału zasilania.

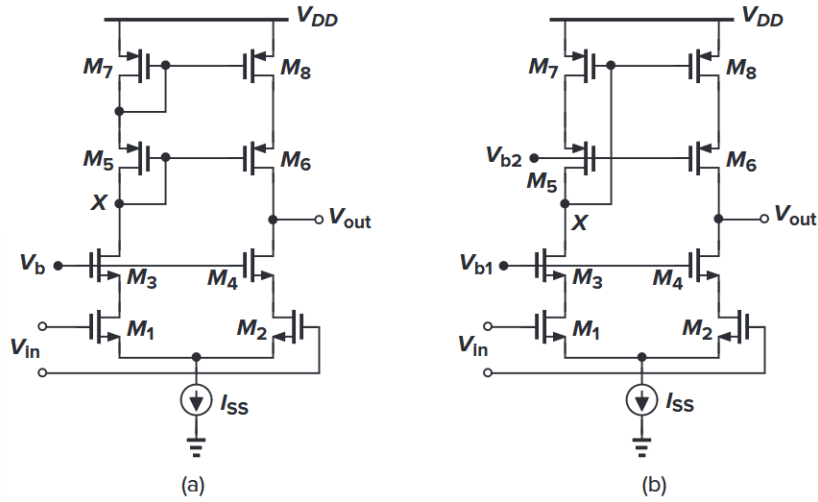
$$r_{up} = g_{m8} r_{ds8} r_{ds10} \quad (2.12)$$

$$r_{down} = g_{m4} r_{ds4} r_{ds6} \quad (2.13)$$

Finalnie uzyskać można wartość rzędu (2.14).

$$A_V \approx g_m [(g_{m4} r_{ds4} r_{ds2}) \parallel (g_{m8} r_{ds8} r_{ds10})] \quad (2.14)$$

W układach z pojedynczym wyjściem samopolaryzację można stosować nie tylko w sposób pokazany na Rysunkach 2.12, 2.13 (a), ale również w sposób pokazany na Rysunku 2.13 (b).



Rysunek 2.13: Kaskodowy wzmacniacz operacyjny z polaryzacją wewnętrzną - stopień wzmacniający, z jednym wyjściem (single-ended)[23].

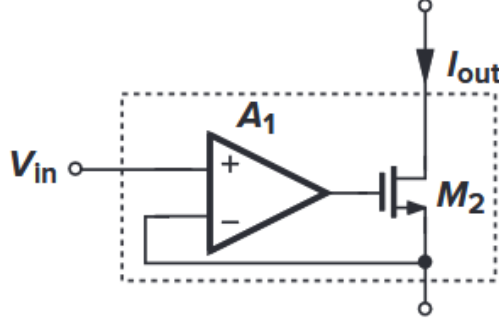
Zastosowanie drugiej ze wskazanych na Rysunku 2.13 konfiguracji pozwala poszerzyć zakres dopuszczalnych napięć wyjściowych, jakie wzmacniacz może wygenerować, z tego też względu stanowi lepszą alternatywę dla niniejszej pracy. Szczegółowe obliczenia zostaną przedstawione w rozdziale poświęconym analizie teoretycznej układu.

2.2.2 Gain boosting

Jeśli pojedynczy stopień wzmacniający okazuje się być niewystarczający, to jedną z opcji udoskonalenia wzmacniacza operacyjnego jest dodanie kolejnego stopnia wzmacniającego. Jej celem może być maksymalizacja wzmocnienia lub poprawa innych charakterystyk sygnału, które w poprzednim stopniu zostały ograniczone (na przykład zakres napięć wyjściowych).

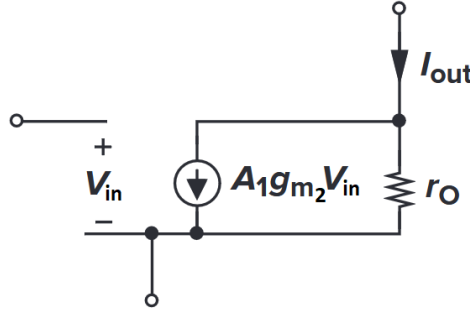
Wadą takiego rozwiązania może być gorsza charakterystyka częstotliwościowa i niestabilność. By tego uniknąć, ale pozostając przy tym przy koncepcji zwiększenia wzmocnienia w układzie wzmacniacza, projektanci często stosują w swoich projektach tzw. gain boosting.

Pomysł polega na zwiększeniu wzmocnienia tranzystora bez konieczności kaskadowego łączenia kolejnych stopni[23]. Wartość transkonduktancji bezpośrednio wpływa na wzmocnienie i decyduje o jego wielkości. Uzyskać to można, stosując połączenie dodatkowego prostego wzmacniacza (na przykład millerowskiego) do bramki tranzystora, z którego sygnał podany jest na wyjście (Rysunek 2.14).



Rysunek 2.14: Układ tranzystora stosujący gain boosting celem powiększenia efektywnego wzmocnienia; A_1 to wartość wzmocnienia wzmacniacza dołączonego do bramki i źródła tranzystora M_2 [23].

Schemat małosygnałowy takiego układu, po zaniedbaniu efektu podłoża, znajduje się na Rysunku 2.15.



Rysunek 2.15: Schemat małosygnałowy układu tranzystora stosującego gain boosting[23].

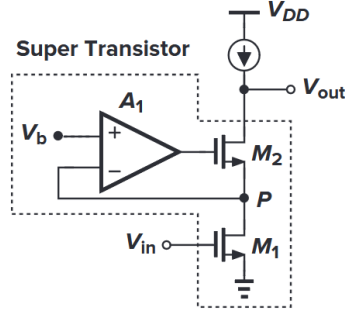
Całkowita transkonduktancja układu wynosi (2.15):

$$g_m = A_1 g_{m_2}, \quad (2.15)$$

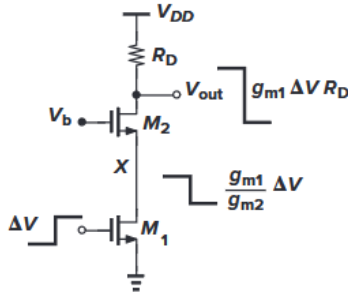
a wzmocnienie (2.16):

$$A_V = -A_1 g_{m_2} r_O. \quad (2.16)$$

Model ten można stosować również w bardziej skomplikowanych konfiguracjach; na przykład we wzmacniaczu kaskadowym (Rysunek 2.16) ('Gain-boosted Cascode' 'Regulated Cascode').



Rysunek 2.16: Wzmacniacz kaskodowy z wykorzystaniem metody gain boosting[23].



Rysunek 2.17: Wzmacniacz kaskodowy w konwencjonalnej konstrukcji[23].

Można wykazać, że wzmocnienie całego układu opisane jest przez iloczyn całkowitej transkondukcji układu gm_{eff} oraz rezystancji wyjściowej $r_{out_{eff}}$ (2.17).

$$A_v = gm_{eff} \cdot r_{out_{eff}} \quad (2.17)$$

W tradycyjnym wzmacniaczu kaskodowym (Rysunek 2.17) wartość efektywnej transkondukcji opisać można wykorzystując relację (2.18)[24]:

$$\frac{\Delta I_o}{\Delta V_1} = gm_1 \frac{(gm_2 r_{ds1} + r_{ds1}/r_{ds2})}{(gm_2 r_{ds1} + r_{ds1}/r_{ds2} + 1)} = g_{m_{eff}} \approx gm_1 \quad (2.18)$$

Podobnie rezystancję wyjściową opisać można za pomocą wzoru (2.19)[24]:

$$r_{out_{eff}} = (gm_2 r_{ds2} + 1) r_{ds1} + r_{ds2} \quad (2.19)$$

Po zastosowaniu techniki gain-boostingu[24] (Rysunek 2.16) nie zmienia się całkowita transkondukcja układu (2.20), ale rośnie jego impedancja wyjściowa (2.21).

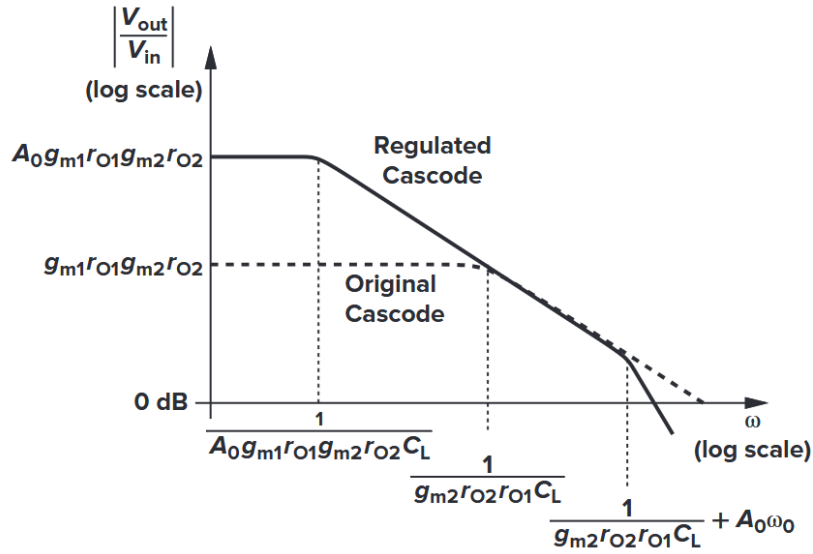
$$\frac{\Delta I_o}{\Delta V_1} = gm_1 \frac{(gm_2 r_{ds1} (A_1 + 1) + r_{ds1}/r_{ds2})}{(gm_2 r_{ds1} (A_1 + 1) + r_{ds1}/r_{ds2} + 1)} = g_{m_{eff}} \approx gm_1 \quad (2.20)$$

$$r_{out_{eff}} = (gm_2 r_{ds2} (A_1 + 1) + 1) r_{ds1} + r_{ds2} \quad (2.21)$$

Korzystając zatem z relacji (2.17) uzyskać można wzmocnienie zwiększone o czynnik A_1 względem klasycznego podejścia.

Przeprowadzenie analizy częstotliwościowej, po wpięciu do wyjścia obciążenia C_L pokazać może, że w przeciwieństwie do wzmacniaczy wielostopniowych uzyskana w takim układzie charakterystyka amplitudowa pogorszona jest względem zwykłego wzmacniacza kaskodowego tylko o niewielki składnik błędu, podczas gdy we wzmacniaczach wielostopniowych funkcja przenoszenia czuła jest na wszystkie bieguny stopni składowych.

Można wykazać, że dla wzmacniaczy kaskodowych przedstawionych na Rysunkach 2.17, 2.16 [23], przyjmując odpowiednie założenia, dodatkowy biegun pojawi się znacznie powyżej częstotliwości granicznej f_g charakteryzującej cały układ, więc nie powinien znacząco wpłynąć zarówno na obsługiwane przez wzmacniacz pasmo jak i jego stabilność (Rysunek 2.18).

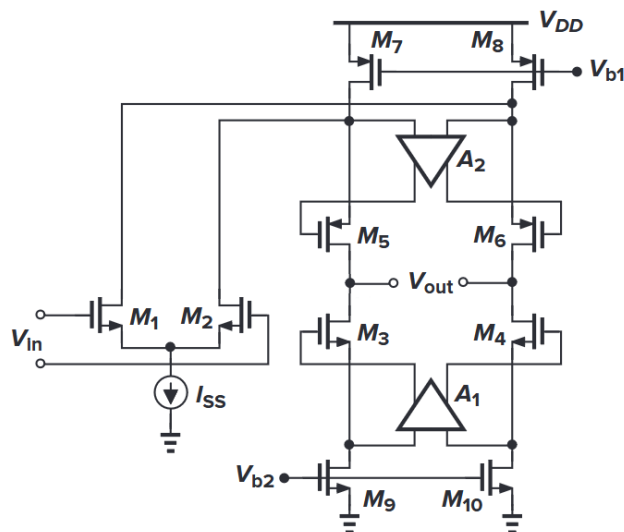


Rysunek 2.18: Odpowiedź impulsowa wzmacniacza kaskodowego z zastosowaną techniką gain boosting[23].

Tabela 2.4: Różnice kluczowych parametrów cechujących wzmacniacz kaskodowy z wykorzystaniem gain boosting'u i bez niego.

OpAmp	$g_{m_{eff}}$	$r_{out_{eff}}$	A_v
Wzmacniacz kaskodowy	g_{m1}	$g_{m2} r_{ds2} r_{ds1}$	$g_{m1} g_{m2} r_{ds2} r_{ds1}$
Wzmacniacz kaskodowy z gain boosting	g_{m1}	$g_{m2} A_1 r_{ds2} r_{ds1}$	$g_{m1} g_{m2} A_1 r_{ds2} r_{ds1}$

Przykładowa implementacja przedstawionego sposobu poprawy wzmocnienia układu we wzmacniaczach różnicowych przedstawiona jest na Rysunku 2.19.



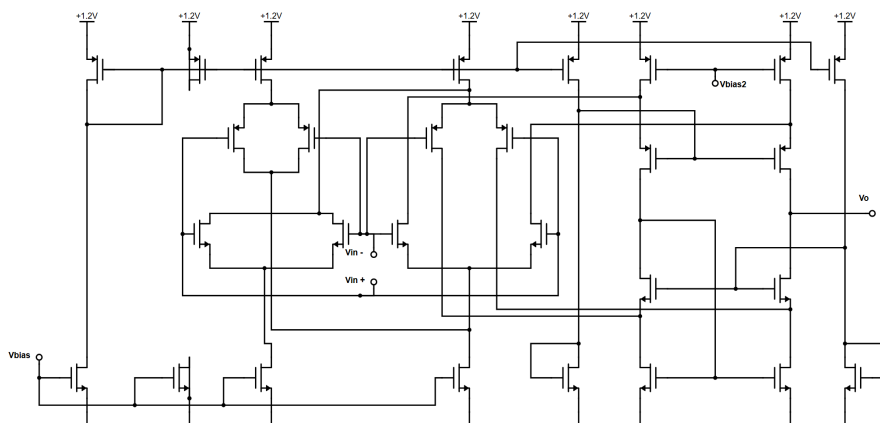
Rysunek 2.19: Wzmacniacz kaskodowy z zastosowaną metodą gain-boosting, z dwoma wyjściami ('fully differential')[23].

Jest to bardzo efektywny sposób zwiększenia wzmocnienia we wzmacniaczu operacyjnym, jeśli wybrana konfiguracja / technologia nie pozwala na uzyskanie lepszych parametrów w prostej koncepcji obwodu. Niemniej jednak często okazuje się, że podstawowy układ jest wystarczający, by sprostać wymaganiom projektowym, nawet przy użyciu zaawansowanych technologii i dodatkowa komplikacja układu nie jest konieczna.

Rozdział 3

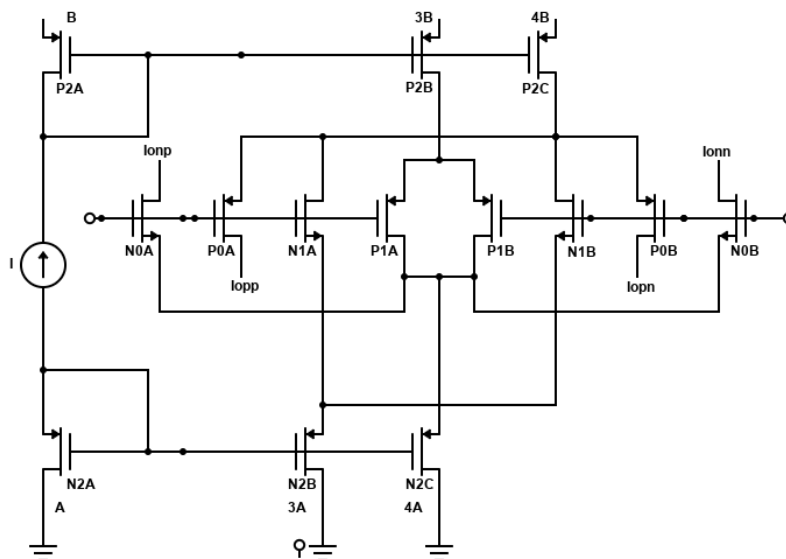
Analiza teoretyczna - wzmacniacz Rail-to-rail input output w technologii CMOS 130nm.

Niniejsza praca magisterska przedstawia projekt wzmacniacza operacyjnego rail-to-rail input output w klasie AB wykonany w technologii CMOS 130nm. W budowie wykorzystano równoległe połączenie czterech par wejściowych, których działanie zostało pokrótce wyjaśnione w rozdziale wprowadzającym. Został również zaprojektowany stopień wzmacniający, w którym wzmocnienie A_v uzyskało odpowiednio wysoką wartość. W dalszej części pracy znajduje się wprowadzenie teoretyczne, którego celem jest wyznaczenie podstawowych parametrów pracy układu uproszczonego, na którego bazie zaprojektowany został ostateczny schemat wzmacniacza. Wykonane obliczenia zostały potwierdzone przez symulacje, a wyniki tego porównania znajdują się w rozdziale poświęconym symulacjom. Schemat układu, dla którego zostały wykonane obliczenia, znajduje się na Rysunku 3.1.



Rysunek 3.1: Uproszczony schemat wzmacniacza rail-to-rail wykorzystany w obliczeniach.

3.1 Wybrany stopień wejściowy.



Rysunek 3.2: Stopień wejściowy wmacniacza operacyjnego.

Poziom skomplikowania stopnia wejściowego jest wynikiem konieczności obsłużenia całego zakresu napięcia zasilania, zapewniając przy tym znikomą wariację transkonduktancji efektywnej tej części obwodu.

Źródła prądowe podłączone do napięć zasilania pełnią rolę dostawcy prądu do par różnicowych lub też obciążenia w zależności od pary wejściowej. Na wzmocnienie całościowe układu wpływ mają jedynie pary, których prąd wyjściowy odprowadzony jest na zewnątrz, do następnego stopnia.

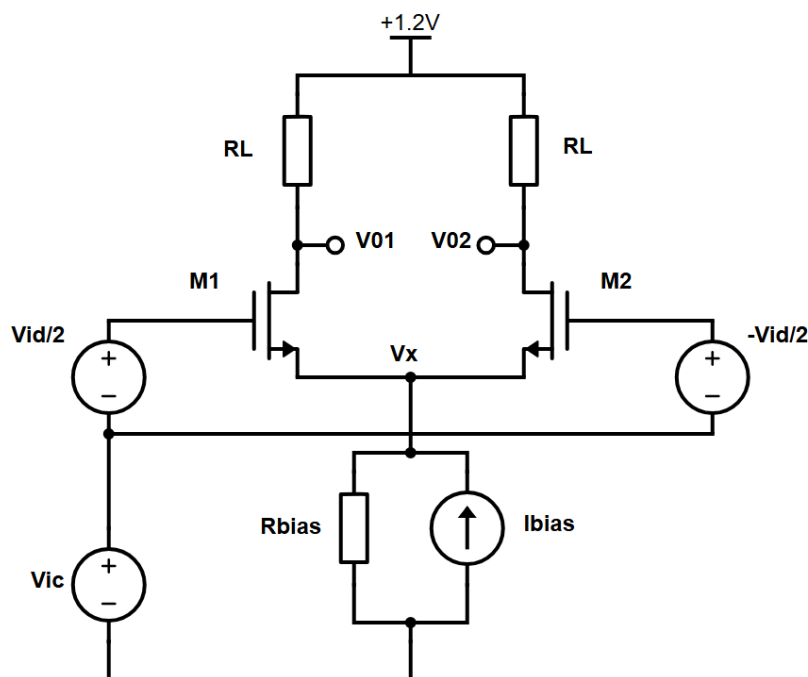
Celem dwóch pozostałych układów wejściowych jest kontrola wartości prądu wyjściowego poprzez odprowadzenie jego nadmiaru w sytuacji, gdy działają wszystkie cztery pary. To pozwala utrzymać stałą transkonduktację gm na przestrzeni całego napięcia zasilania tak, jak zostało to omówione przy równaniach (2.8), (??).

Układ ten można rozłożyć na cztery osobne wzmacniacze różnicowe, których zasada działania jest taka sama; różni je tylko wejście prądowe i obciążenie, które w przypadku dodatkowych par różnicowych ('dummy input pairs') realizowane jest przez źródła prądowe N2B i P2B, natomiast w przypadku właściwego stopnia wejściowego jego rolę pełni stopień wzmacniający, jak to ma miejsce we wzmacniaczu różnicowym z zawiniętą kaskodą.

Prąd płynący przez źródła prądowe jest sterowany odpowiednim wymiarowaniem tranzystorów. Przez tranzystory P2A i N2A płynie prąd referencyjny I , podczas gdy cztery kolejne źródła indukują przepływ prądów odpowiednio 3 (N2B, P2B) i 4 (N2C, P2C) razy większych.

3.2 Stopień drugi - wzmacniacz kaskodowy.

Poysterowaniu odpowiedniego prądu wychodzącego z par wejściowych można przejść do właściwej analizy działania układu. Wzmocnienie sygnału różnicowego można uzyskać analizując działanie par różnicowych, które zasilane są prądem 4 razy większym od prądu referencyjnego. Konfigurację przedstawioną na Rysunku 3.2 można rozbić na cztery różne wzmacniacze różnicowe (Rysunek 3.3).

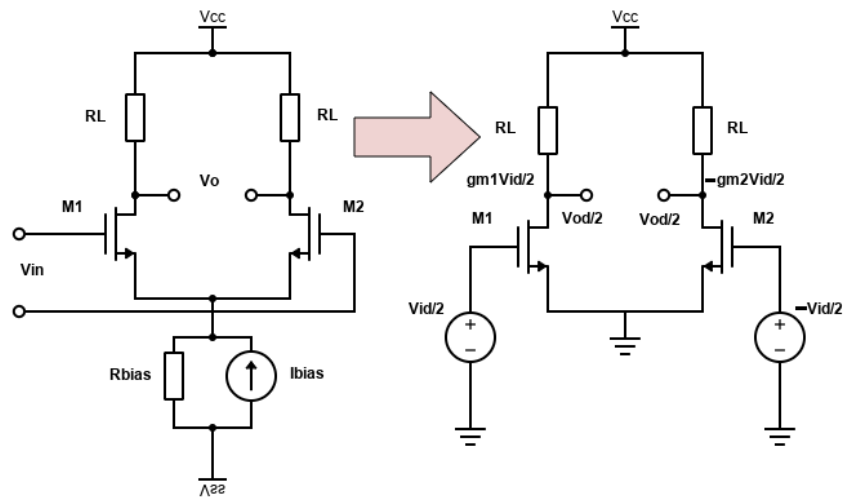


Rysunek 3.3: Różnicowy wzmacniacz operacyjny z parą wejściową typu nMOS.

Przy modelowaniu sygnału wyjściowego wzmacniacza istotne są tylko pary, które wysyłają prąd na stopień wzmacniający; dlatego wpływ pozostałych dwóch wejść (dummy input pairs) można w dalszych rozważaniach zaniedbać.

3.2.1 Wzmocnienie A_v

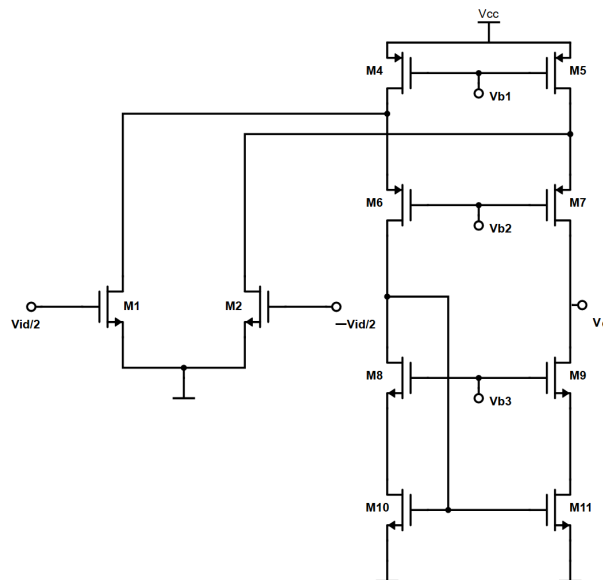
Mając na uwadze wyznaczenie wzmocnienia różnicowego, układ 3.3 można uprościć; każdemu przyrostowi prądu tranzystora M1, indukowanemu przez zmianę poziomu napięcia różnicowego, odpowiada spadek prądu tranzystora M2 i odwrotnie - całkowity prąd tranzystorów nie zmienia się, zatem nie zmienia się również potencjał V_x na zwarcu ich źródeł; można zatem zewrzeć ten potencjał do masy dla uproszczenia obliczeń, w analizie małosygnałowej, ponieważ źródło prądowe nie ma wpływu na wzmocnienie sygnału różnicowego (Rysunek 3.4).



Rysunek 3.4: Różnicowy wzmacniacz operacyjny z parą wejściową typu nMOS i schemat uproszczony.

Obciążenie R_L podane na dreny par wejściowych to wpływ całego stopnia wzmacniającego zaprojektowanego w układzie. Dla uproszczenia rozważań w dalszych obliczeniach analizowany jest układ z pojedynczą parą wejściową typu nMOS. Obliczenia dla wzmacniacza z parą różnicową typu pMOS są analogiczne, w związku z czym nie będą powtarzane.

Projekt wzmacniacza operacyjnego rail-to-rail oparty jest o wzmacniacz różnicowy z zawiniętą kaskodą (folded-cascode differential amplifier) (Rysunek 3.5).



Rysunek 3.5: Wzmacniacz różnicowy z zawiniętą kaskodą.

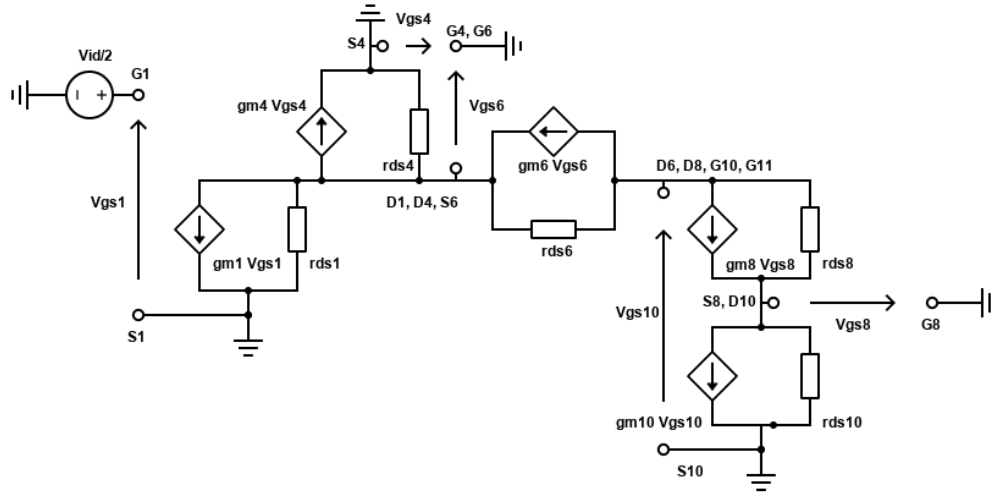
Aby analiza małosygnałowa była możliwa, należy tak dobrać wymiary tranzystorów i napięcia biasujące, by wszystkie tranzystory pozostały w aktywnym punkcie pracy. Ważny jest wówczas dobór prądu referencyjnego (źródło prądowe Ibias Rysunek 3.4, w praktyce realizowane w postaci lustra prądowego), dostosowanego do wymagań projektu i technologii, w której układ ma powstać. Wymiary tranzystorów w parach wejściowych (Rysunek 3.5: M1, M2) powinny być dobrane tak, by zakres obsługiwanego napięcia 'common mode' był możliwie szeroki i nie wyprowadzał ich z obszaru aktywnego podczas pracy z zadaniem napięciem wejściowym. Elementy aktywne, których końcówki połączone są bezpośrednio z zasilaniem (Rysunek 3.5: M4, M5 i M10, M11), powinny być dobrane tak, by napięcie między drenem a źródłem $\|V_{DS}\|$ było możliwie niskie i nie obniżało zakresu wejściowego napięcia wspólnego (input voltage common mode). Muszą być jednak na tyle stabilne, by tranzystory nie wypadały z punktu pracy podczas działania. Pozostałe elementy wzmacniacza kaskodowego (Rysunek 3.5: M6, M7, M8, M9) powinny być zwymiarowane tak, by zapewnić odpowiednie wzmocnienie i common mode; napięcia V_{DS} będą w takim razie mocno się różnić w zależności od sygnału wejściowego i z reguły będą większe niż napięcia V_{DS} tranzystorów połączonych z zasilaniem.

Elementy te należy dobrać tak, by zmieścić się w przedziale napięć podpiętego zasilania. W technologiach submikronowych napięcie zasilania z reguły ograniczone zostaje do 1-2V, co stanowić może pewne wyzwanie przy tranzystorach produkowanych w technologii CMOS, gdzie napięcie progowe waha się zwykle w okolicach $V_{th} \approx 400\text{mV}$. Znany w literaturze model pracy tranzystorów MOSFET jest jedynie modelem przybliżonym, dlatego przy skomplikowanych układach najlepiej jest dobrać elementy na podstawie symulacji wykorzystujących dokładne modele. Sposób ten wykorzystany został również w tym projekcie; wyniki symulacji przedstawione są w kolejnej sekcji niniejszej pracy, natomiast w dalszej części rozważań analitycznych należy przyjąć, że wszystkie elementy nieliniowe pracują w obszarze aktywnym i dlatego można przejść do analizy małosygnałowej.

Wzmacniacz kaskodowy jest najefektywniej dzisiaj stosowaną metodą w projektowaniu układów scalonych z wysokim wzmocnieniem. Niekiedy pozwala uniknąć konieczności dodawania kolejnych stopni wzmacniających, dzięki czemu wspiera utrzymanie stabilności obwodu.

Model małosygnałowy jest przybliżeniem, które pozwala traktować tranzystor jak element liniowy; dzięki temu w obliczeniach można stosować prawa właściwe dla liniowej analizy obwodów; w tym między innymi zasadę superpozycji, którą wykorzystać można w wyznaczeniu wzmocnienia różnicowego A_v układu. Przed przystąpieniem do właściwych obliczeń warto jednak obwód trochę uprościć.

Schemat małosygnałowy lewej części układu 3.5 wygląda w sposób pokazany na Rysunku 3.6.



Rysunek 3.6: Schemat zastępczy wybranej konfiguracji wzmacniacza operacyjnego z zawiniętą kaskodą (lewa połowa obwodu).

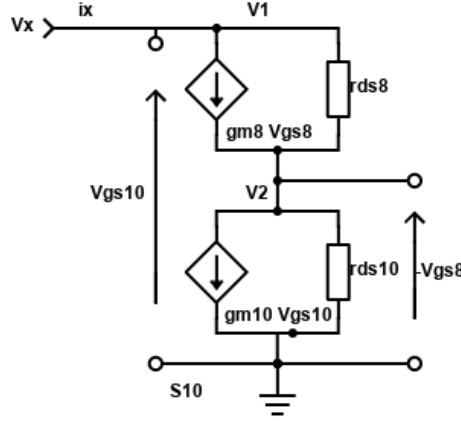
Na podstawie schematu przedstawionego na Rysunku 3.6 zauważyć można, że układ można uprościć wykorzystując równowartość źródeł sterowanych $g_{m1}V_{gs1}$ oraz $g_{m4}V_{gs4}$ zgodnie z równaniami (3.1), (3.2).

$$V_{gs1} = \frac{V_{id}}{2} \quad (3.1)$$

$$V_{gs4} = 0 \quad (3.2)$$

Dzięki czemu lewą część układu można uprościć do źródła prądowego $\frac{g_{m1}V_{id}}{2}$ połączanego równolegle z rezystancjami r_{ds1} i r_{ds4} .

Można również zredukować prawą część układu poprzez wprowadzenie rezystancji zastępczej. W tym celu należy wyznaczyć opór widziany z perspektywy drenu tranzystora M6. Można to zrobić, wprowadzając do układu źródło zastępcze i_x , na którym odkłada się napięcie V_x i na podstawie ich stosunku wyznaczyć rezystancję zastępczą.



Rysunek 3.7: Prawa część schematu małosygnałowego (Rysunek 3.6) jako schemat przeznaczony do uproszczenia.

Za pomocą metody potencjałów węzłowych można wyznaczyć macierz (3.3).

$$\begin{bmatrix} \frac{1}{rds_8} & -\frac{1}{rds_8} \\ -\frac{1}{rds_8} & \frac{1}{rds_8} + \frac{1}{rds_{10}} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} i_x - g_{m8} V_{gs8} \\ g_{m8} V_{gs8} - g_{m10} V_{gs10} \end{bmatrix} \quad (3.3)$$

Gdzie odpowiednie napięcia V_{gs} opisane są w równaniach (3.4), (3.5).

$$V_{gs8} = -V_2, \quad (3.4)$$

$$V_{gs10} = V_1 = V_x. \quad (3.5)$$

Stąd macierz (3.3) można zapisać w uproszczonej postaci (3.6).

$$\begin{bmatrix} \frac{1}{rds_8} & -\frac{1}{rds_8} - g_{m8} \\ -\frac{1}{rds_8} + g_{m10} & \frac{1}{rds_8} + \frac{1}{rds_{10}} + g_{m8} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} i_x \\ 0 \end{bmatrix} \quad (3.6)$$

Wykorzystując metodę wyznaczników, można pokazać, że V_1 określone jest jako stosunek wyznaczników W_1 i W_0 (3.7):

$$V_1 = \frac{W_1}{W_0}, \quad (3.7)$$

gdzie wyznaczniki przyjmują wartości (3.8), (3.9).

$$W_0 = \frac{1}{rds_8} \left(\frac{1}{rds_8} + \frac{1}{rds_{10}} + g_{m8} \right) + \left(\frac{1}{rds_8} + g_{m8} \right) \left(-\frac{1}{rds_8} + g_{m10} \right) \quad (3.8)$$

$$W_1 = i_x \left(\frac{1}{rds_8} + \frac{1}{rds_{10}} + g_{m8} \right) \quad (3.9)$$

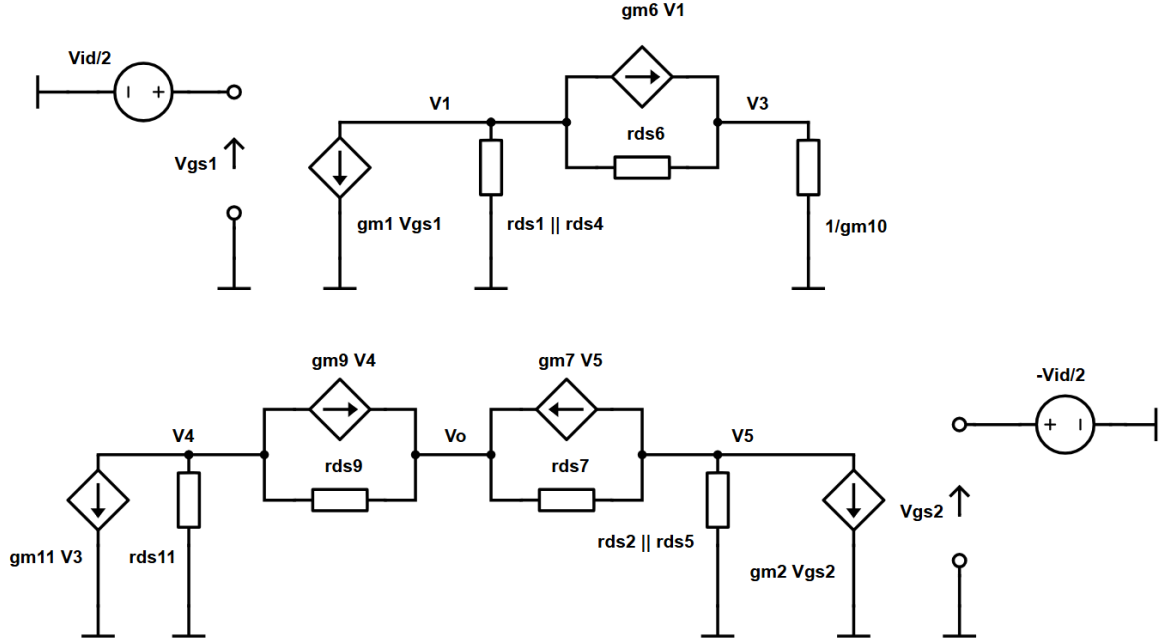
Pamiętając przy tym relację między transkonduktancją a rezystancją wyjściową (3.10) tranzystora MOSFET:

$$g_m \gg 1/r_{ds} \quad (3.10)$$

Można uprościć stosunek (3.7) do postaci (3.11)

$$V_1 = \frac{W_1}{W_0} = \frac{i_x g_{m8}}{g_{m8} g_{m10}} = i_x \cdot \frac{1}{g_{m10}}. \quad (3.11)$$

Zatem cały układ przedstawiony na Rysunku 3.7 można uprościć do jednego rezystora o wartości rezystancji $R = 1/g_{m10}$. Schemat małosygnałowy, który po uproszczeniu można wykorzystać do wyznaczenia wzmacnienia, znajduje się na Rysunku 3.8.

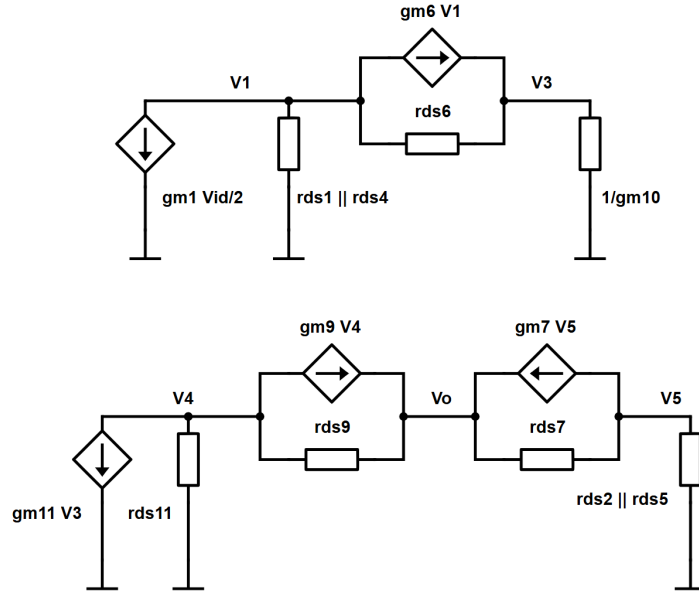


Rysunek 3.8: Uproszczony schemat zastępczy małosygnałowy wzmacniacza z zawiętą kaskadą.

W dalszej części obliczeń wykorzystana została zasada superpozycji; najpierw przeanalizowany został wpływ źródła $V_{id}/2$ na napięcie wyjściowe, a następnie wpływ źródła $-V_{id}/2$. Całkowite napięcie wyjściowe należy rozpatrywać jako sumę napięć cząstkowych wynikających z działania poszczególnych źródeł sygnału w obwodzie.

W układzie włączone jest tylko źródło $V_{id}/2$.

Schemat małosygnałowy, który należy wykorzystać do obliczeń, znajduje się na Rysunku 3.10



Rysunek 3.9: Uproszczony schemat zastępczy małosygnałowy wzmacniacza z zawięniętą kaskodą gdy działa tylko źródło $V_{id}/2$.

Chcąc wyznaczyć wartość napięcia sterującego źródłem $gm_{11}V_3$ należy wyznaczyć macierz potencjałów węzłowych (3.12).

$$\begin{bmatrix} gds_1 + gds_4 + gds_6 & -gds_6 \\ -gds_6 & gds_6 + gm_{10} \end{bmatrix} \begin{bmatrix} V_1 \\ V_3 \end{bmatrix} = \begin{bmatrix} -gm_6 V_1 - gm_1 \frac{V_{id}}{2} \\ gm_6 V_1 \end{bmatrix} \quad (3.12)$$

Z uwagi na to, że tranzystory M4 i M6 mają te same wymiary i ten sam potencjał podany na bramkę, to z powodzeniem można założyć, że $gds_4 \ll gm_6$. Wiadomo również, że $rds_4 || rds_1$, więc z powodzeniem można przyjąć, że $gds_1 \ll gm_6$. Transkonduktancja gm_{10} związana jest z tranzystorem M10, który sterowany jest przez samopolaryzację, a nie przez zewnętrzny potencjał, więc z powodzeniem można również przyjąć, że $gm_{10} \gg gds_6$. Wtedy wynikowa macierz upraszcza się do formy (3.13)

$$\begin{bmatrix} gm_6 & -gds_6 \\ -gm_6 & gm_{10} \end{bmatrix} \begin{bmatrix} V_1 \\ V_3 \end{bmatrix} = \begin{bmatrix} -gm_1 \frac{V_{id}}{2} \\ 0 \end{bmatrix} \quad (3.13)$$

Po zastosowaniu metody wyznaczników otrzymać można wartość napięcia V_3 (3.14).

$$V_3 = \frac{W_1}{W_g} = \frac{-gm_6 gm_1 \frac{V_{id}}{2}}{gm_6 gm_{10}} = -\frac{gm_1}{2gm_{10}} V_{id} \quad (3.14)$$

Do wyliczenia napięcia wyjściowego V_o również można ułożyć macierz potencjałów węzłowych (3.15).

$$\begin{bmatrix} gds_{11} + gds_9 & -gds_9 & 0 \\ -gds_9 & gds_9 + gds_7 & -gds_7 \\ 0 & -gds_7 & gds_7 + gds_5 + gds_2 \end{bmatrix} \begin{bmatrix} V_4 \\ V_0 \\ V_5 \end{bmatrix} = \begin{bmatrix} -gm_{11}V_3 - gm_9V_4 \\ gm_9V_4 + gm_7V_5 \\ -gm_7V_5 \end{bmatrix} \quad (3.15)$$

Po uproszczeniu uzyskać można formę (3.16).

$$\begin{bmatrix} gds_{11} + gm_9 & -gds_9 & 0 \\ -gm_9 & gds_9 + gds_7 & -gm_7 \\ 0 & -gds_7 & gm_7 + gds_5 + gds_2 \end{bmatrix} \begin{bmatrix} V_4 \\ V_0 \\ V_5 \end{bmatrix} = \begin{bmatrix} -gm_{11}V_3 \\ 0 \\ 0 \end{bmatrix} \quad (3.16)$$

Napięcie wyjściowe, korzystając ponownie z metody wyznaczników, doprowadzić można do postaci (3.17).

$$V_o = \frac{W_2}{W_g} = \frac{-gm_9gm_{11}V_3(gm_7 + gds_5 + gds_2)}{gds_{11}gds_9gm_7 + gm_9gds_7(gds_5 + gds_2)} \quad (3.17)$$

Po uproszczeniu, dla działającego tylko źródła $V_{id}/2$ napięcie wyjściowe przyjmuje formę opisaną równaniem (3.18).

$$V_o = \frac{W_2}{W_g} = \frac{gm_9gm_{11}gm_7gm_1 \frac{V_{id}}{2gm_{10}}}{gds_{11}gds_9gm_7 + gm_9gds_7(gds_5 + gds_2)} \quad (3.18)$$

Znając własności wzmacniaczy kaskodowych z literatury ([26], [25]) można założyć, że rezystancja wyjściowa dana jest relacją (3.19).

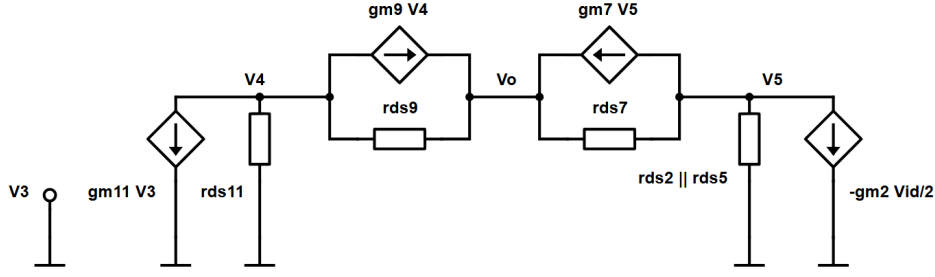
$$R_{out} \approx (gm_9r_{ds9}r_{ds11}) \parallel [gm_7r_{ds7}(r_{ds2} \parallel r_{ds5})] \quad (3.19)$$

Wiedząc, że tranzystory M10 i M11 mają takie same wymiary i to samo napięcie podane na bramkę, można przyjąć, że $gm_{11} \approx gm_{10}$, wtedy napięcie wyjściowe uprości się do formy ostatecznej (3.20).

$$V_o = \frac{gm_9gm_7gm_1 \frac{V_{id}}{2}}{gds_{11}gds_9gm_7 + gm_9gds_7(gds_5 + gds_2)} = \frac{gm_1V_{id}}{2} R_{out} \quad (3.20)$$

W układzie włączone jest tylko źródło $-V_{id}/2$.

Schemat małosygnałowy, który należy wykorzystać do obliczeń znajduje się na Rysunku 3.10



Rysunek 3.10: Uproszczony schemat zastępczy małosygnałowy wzmacniacza z zawiętą kaskodą gdy działa tylko źródło $-V_{id}/2$.

Macierz potencjałów węzłowych w tym przypadku różni się od macierzy (3.16) tylko źródłem prądu, co widać w równaniu (3.21), (3.22).

$$\begin{bmatrix} gds_{11} + gds_9 & -gds_9 & 0 \\ -gds_9 & gds_9 + gds_7 & -gds_7 \\ 0 & -gds_7 & gds_7 + gds_5 + gds_2 \end{bmatrix} \begin{bmatrix} V_4 \\ V_0 \\ V_5 \end{bmatrix} = \begin{bmatrix} -gm_9 V_4 \\ gm_9 V_4 + gm_7 V_5 \\ gm_2 \frac{V_{id}}{2} - gm_7 V_5 \end{bmatrix} \quad (3.21)$$

$$\begin{bmatrix} gds_{11} + gm_9 & -gds_9 & 0 \\ -gm_9 & gds_9 + gds_7 & -gm_7 \\ 0 & -gds_7 & gm_7 + gds_5 + gds_2 \end{bmatrix} \begin{bmatrix} V_4 \\ V_0 \\ V_5 \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ gm_2 \frac{V_{id}}{2} \end{bmatrix} \quad (3.22)$$

Napięcie V_0 opisane jest zatem formułą (3.23).

$$V_0 = \frac{W_2}{W_g} = \frac{gm_7 gm_2 \frac{V_{id}}{2} (gm_9 + gds_{11})}{gds_{11} gds_9 gm_7 + gm_9 gds_7 (gds_5 + gds_2)} \quad (3.23)$$

Po uproszczeniu uzyskać można relację (3.24).

$$V_0 = \frac{gm_9 gm_7 gm_2 \frac{V_{id}}{2}}{gds_{11} gds_9 gm_7 + gm_9 gds_7 (gds_5 + gds_2)} = \frac{gm_2 V_{id}}{2} R_{out} \quad (3.24)$$

Gdy tranzystory w parze wejściowej mają takie same wymiary, to z dobrym przybliżeniem można przyjąć, że $gm_1 \approx gm_2 \approx gm$. Wtedy napięcie wyjściowe całkowite, właściwe dla obu źródeł działających, opisane jest jako suma (3.24) i (3.20), co w wyniku daje równanie (3.25)

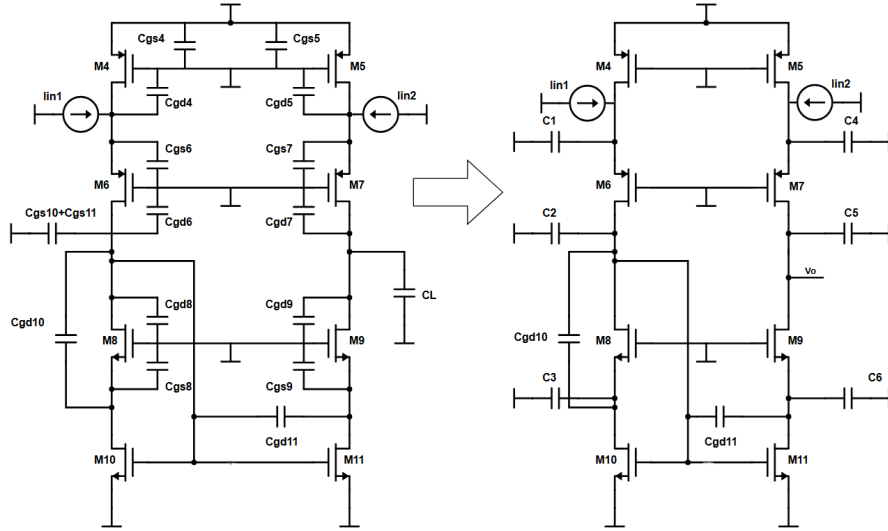
$$V_o = gm \cdot R_{out} \cdot V_{id} \quad (3.25)$$

Stąd wzmacnienie różnicowe opisać można relacją (3.26).

$$A_v = \frac{V_o}{V_{id}} = gm \cdot R_{out} = gm \cdot (gm_9 rds_9 rds_{11}) \parallel [gm_7 rds_7 (rds_2 \parallel rds_5)] \quad (3.26)$$

3.2.2 Analiza częstotliwościowa

W analizie częstotliwościowej należy znaleźć i określić wielkość biegunów i zer funkcji przenoszenia charakterystycznej dla danego układu. W tym celu należy posłużyć się ponownie modelem małosygnałowym (aplikowalnym dopiero gdy wszystkie tranzystory zostaną spolaryzowane we właściwy sposób) wyposażonym dodatkowo w pojemności, które zostały pominięte w rozdziale poprzednim. Ich miejsce zostało w uproszczony sposób pokazane na Rysunku 3.11. Prądy wejściowe I_{in1} oraz I_{in2} to prądy wypływające z par różnicowych. Dla uproszczenia i tak już skomplikowanego układu zakłada się, że stałe potencjały polaryzujące V_{b1}, V_{b2}, V_{b3} przedstawione na Rysunku 3.5 są idealnymi potencjałami stałymi, które w analizie małosygnałowej, podobnie jak potencjały zasilania, można zewrzeć do masy. W zastosowaniach praktycznych należy wziąć pod uwagę wpływ dodatkowych parametrów wynikających z połączenia między bramką i elementami ustawiającymi odpowiednie wartości potencjałów biasujących. Może to mieć istotny wpływ na położenie biegunów innych niż biegun dominujący w funkcji przenoszenia.



Rysunek 3.11: Rozmieszczenie pojemności w stopniu wzmacniającym wzmacniacza (C_L symbolizuje obciążenie zewnętrzne).

Gdzie przyjęte oznaczenia reprezentują pojemności (3.27), (3.28), (3.29), (3.30), (3.31), (3.32).

$$C_1 = C_{gd4} + C_{gs6} \approx C_{gs6} \quad (3.27)$$

$$C_2 = C_{gd6} + C_{gs10} + C_{gd8} + C_{gs11} \approx C_{gs10} + C_{gs11} \quad (3.28)$$

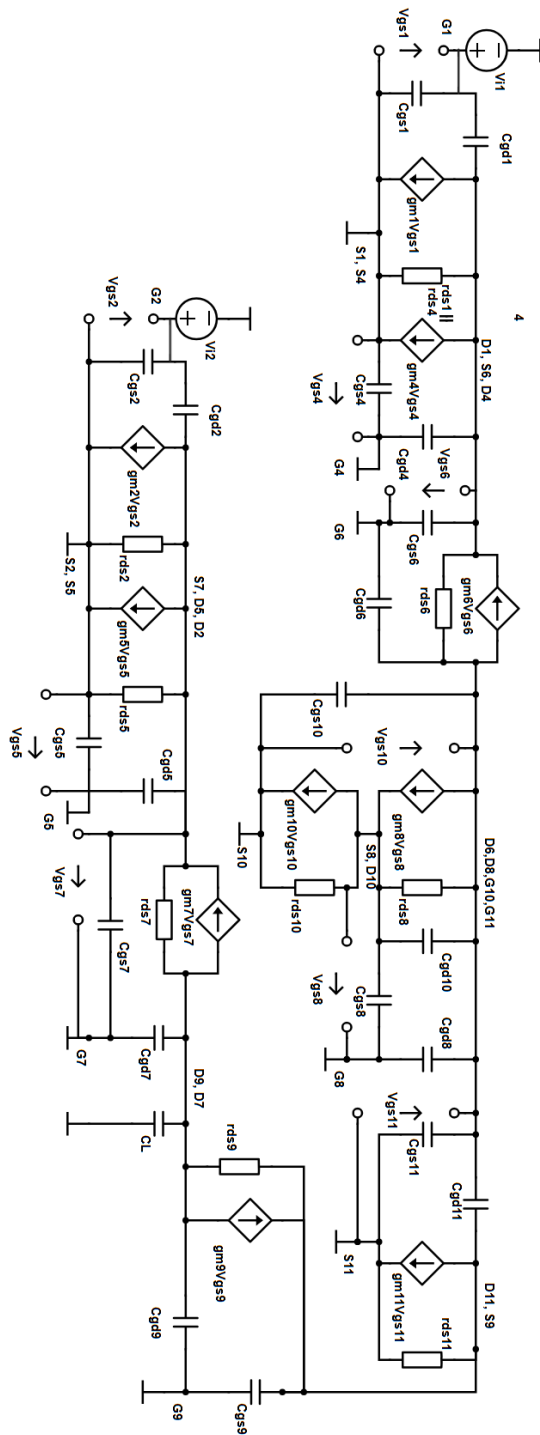
$$C_3 = C_{gs8} \quad (3.29)$$

$$C_4 = C_{gd5} + C_{gs7} \approx C_{gs7} \quad (3.30)$$

$$C_5 = C_{gd9} + C_{gd7} + C_L \approx C_L \quad (3.31)$$

$$C_6 = C_{gs9} \quad (3.32)$$

Przedstawione obliczenia stanowią jedynie model przybliżony, więc w obliczeniach pominięty został efekt podłoża.

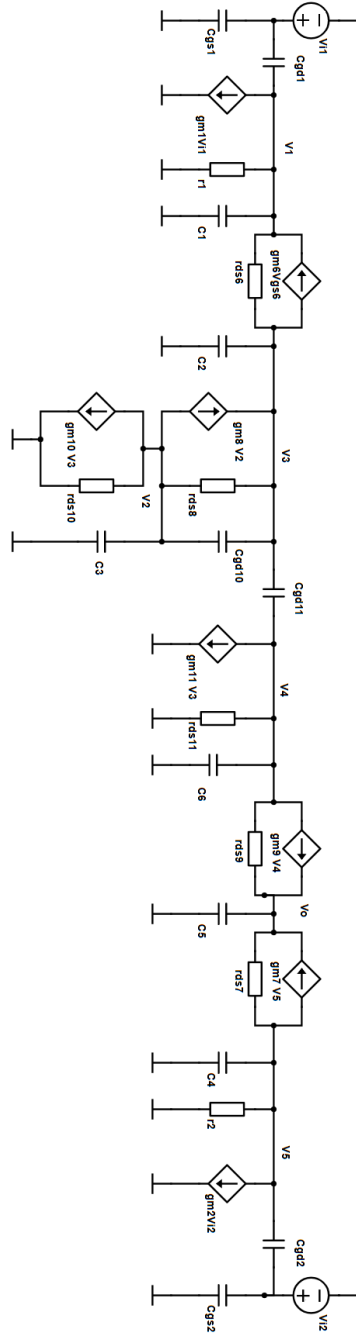


Rysunek 3.12: Schemat małosygnałowy wzmacniacza bez uproszczeń.

Schemat małosygnałowy wzmacniacza operacyjnego rail-to-rail input-output przed-

stawiony został na Rysunku 3.12.

Układ ten jest obwodem sześciowęzłowym, w związku z czym potencjalne rozwiązanie, bez dodatkowych uproszczeń, stanowić będzie równanie macierzowe postaci $GV = I$, gdzie $G \in \mathbb{R}^{6 \times 6}$ jest macierzą konduktancji, V wektorem napięć węzłowych i I wektorem prądów. Układ można wstępnie zwinąć do postaci przedstawionej na Rysunku 3.13.



Rysunek 3.13: Schemat małosygnałowy wzmacniacza po uproszczeniu.

Gdzie zastosowano uproszczenia opisane przez (3.27), (3.28), (3.29), (3.30), (3.31), (3.33), (3.34).

$$r_1 = rds_1 || rds_4 \quad (3.33)$$

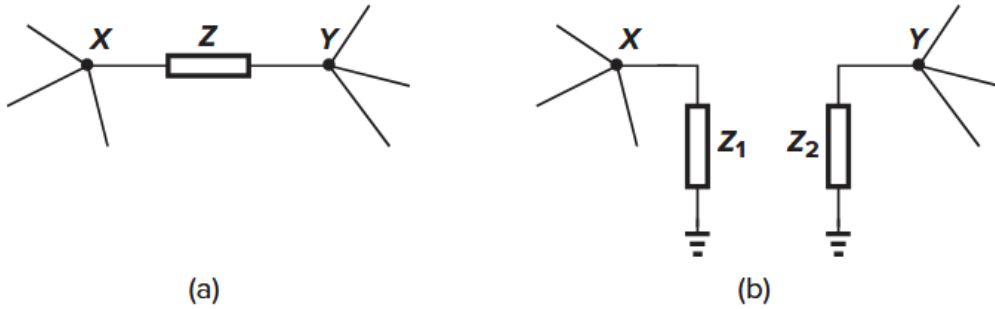
$$r_2 = rds_2 || rds_5 \quad (3.34)$$

Rozwiązanie takiego równania jest nietrywialne i może zostać pominięte po wprowadzeniu pewnych uproszczeń, które pozwolą z satysfakcjonującym przybliżeniem oszacować wartości biegunów i zer funkcji przenoszenia. W tym celu zastosować należy efekt Millera.

Efekt Millera

Efekt Millera może być zarówno efektem pasożytniczym, jak i przydatnym sposobem na poprawę jakości kluczowych parametrów obwodu, lub sposobem na uproszczenie jego analizy.

Na początku dobrze jest rozważyć pewne tożsamości. Jeśli dany jest wycinek układu składający się z rezystora i dwóch węzłów X i Y (Rysunek 3.14), to zakładając, że w obwodzie istnieje siła wymuszająca, prawdziwe jest stwierdzenie, że układ *a* tożsamy jest z układem *b*, jeśli spełniona jest zależność (3.35),



Rysunek 3.14: Efekt Millera: tożsamość obwodów.

$$\frac{V_X - V_Y}{Z} = \frac{V_X}{Z_1} = -\frac{V_Y}{Z_2} \quad (3.35)$$

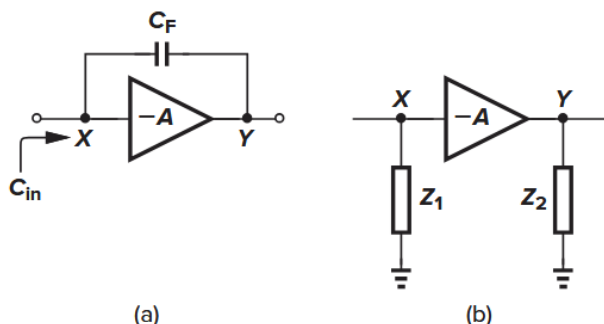
Gdzie V_X i V_Y to napięcia węzłów. Wtedy rezystancje zastępcze Z_1 i Z_2 przyjmują postać (3.36), (3.37).

$$Z_1 = \frac{Z}{1 - \frac{V_Y}{V_X}} \quad (3.36)$$

$$Z_2 = \frac{Z}{1 - \frac{V_X}{V_Y}} \quad (3.37)$$

Gdy zamiast rezystora rozpatrzona zostanie pojemność, a między napięcia wejście-wyjście dodatkowo wpięty zostanie wzmacniacz z ujemnym wzmocnieniem (Rysunek 3.15), wówczas obciążenie pojemnościowe widziane z wejścia jest zmnożone

względem tego widzianego z wyjścia o czynnik rzędu wartości wzmocnienia (3.38), (3.39).



Rysunek 3.15: Efekt Millera rozpatrywany z elementem wzmacniającym i obciążeniem pojemnościowym.

$$Z_1 = \frac{1}{sC_F(1 + A)} \quad (3.38)$$

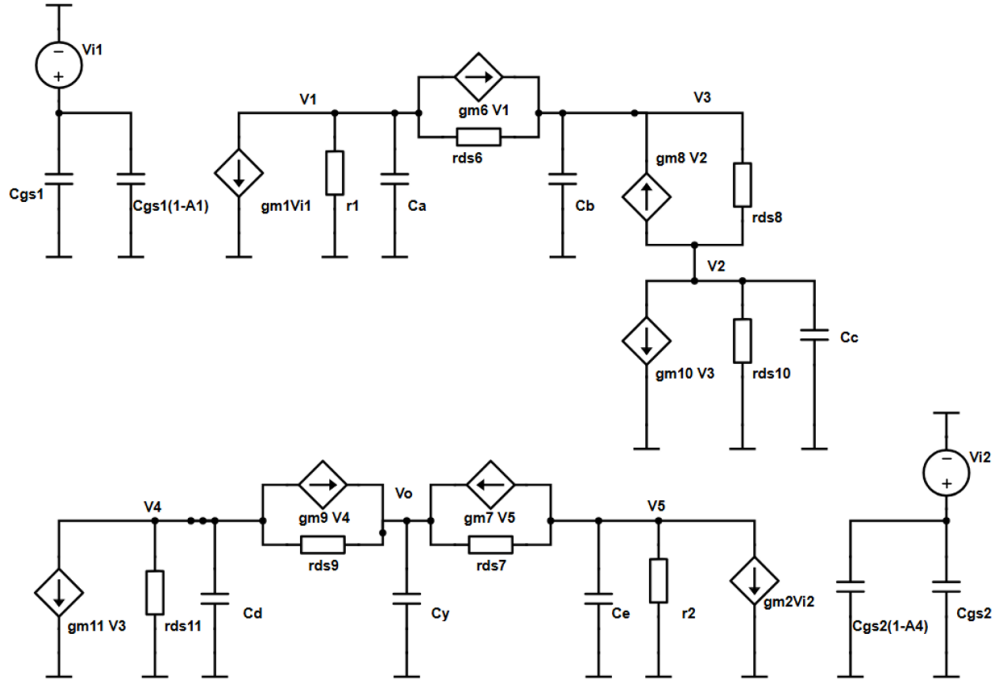
$$Z_2 = \frac{1}{sC_F(1 + 1/A)} \quad (3.39)$$

Efekt Millera może się zatem wiązać z pogorszeniem własności częstotliwościowych układu, ponieważ zmnożona pojemność w Z_1 w efekcie daje biegun przesunięty w stronę niskich częstotliwości. W konsekwencji otrzymuje się wąskie pasmo przenoszenia i gorsze wzmocnienie układu.

Można jednak też wykorzystać efekt Millera do poprawy charakterystyki częstotliwościowej [23]. Biegun dominujący w układzie jednostopniowego wzmacniacza, w pewnym przybliżeniu, określony jest przez rezystancję wyjściową układu i pojemność obciążenia. Jeśli układ przechodzi w formę wzmacniacza dwustopniowego, biegun ten określać będzie pojemność łączącą oba stopnie. Jeśli margines fazy zbudowanego obwodu nie spełnia założonych kryteriów, można efekt Millera wykorzystać do zwiększenia pojemności i tym samym przesunięcia położenia bieguna tak, by uzyskać większy margines fazy.

Bieguny i zera funkcji przenoszenia

Pojemności, które można rozbić na dwie impedancje zastępcze zgodnie z założeniami efektu Millera przedstawione zostały na Rysunku 3.12. Należy do nich Cgd_{10} , Cgd_{11} i dwie pojemności związane z tranzystorami wejściowymi Cgd_1 i Cgd_2 . Po zastosowaniu uproszczenia otrzymać można układ przedstawiony na Rysunku 3.16.



Rysunek 3.16: Schemat małosygnałowy wzmacniacza z zastosowaniem efektu Millera.

Gdzie przyjęto następujące oznaczenia (3.40), (3.41), (3.42), (3.43), (3.44), (3.45)

$$C_a = C_1 + (1 - 1/A_1) C_{gd1} \approx C_{gs6} \quad (3.40)$$

$$C_b = C_2 + (1 - A_2) C_{gd10} + (1 - A_3) C_{gd11} = C_{gs10} + C_{gs11} + (1 - A_2) C_{gd10} + (1 - A_3) C_{gd11} \quad (3.41)$$

$$C_c = C_3 + (1 - 1/A_2) C_{gd10} \approx C_{gs8} \quad (3.42)$$

$$C_d = C_6 + (1 - 1/A_3) C_{gd11} \approx C_{gs9} \quad (3.43)$$

$$C_y = C_5 = C_L \quad (3.44)$$

$$C_e = C_4 + (1 - 1/A_4) C_{gd2} \approx C_{gs7} \quad (3.45)$$

Gdzie $A_1, A_2 \dots$ to są odpowiednie wzmocnienia między węzłami (3.46), (3.47), (3.48), (3.49).

$$A_1 = \frac{V_1}{V_{i1}} \quad (3.46)$$

$$A_2 = \frac{V_2}{V_3} \quad (3.47)$$

$$A_3 = \frac{V_4}{V_3} \quad (3.48)$$

$$A_4 = \frac{V_5}{V_{i2}} \quad (3.49)$$

Do wyznaczenia pojemności zastępczych istotne jest, zgodnie z powyższym, wyliczenie wzmocnienia między poszczególnymi napięciami na węzłach. Można to zatem wykonać, już bez upraszczania, opierając się na przybliżeniu tranzystora do elementu liniowego i z powodzeniem zastosować zasadę superpozycji. Obliczenia te nie zostaną w pracy pokazane, ponieważ obliczenia przedstawione dalej są nieco bardziej skomplikowaną formą tego samego rachunku.

Przedstawiona zostanie jednak uzyskana między kondensatorami relacja wielkości. Pojemność C_{gd} tego samego tranzystora jest znacznie mniejsza niż pojemność między bramką a źródłem C_{gs} . (3.50).

$$C_{gs} \gg C_{gd} \quad (3.50)$$

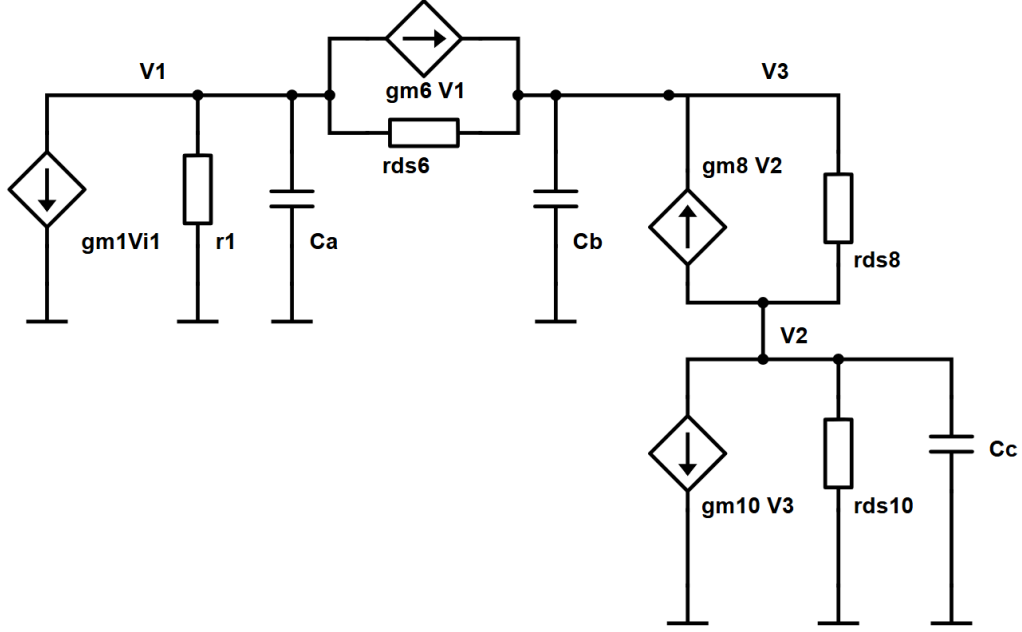
Wzmocnienie, które należy określić w wykorzystaniu efektu Millera to wzmocnienie między kolejnymi węzłami multiplikujące tylko pojemności C_{gd} . Nawet jeśli wartość któregoś z nich osiągnie do dwóch rzędów wielkości, to żadna ze wzmocnionych pojemności nie będzie porównywana z pojemnością obciążenia, która wielokrotnie przekracza tę wartość.

Dlatego w ogólności można założyć pewne przybliżenie dotyczące ich relacji (3.51), które zostanie zweryfikowane w symulacjach.

$$C_y \gg C_b > C_a \sim C_c \sim C_d \sim C_e \quad (3.51)$$

Wiedząc to i pamiętając o (3.10) można przystąpić do rozwiązania obwodu przedstawionego na Rysunku 3.16. Do wyznaczenia napięcia wyjściowego niezbędne jest wyznaczenie napięcia V_3 . Jako że w tych obliczeniach interesujące są jednak same bieguny funkcji przenoszenia, wyznaczony tutaj zostanie sam mianownik.

Schemat niezbędny do wyznaczenia napięcia V_3 przedstawiony jest na Rysunku 3.17.



Rysunek 3.17: Schemat małosygnalowy zastosowany do obliczenia V_3 .

Wartości napięć węzłowych wyznaczyć można metodą potencjałów węzłowych (3.52), (3.53), (3.54).

$$\begin{bmatrix} sC_a + gr_1 + gds_6 & -gds_6 & \theta \\ -gds_6 & gds_6 + sC_b + gds_8 & -gds_8 \\ 0 & -gds_8 & sC_c + gds_8 + gds_{10} \end{bmatrix} \begin{bmatrix} V_1 \\ V_3 \\ V_2 \end{bmatrix} = \begin{bmatrix} -gm_1 V_{i1} - gm_6 V_1 \\ gm_6 V_1 + gm_8 V_2 \\ -gm_8 V_2 - gm_{10} V_3 \end{bmatrix} \quad (3.52)$$

$$\begin{bmatrix} sC_a + gr_1 + gds_6 + gm_6 & -gds_6 & 0 \\ -gds_6 - gm_6 & gds_6 + sC_b + gds_8 & -gds_8 - gm_8 \\ 0 & -gds_8 + gm_{10} & gm_8 + sC_c + gds_8 + gds_{10} \end{bmatrix} \begin{bmatrix} V_1 \\ V_3 \\ V_2 \end{bmatrix} = \begin{bmatrix} -gm_1 V_{i1} \\ 0 \\ 0 \end{bmatrix} \quad (3.53)$$

$$\begin{bmatrix} sC_a + gm_6 + gr_1 & -gds_6 & 0 \\ -gm_6 & sC_b + gds_8 + gds_6 & -gm_8 \\ 0 & gm_{10} - gds_8 & sC_c + gm_8 + gds_{10} \end{bmatrix} \begin{bmatrix} V_1 \\ V_3 \\ V_2 \end{bmatrix} = \begin{bmatrix} -gm_1 V_{i1} \\ 0 \\ 0 \end{bmatrix} \quad (3.54)$$

Wyznacznik główny W_g opisany jest równaniem trzeciego stopnia ze zmienną s . Jego postać zostanie przedstawiona za pomocą współczynników a, b, c, d , które zdefiniować można równaniem (3.55), odpowiednie współczynniki to (3.56), (3.57), (3.58), (3.59).

$$W_g = as^3 + bs^2 + cs + d \quad (3.55)$$

$$a = C_a C_b C_c \quad (3.56)$$

$$b = C_a C_b gds_{10} + C_a C_b gm_8 + C_a C_c gds_6 + C_a C_c gds_8 + C_b C_c gm_6 + C_b C_c gr_1 \quad (3.57)$$

$$c = C_a(gds_{10}gds_6 + gds_{10}gds_8 + gds_6gm_8 + gm_{10}gm_8) + C_b(gds_{10}gm_6 + gds_{10}gr_1 + gm_6gm_8 + gm_8gr_1) + C_c(gds_6gr_1 + gds_8gm_6 + gds_8gr_1) \quad (3.58)$$

$$d = gds_{10}gds_6gr_1 + gds_{10}gds_8gm_6 + gds_{10}gds_8gr_1 + gds_6gm_8gr_1 + gm_{10}gm_6gm_8 + gm_{10}gm_8gr_1 \quad (3.59)$$

Znając relację między pojemnościami (3.50) i między gm i rds (3.10) można otrzymać parametry przybliżyć do (3.60), (3.61), (3.62).

$$b \approx C_b(C_a gm_8 + C_c gm_6) \quad (3.60)$$

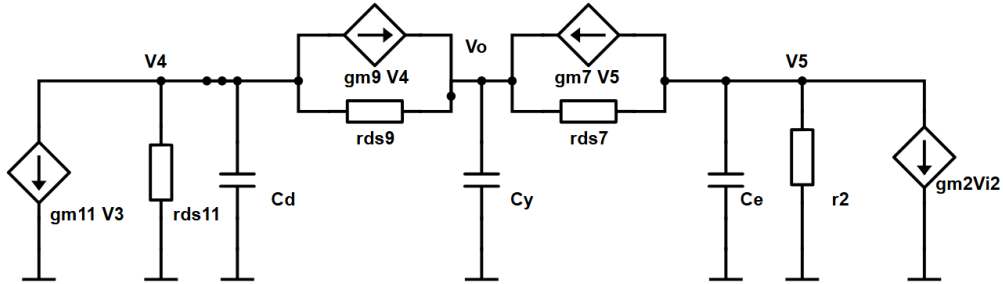
$$c \approx C_b gm_6 gm_8 \quad (3.61)$$

$$d \approx gm_{10} gm_6 gm_8 + gm_{10} gm_8 gr_1 \quad (3.62)$$

Podobne rachunki należy przeprowadzić dla wyznacznika W_2 , który pozwoli wyznaczyć finalną wartość napięcia V_3 (3.63).

$$V_3 = \frac{-gm_1 V_{i1} (sC_c gm_6 + gm_6 gm_8)}{C_a C_b C_c s^3 + C_b (C_a gm_8 + C_c gm_6) s^2 + C_b gm_6 gm_8 s + gm_{10} gm_6 gm_8 + gm_{10} gm_8 gr_1} \quad (3.63)$$

Schemat niezbędny do wyznaczenia potencjału wyjścia widoczny jest na Rysunku 3.18.



Rysunek 3.18: Schemat małosygnałowy zastosowany do obliczenia V_O .

Wartości napięć węzłowych wyznaczyć można metodą potencjałów węzłowych (3.64), (3.65), (3.66).

$$\begin{bmatrix} gds_{11} + sC_d + gds_9 & -gds_9 & 0 \\ -gds_9 & gds_9 + sC_y + gds_7 & -gds_7 \\ 0 & -gds_7 & sC_e + gds_7 + gr_2 \end{bmatrix} \begin{bmatrix} V_4 \\ V_O \\ V_5 \end{bmatrix} = \begin{bmatrix} -gm_{11} V_3 - gm_9 V_4 \\ gm_9 V_4 + gm_7 V_5 \\ -gm_7 V_5 - gm_2 V_{i2} \end{bmatrix} \quad (3.64)$$

$$\begin{bmatrix} sC_d + gds_{11} + gds_9 + gm_g & -gds_g & 0 \\ -gds_9 - gm_g & sC_y + gds_9 + gds_7 & -gds_7 - gm_7 \\ 0 & -gds_7 & sC_e + gds_7 + gm_7 + gr_2 \end{bmatrix} \begin{bmatrix} V_4 \\ V_0 \\ V_5 \end{bmatrix} = \begin{bmatrix} -gm_{11}V_3 \\ 0 \\ -gm_2V_{i_2} \end{bmatrix} \quad (3.65)$$

$$\begin{bmatrix} sC_D + gds_{11} + gm_g & -gds_g & 0 \\ -gm_g & sc_4 + gds_g + gds_7 & -gm_7 \\ 0 & -gds_7 & sC_E + gm_7 + gr_2 \end{bmatrix} \begin{bmatrix} V_4 \\ V_0 \\ V_5 \end{bmatrix} = \begin{bmatrix} -gm_{11}V_3 \\ 0 \\ -gm_2V_{i_2} \end{bmatrix} \quad (3.66)$$

Wyznacznik główny W_g opisany jest równaniem trzeciego stopnia ze zmienną s . Jego postać zostanie przedstawiona za pomocą współczynników a, b, c, d , które zdefiniować można równaniem (3.67).

$$W_g = as^3 + bs^2 + cs + d \quad (3.67)$$

Ich wartości wynoszą odpowiednio (3.68), (3.69), (3.70), (3.71).

$$a = C_d C_e C_y \quad (3.68)$$

$$\begin{aligned} b = & C_d C_y gds_7 + C_d C_y gm_7 + C_d C_y gr_2 + C_d C_e gds_9 \\ & + C_d C_e gds_7 + C_y C_e gds_{11} + C_y C_e gds_9 + C_y C_e gm_9 \end{aligned} \quad (3.69)$$

$$\begin{aligned} c = & C_d(gds_7^2 + gds_7 gds_9 + gds_7 gr_2 + gds_9 gm_7 + gds_9 gr_2) \\ & + C_y(gds_{11} gds_7 + gds_{11} gm_7 + gds_{11} gr_2 + gds_7 gds_9 \\ & + gds_7 gm_9 + gds_9 gm_7 + gds_9 gr_2 + gm_7 gm_9 + gm_9 gr_2) \\ & + C_e(gds_{11} gds_7 + gds_{11} gds_9 + gds_7 gds_9 + gds_7 gm_9 + gds_9^2) \end{aligned} \quad (3.70)$$

$$\begin{aligned} d = & gds_{11} gds_7^2 + gds_{11} gds_7 gds_9 + gds_{11} gds_7 gr_2 + gds_{11} gds_9 gm_7 \\ & + gds_{11} gds_9 gr_2 + gds_7^2 gds_9 + gds_7^2 gm_9 + gds_7 gds_9^2 \\ & + gds_7 gds_9 gr_2 + gds_7 gm_9 gr_2 + gds_9^2 gm_7 + gds_9^2 gr_2 \end{aligned} \quad (3.71)$$

Znając relację między pojemnościami (3.50) i między gm i rds (3.10) można otrzymane parametry przybliżyć do (3.72), (3.73), (3.74).

$$b \approx C_y(C_D gm_7 + C_E gm_9) \quad (3.72)$$

$$c \approx C_y gm_7 gm_9 \quad (3.73)$$

$$d \approx gm_9 gr_2 gds_7 + gm_7 gds_9 gds_{11} \quad (3.74)$$

Podobne rachunki należy przeprowadzić dla wyznacznika W_2 , który pozwoli wyznaczyć finalną wartość napięcia wyjściowego (3.75).

$$V_o = \frac{-gm_{11}V_3(sC_e gm_9 + gm_7 gm_9) - gm_2 V_{i_2}(sC_d gm_7 + gm_7 gm_9)}{C_d C_y C_e s^3 + C_y(C_d gm_7 + C_e gm_9)s^2 + C_y gm_7 gm_9 s + gm_9 gr_2 gds_7 + gm_7 gds_9 gds_{11}} \quad (3.75)$$

Do wyznaczenia biegunów funkcji przenoszenia wystarczy znajomość wartości mianowników obu napięć V_3 (D_3) i V_o (Do). Każdy z nich jest wielomianem trzeciego stopnia. Przyjmując, że pierwiastkami tych równań będą wielkości dla V_3 odpowiednio p_1 , p_2 i p_3 oraz dla V_o będą to p_4 , p_5 i p_6 , to równania te będzie można zapisać w postaci (3.76), (3.77).

$$D_3 = G_1(1 - \frac{s}{p_1})(1 - \frac{s}{p_2})(1 - \frac{s}{p_3}) \quad (3.76)$$

$$Do = G_2(1 - \frac{s}{p_4})(1 - \frac{s}{p_5})(1 - \frac{s}{p_6}) \quad (3.77)$$

Gdzie G_1 i G_2 to stałe.

Przyjmując założenia (3.78), (3.79) można te równania znacząco uprościć (3.80), (3.81). Relacje te powinny być zweryfikowane po otrzymaniu wyników, by sprawdzić, czy zostały przyjęte poprawnie.

$$p_1 \gg p_2 \gg p_3 \quad (3.78)$$

$$p_4 \gg p_5 \gg p_6 \quad (3.79)$$

$$D_3 = G_1(1 - \frac{s}{p_3} + \frac{s^2}{p_2 p_3} - \frac{s^3}{p_1 p_2 p_3}) \quad (3.80)$$

$$Do = G_2(1 - \frac{s}{p_6} + \frac{s^2}{p_5 p_6} - \frac{s^3}{p_4 p_5 p_6}) \quad (3.81)$$

Przyrównując wynikowe równania z ogólną postacią równania mianownika (3.82) można wyznaczyć wartości biegunów jako (3.84), (3.85), (3.86), (3.88), (3.89), (3.90).

$$Mianownik = as^3 + bs^2 + cs^2 + d \quad (3.82)$$

$$p_3 = -\frac{d}{c} = \frac{1}{c/d} = -\frac{1}{\frac{C_b gm_6 gm_8}{gm_{10} gm_6 gm_8 + gm_{10} gm_8 gr_1}} = -\frac{gm_{10} gm_6 gm_8 + gm_{10} gm_8 gr_1}{2C_{gs10,11} gm_6 gm_8} \quad (3.83)$$

$$p_3 = -\frac{1}{\frac{C_b r_1 gm_6}{gm_{10}(gm_6 r_1 + 1)}} = -\frac{gm_{10}(gm_6 r_1 + 1)}{2C_{gs10,11} gm_6 r_1} \quad (3.84)$$

$$p_2 = -\frac{c}{b} = -\frac{1}{\frac{C_b(C_a gm_8 + C_c gm_6)}{C_b gm_6 gm_8}} = -\frac{1}{C_a/gm_6 + C_c/gm_8} = -\frac{1}{C_{gs6}/gm_6 + C_{gs8}/gm_8} \quad (3.85)$$

$$p_1 = -\frac{b}{a} = -\frac{1}{\frac{C_a C_b C_c}{C_b(C_a gm_8 + C_c gm_6)}} = -\frac{1}{\frac{C_a C_c}{C_a gm_6 + C_c gm_8}} = -\frac{C_{gs6} gm_6 + C_{gs8} gm_8}{C_{gs6} C_{gs8}} \quad (3.86)$$

$$p_6 = -\frac{d}{c} = \frac{1}{c/d} = \frac{1}{\frac{C_y g m_7 g m_9}{g m_9 g r_2 g d s_7 + g m_7 g d s_9 g d s_{11}}} \quad (3.87)$$

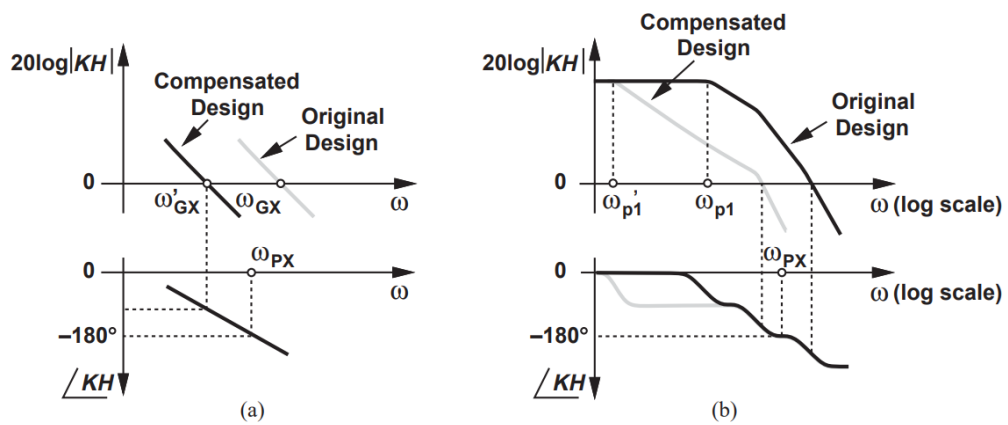
$$p_6 = -\frac{1}{\frac{C_y g m_7 g m_9 r d s_9 r d s_7 r d s_{11} r_2}{g m_9 r d s_9 r d s_{11} + g m_7 r d s_7 r_2}} \approx -\frac{1}{C_L R_{out}} \quad (3.88)$$

$$p_5 = -\frac{c}{b} = -\frac{1}{\frac{C_y (C_d g m_7 + C_e g m_9)}{C_y g m_7 g m_9}} = -\frac{1}{C_{gs9}/g m_9 + C_{gs7}/g m_7} \quad (3.89)$$

$$p_4 = -\frac{b}{a} = -\frac{1}{\frac{C_d C_e C_y}{C_y (C_d g m_7 + C_e g m_9)}} = -\frac{1}{\frac{C_{gs9} C_{gs7}}{C_{gs9} g m_7 + C_{gs7} g m_9}} \quad (3.90)$$

Tożsąmą analizę można wykonać również dla 'zer' zawartych w funkcji napięcia wyjściowego. Bez dodatkowych modyfikacji układ taki nie wygeneruje zera odpowiednio bliskiego, by skompensować wpływ najmniejszego ze znalezionych biegunów. Widać od razu, że ten najbardziej znaczący biegun funkcji przenoszenia to p_6 . Wartość uzyskana zgadza się z praktyką; najbardziej znaczący biegun to ten stowarzyszony z węzłem wyjściowym, do którego podpinane jest obciążenie (tutaj, dla uproszczenia, zastosowano jedynie obciążenie pojemnościowe). Okazuje się jednak, że w pierwszym przybliżeniu wartości pozostałych biegunów wydają się być porównywalne co do rzędu wielkości, co nie jest zgodne z założeniami przyjętymi w równaniach (3.78), (3.79). Dlatego też, do wyznaczenia pełnej charakterystyki częstotliwościowej należy wykorzystać bardziej precyzyjne obliczenia i metody, które pozwolą wyznaczyć dokładne wartości pozostałych biegunów. Otrzymane tutaj wyniki obarczone są dużym błędem, w związku z czym w symulacji zweryfikowany zostanie jedynie biegun dominujący, którego wzór (3.88) wydaje się przyjmować poprawną wartość.

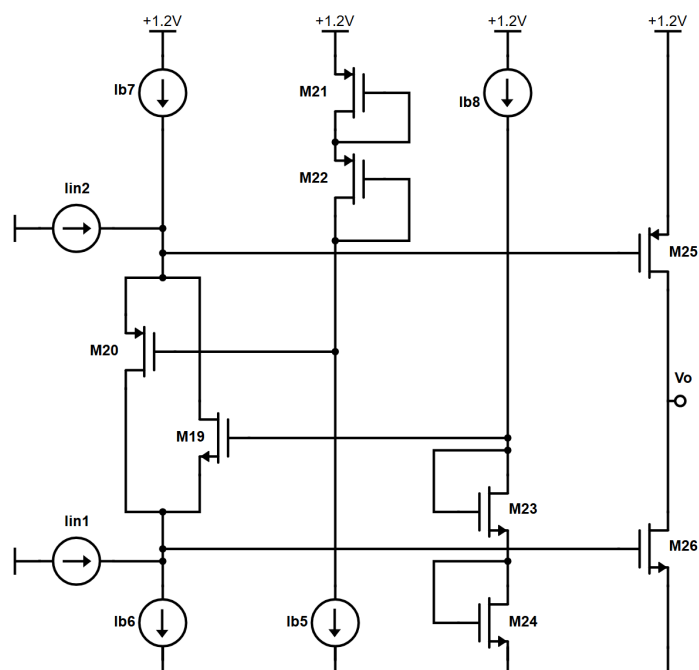
Analiza częstotliwościowa pozwala wyznaczyć pasmo badanego układu i pozwala również badać jego stabilność. W przypadku wzmacniacza rail-to-rail zaprojektowanego w submikronowej technologii CMOS w analizie stabilności najważniejszy jest margines fazy. Wymagania, które projektanci stawiają sobie w tym aspekcie, to dla dobrze pracującego układu $\phi = 70^\circ$. Przy projektowaniu wzmacniaczy dwu (lub więcej) stopniowych rzadko kiedy udaje się to osiągnąć bez stosowania dodatkowych metod kompensacyjnych, których zadaniem jest przesunięcie biegunów w stronę niskich częstotliwości (Rysunek 3.19). W tym celu stosuje się dodatkowe pojemności i/lub rezystory, których celem jest wprowadzenie dodatkowych zer i biegunów w funkcji przenoszenia. Zazwyczaj przesuwa się w ten sposób najbardziej znaczący biegun; dlatego też dodatkowe kondensatory i/lub rezystory przypina się pomiędzy wyjściem pierwszego stopnia, a wejściem drugiego, gdzie mieści się węzeł stowarzyszony z najbardziej znaczącym biegunem funkcji przenoszenia. Metoda ta jest innym przykładem zastosowania efektu Millera (ang. Miller compensation [26]) i została wykorzystana również w tym projekcie.



Rysunek 3.19: Wpływ kompensacji Millera na margines fazy.

3.3 Stopień wyjściowy - wzmacniacz mocy w klasie AB.

Chcąc jak najefektywniej wykorzystać moc dostarczoną przez źródło zasilania do układu, stopień wyjściowy wzmacniacza operacyjnego najlepiej sprawdza się w postaci wzmacniacza mocy w klasie AB, w którym tranzystory wyjściowe (Rysunek 3.20) pracujące w układzie wspólnego źródła sterowane są przez sygnały prądowe I_{in1} , I_{in2} zgodne w fazie (floating class-AB control).



Rysunek 3.20: Wzmacniacz wyjściowy Rail-to-rail z pływającym sterowaniem w klasie AB (floating class-AB control)[27].

Sygnały prądowe I_{in1} i I_{in2} wpływają na napięcie ustawiane przez tranzystory M19 i M20. Elementy w połączeniu diodowym na dwóch szynach zasilania odpowiednio M21 i M22 dla tranzystora M20 oraz M23 i M24 dla tranzystora M19 zapewniają aktywny punkt pracy tranzystorów sterujących,

Gdy prąd wejściowy I_{in1} i I_{in2} wpływa do wzmacniacza mocy, to prąd tranzystora M20 wzrasta, podczas gdy prąd tranzystora M19 maleje o tę samą wartość. Gdy maleje prąd tranzystora M19, to zwiększa się potencjał jego źródła (zmniejsza się V_{GS} tranzystora M19) więc zwiększa się również potencjał bramki tranzystora M26. Podobną analizę można przeprowadzić dla tranzystora typu pMOS M20. W konsekwencji różnica napięć między bramkami tranzystorów M25 i M26 pozostaje stała, ale sam poziom napięcia na bramkach się zmienia. To sprawia, że w zależności od poziomu napięcia zmienia się działanie tranzystorów wyjściowych (jeden z nich przewodzi lepiej kosztem drugiego) i są w stanie wysterować odpowiednie napięcie wyjściowe, praktycznie bez żadnej strefy martwej, w całym zakresie napięć zasilania.

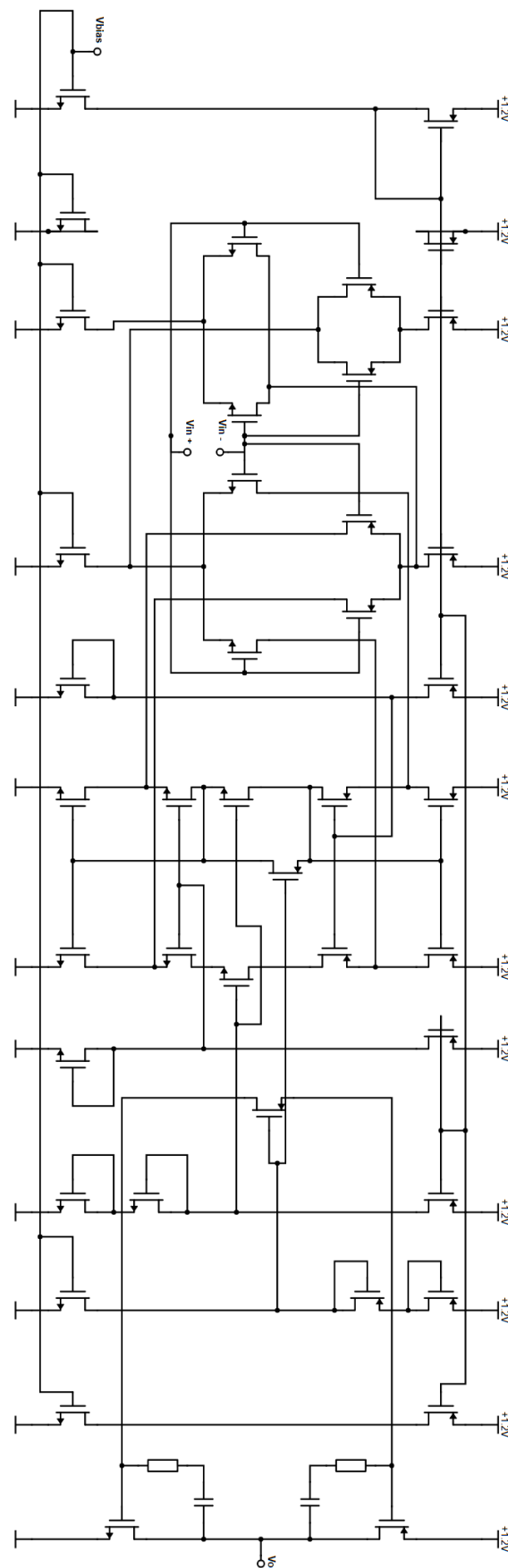
Tranzystory wyjściowe pracują w układzie wspólnego źródła i dzięki temu dodają też znaczący czynnik do wzmocnienia całego układu.

Rozdział 4

Projekt wzmacniacza Rail-to-rail input output w klasie AB.

Poniżej przedstawiony jest opis projektu wraz z ostateczną wersją schematu wzmacniacza operacyjnego, jego layoutem oraz wynikami działania zaprezentowanymi w postaci wyników symulacji. Przedstawione zostały również wyniki związane z weryfikacją obliczeń opisanych w poprzednim rozdziale. Wykonane zostały symulacje DC, AC, transient oraz stabilności. Przeprowadzono również symulacje Monte Carlo związane z rozrzutem produkcyjnym wybranych komponentów ('mismatch') pod kątem wpływu tego procesu na jakość zaprojektowanego układu. Zbadano również wpływ temperatury oraz modeli tranzystorów ('fast/slow') w analizie Worst Case. Na podstawie ekstraktu z layoutu wykonane zostały również symulacje postlayoutowe.

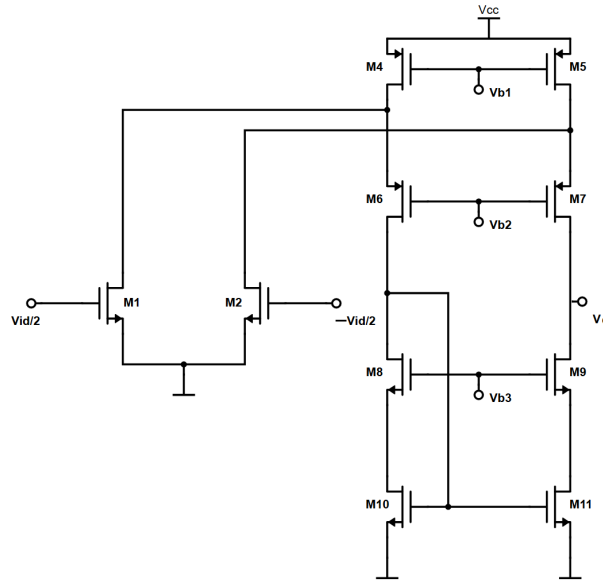
Ostateczny schemat wzmacniacza Rail-to-rail input-output w klasie AB w technologii CMOS130nm znajduje się na Rysunku 4.1. Napięcie V_{bias} to napięcie, którego rolą jest wysterowanie prądu polaryzującego wzmacniacz operacyjny. Napięcie wejściowe podawane jest na cztery pary wejściowe, które w zależności od jego poziomu pozostają w aktywnym punkcie pracy lub nie. Prąd wynikowy, jako suma prądów wypływających z par różnicowych, przesyłany jest do stopnia wzmacniającego, którego celem jest zapewnienie odpowiedniego wzmocnienia w układzie. Następnie sygnał jest przesyłany do wzmacniacza klasy AB z płynającymi źródłami prądowymi, którego konfiguracja zarówno wpływa znacząco na wzmocnienie układu, jak i daje możliwość ustawienia wartości napięcia wyjściowego mieszczącej się w całym zakresie napięć zasilania i pozwala wytworzyć odpowiednio duży prąd wyjściowy, dzięki czemu wzmacniacz jest w stanie pracować z obciążeniem (w pewnym ograniczonym zakresie). Zastosowana jest również metoda kompensacji Millerowskiej, która pozwala znacząco zwiększyć margines fazy układu, który bez kompensacji, jako wzmacniacz dwustopniowy, wynosiłby tylko $\phi = 45^\circ$.



Rysunek 4.1: Ostateczny schemat wzmacniacza Rail-to-rail input-output w klasie AB.

4.1 Obliczenia teoretyczne a symulacje

Mając na celu weryfikację rozważań opisanych w rozdziale teoretycznym, został zaprojektowany i wysymulowany również schemat uproszczony przedstawiony na Rysunku 3.1. Układ ten można uprościć do wzmacniacza operacyjnego z zawiniętą kaskodą opisaną dokładnie w rozdziale drugim. W zależności od napięcia wejściowego uproszczony wzmacniacz będzie pracował na parze wejściowej typu nMOS, pMOS lub obu. Dla przypomnienia konfigurację tę umieszczono jeszcze raz, poniżej na Rysunku 4.2.



Rysunek 4.2: Wzmacniacz różnicowy z zawiniętą kaskodą.

Wymiary tranzystorów dobrane zostały tak by wzmacniacz pozostawał w aktywnym punkcie pracy. Uzyskane parametry modelowe odpowiednich tranzystorów opisane są w Tabeli 4.1. Parametr gm odnosi się do transkonduktancji efektywnej, która opisuje całkowity prąd wychodzący z pary wejściowej (lub z par wejściowych, jeśli działa więcej niż jedna) do stopnia wzmacniającego. Reszta parametrów małosygnałowych odpowiada tranzystorom opisanym na schemacie Rysunek 4.2. C_L to pojemność obciążenia dorzucona do celi symulacyjnej.

Tabela 4.1: Parametry modelowe celi symulacyjnej

gm	gm_7	gm_9	rds_9	rds_7	rds_{11}	rds_2	rds_5	C_L
$566 \mu S$	$118 \mu S$	$144 \mu S$	$509 k\Omega$	$800 k\Omega$	$146 k\Omega$	$245 k\Omega$	$302 k\Omega$	$10pF$

Wzmocnienie opisane wzorem (3.26) przy parametrach opisanych w Tabeli 4.1 przyjmuje wartość (4.1).

$$A_v = \frac{V_o}{V_{id}} = gm \cdot R_{out} = gm \cdot (gm_9 rds_9 rds_{11}) \parallel [gm_7 rds_7 (rds_2 \parallel rds_5)] = 3001 V/V \quad (4.1)$$

Posługując się miarą logarytmiczną uzyskać można wartość opisaną równaniem (4.2)

$$A_v dB = 20 \log(3001) \approx 69.5 dB \quad (4.2)$$

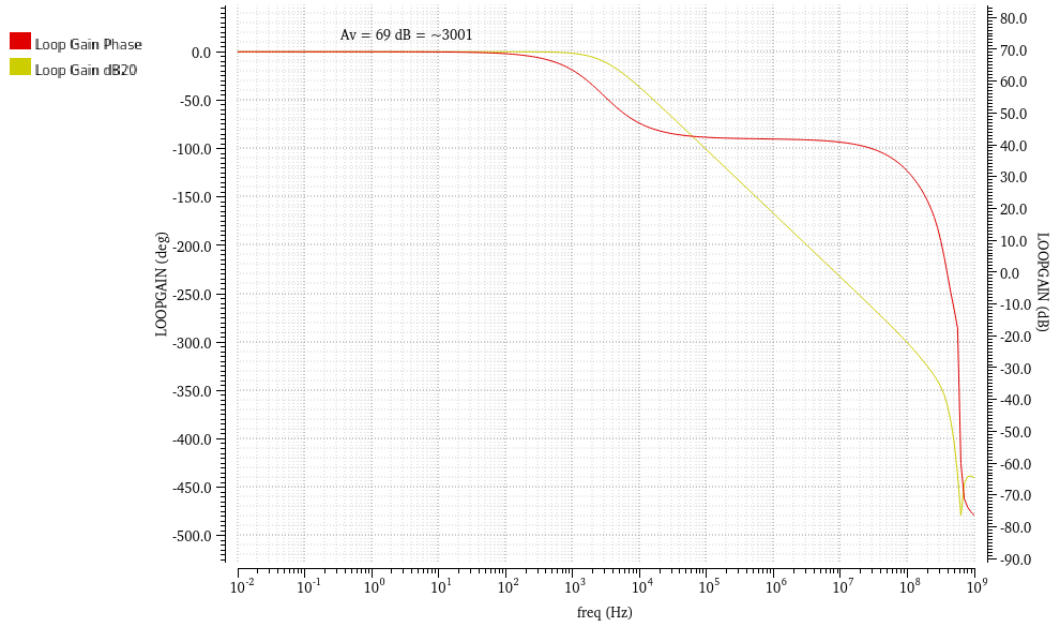
Zgodnie z równaniem (3.88) i parametrami opisanymi w Tabeli 4.1 biegun dominujący przyjmuje wartość (4.3).

$$\omega_0 = \frac{1}{C_L R_{out}} = 17.2 \frac{k \cdot rad}{s} \quad (4.3)$$

W dziedzinie częstotliwości opisać można to wartością (4.4).

$$f_{3dB} = \frac{\omega_0}{2\pi} = 2.73 kHz \quad (4.4)$$

Zgodnie z założeniami, biegun ten powinien być dominujący, a pozostałe powinny być na tyle mocno oddalone, by nie zniekształcać charakterystyki Bodego w bliskim sąsiedztwie. Oczekuje się zatem, by charakterystyka częstotliwościowa wykazywała własności funkcji jednobiegunowej z punktem przegięcia dla $f = f_{3dB}$. Niemal identyczne wyniki otrzymano jako wyjście z symulacji stabilności (Rysunek 4.3).



Rysunek 4.3: Wykresy Bodego układu Rysunek 3.1 - wynik symulacji stabilności.

Zgodnie z wykresem Rysunek 4.3 wzmocnienie układu wynosi $A_v dB = 69 dB$, a biegun dominujący odpowiada częstotliwości, dla której zaobserwować można zmianę fazy o $\theta = 45^\circ$, co odpowiada częstotliwości $f_{3dB} \approx 2.5 kHz$. Na wykresie fazowym nie widać dodatkowych zniekształceń, co oznacza, że wpływ dodatkowych biegunów na charakterystykę przenoszenia jest pomijalny. Wyniki są zgodne z przewidywaniami teoretycznymi, mimo że zastosowany model tranzystora jest jedynie przybliżeniem.

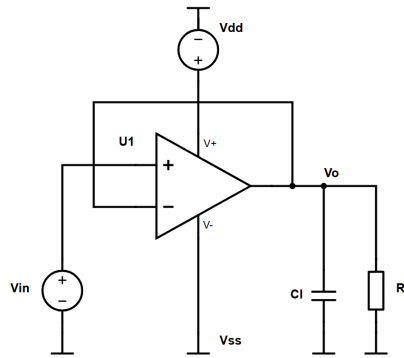
4.2 Symulacje schematu ostatecznego układu.

Wyniki przedstawione w poprzedniej sekcji nie spełniają wymagań projektowych, ale pokazują, które parametry mają kluczowe znaczenie w projektowaniu podobnych wzmacniaczy operacyjnych. Ostateczny projekt, przedstawiony na Rysunku 4.1, w stopniu wzmacniającym ma dodatkowe komponenty, które pozwalają odpowiednio współpracować ze wzmacniaczem klasy AB, który został dodany jako drugi stopień układu. Wyniki przedstawione w dalszej części pracy swoją wartość zawdzięczają przede wszystkim pracy nad najbardziej optymalnym doбором wymiarów tranzystorów. Dodatkowa samopolaryzacja zastosowana w ostatecznej formie obwodu (Rysunek 4.1) pozwala utrzymywać elementy aktywne w punkcie pracy bardziej efektywnie niż zewnętrzny potencjał polaryzujący, dlatego też postanowiono tak sterować parą dolną i górną tranzystorów w stopniu wzmacniającym, a nie tylko dolną jak miało to miejsce w schemacie uproszczonym (Rysunek 3.1).

Symulacje wykonano w konfiguracji bufora (Rysunek 4.4). Zastosowane zasilanie odpowiada wybranej technologii CMOS130nm, a jego wartość jest równa $V_{dd} = 1.2V$. W ramach obciążenia wykorzystano pojemność $C_l = 10pF$, a w niektórych symulacjach (na przykład czasowych) wykorzystano również kondensator o $C_l = 1pF$. Wielkości te odpowiadają przewidywanemu przedziałowi rzeczywistych wartości obciążenia wzmacniacza rail-to-rail. Jako że układ ten powinien pracować przede wszystkim z obciążeniem pojemnościowym, większość symulacji zawiera bardzo dużą wartość rezystancji obciążenia ($R_l = 2M\Omega$). Wyjątkiem są te, których celem jest pokazanie pracy układu w zależności tylko od rezystancji obciążenia, bez wpływu dodatkowych czynników. W zależności od typu symulacji zastosowano napięcie wejściowe V_{in} w formie sygnału stałego lub zmiennego. W każdym z przypadków zbadano zachowanie układu na zmiany jego amplitudy.

Projekt wykonano mając na względzie następujące wymagania:

- wzmocnienie (Gain) $\geq 80dB$ w całym zakresie pracy Rail-to-rail,
- jak najszerszy zakres zmienności V_{in} w obszarze pracy Rail-to-rail,
- margines fazy (Phase) na poziomie $\phi \geq 67^\circ$, ale możliwie niski, tak by dodatkowo nie spowalniać układu,
- możliwie niska moc (Power) pobrana od źródła zasilania,
- jak najszersze pasmo przenoszenia (bandwidth),
- zdolność do pracy w zakresie Rail-to-rail w całym przedziale przewidywanego obciążenia.

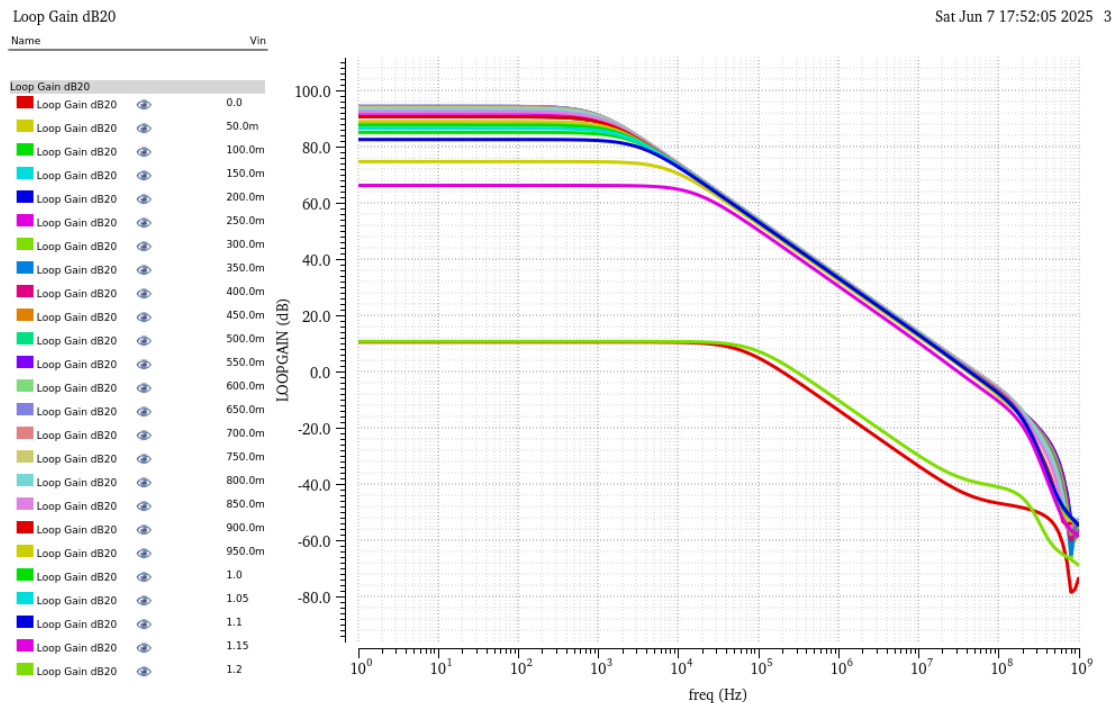


Rysunek 4.4: Układ symulacyjny zaprojektowanego wzmacniacza w konfiguracji bufora.

Opisany w niniejszej pracy układ spełnia wszystkie założenia zgodnie z symulacjami, a ich wyniki zaprezentowane są poniżej.

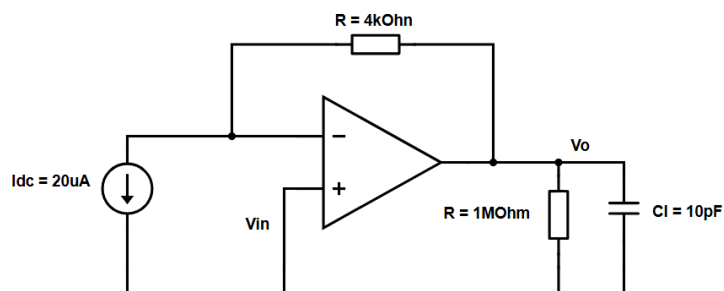
4.2.1 Wzmocnienie i zakres pracy układu.

W ramach symulacji stabilności (STB) uzyskane zostały charakterystyki częstotliwościowe amplitudowe funkcji wyjściowej układu. Symulacja została wykonana na przedziale całego zakresu zasilania napięć wejściowych z krokiem $\Delta V_{in} = 50\text{mV}$. Amplitudowe wykresy Bodego znajdują się na Rysunku 4.5.

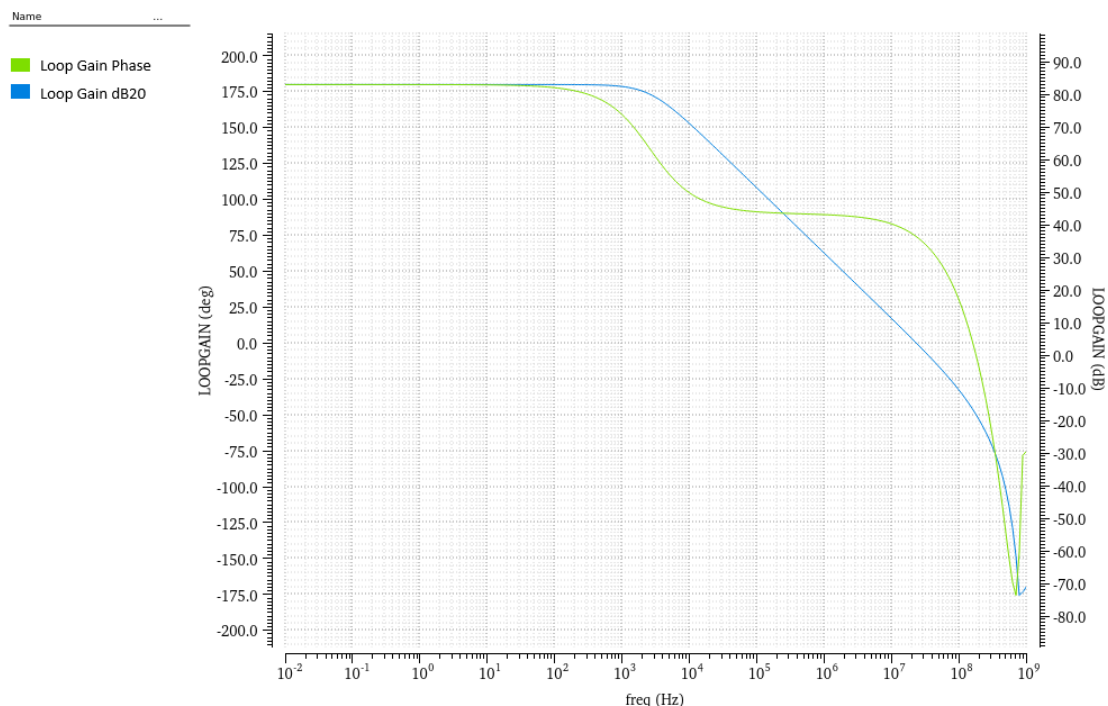


Rysunek 4.5: Symulacja amplitudowej charakterystyki Bodego na pełnym przedziale napięć zasilania. Każdemu z kolejnych kolorów krzywych odpowiada rosnąca wartość napięcia wejściowego.

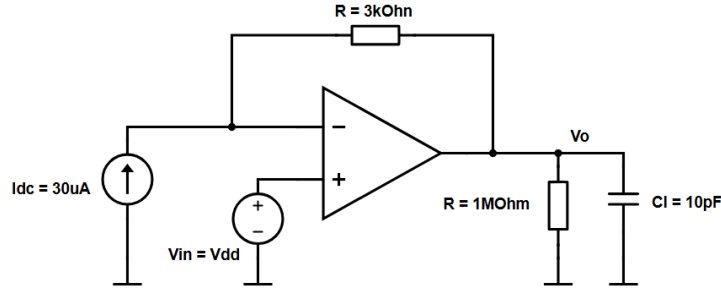
Można zauważyć, że w konfiguracji bufora układ zaczyna działać z pełnym wzmocnieniem powyżej napięć $V_{in} \in \{0, 50\text{mV}\}$ oraz poniżej napięcia $V_{in} \in \{1.15\text{V}, 1.2\text{V}\}$. Niektóre z tranzystorów w konfiguracji bufora w zakresie bliskim wartości napięć zasilania wypadają z aktywnego punktu pracy i układ nie pracuje w pełnym zakresie swoich możliwości. Jeśli jednak występuje potrzeba zastosowania układu do pracy z napięciem wejściowym w zakresie wymienionych wartości, to można zastosować inną konfigurację, która zapewni właściwą pracę tranzystorów składowych. Przykłady układów (Rysunki 4.6, 4.8), oraz wynik symulacji z potwierdzeniem poprawnej pracy znajdują się na Rysunkach 4.7, 4.9.



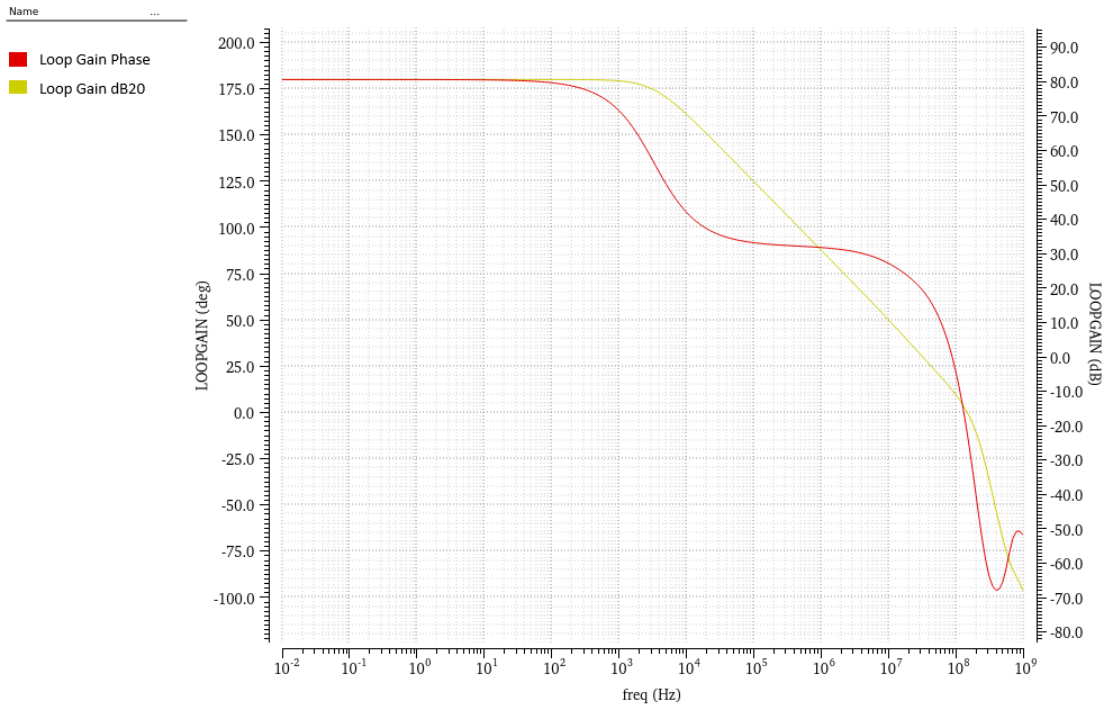
Rysunek 4.6: Konfiguracja, w której wzmacniacz pracuje dobrze w zakresie niskich napięć wejściowych ($V_{in} = 0\text{ V}$).



Rysunek 4.7: Charakterystyki częstotliwościowe pracy przy $V_{in} = 0\text{V}$; margines fazy $\phi = 67^\circ$.

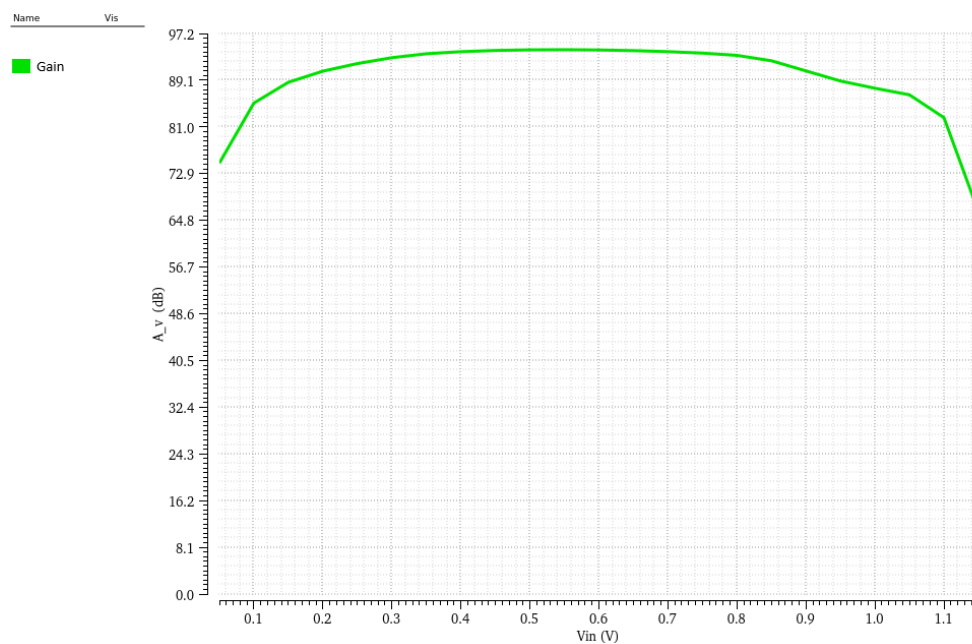


Rysunek 4.8: Konfiguracja, w której wzmacniacz pracuje dobrze w zakresie wysokich napięć wejściowych ($V_{in} = 1.2\text{ V}$).



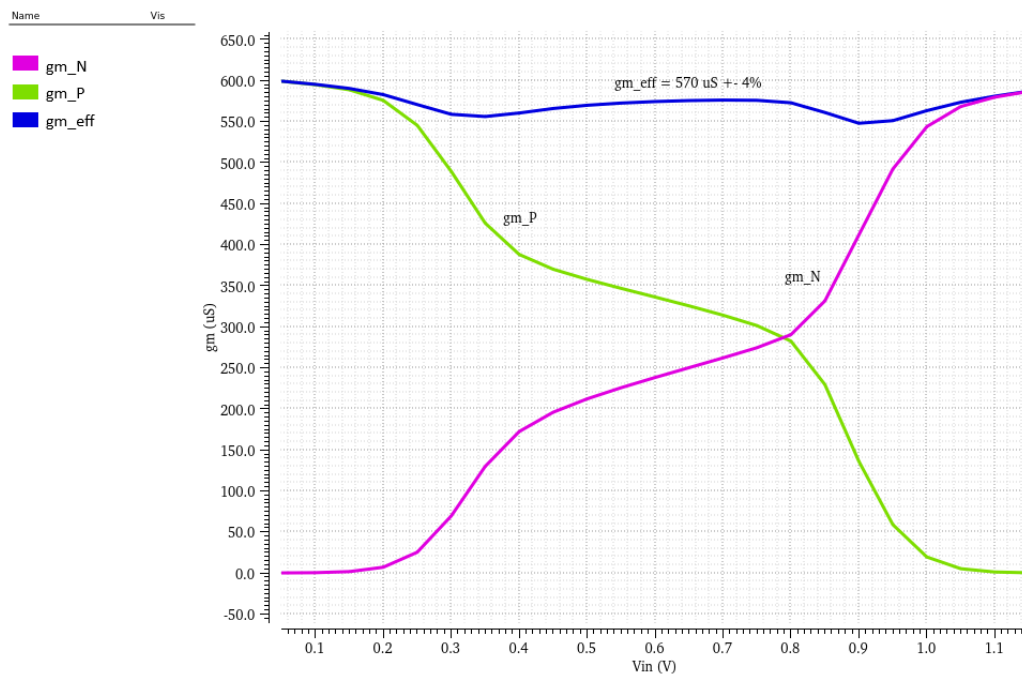
Rysunek 4.9: Charakterystyki częstotliwościowe pracy przy $V_{in} = 1.2\text{V}$; margines fazy $\phi = 66^\circ$.

Aby nie zaburzać przejrzystości, prezentowane niżej wyniki dotyczą zakresu konfiguracji bufora, w której układ działa z wysokim wzmocnieniem $V_{in} \in (0.05\text{V}, 1.15\text{V})$. Przedział wartości, w którym konfiguracja bufora działa z pełnym wzmocnieniem, zawiera się w zbiorze $V_{in} \in (0.07\text{V}, 1.11\text{V})$. Dobrane wzmocnienie znacznie przekracza minimum założone w wymaganiach, a jego rozrzut nie jest zbyt szeroki; wyniki prezentują się na Rysunku 4.10.



Rysunek 4.10: Symulacja amplitudowej charakterystyki Bodego w przedziale napięć wejściowych dających wysokie wzmocnienie.

4.2.2 Efektywna transkonduktancja



Rysunek 4.11: Symulacja transkonduktancji efektywnej wraz z przedstawieniem składowych pochodzących odpowiednio od pary nMOS (g_{m_N}) oraz od pary pMOS (g_{m_P}).

Tranzystory w parze wejściowej dobrano tak, by uzyskać jak najmniejszą wariację efektywnej transkonduktancji (zgodnie z metodą opisaną w rozdziale wprowadzającym - Additional dummy input pairs). W symulacji DC uzyskano wyniki zaprezentowane na Rysunku 4.11.

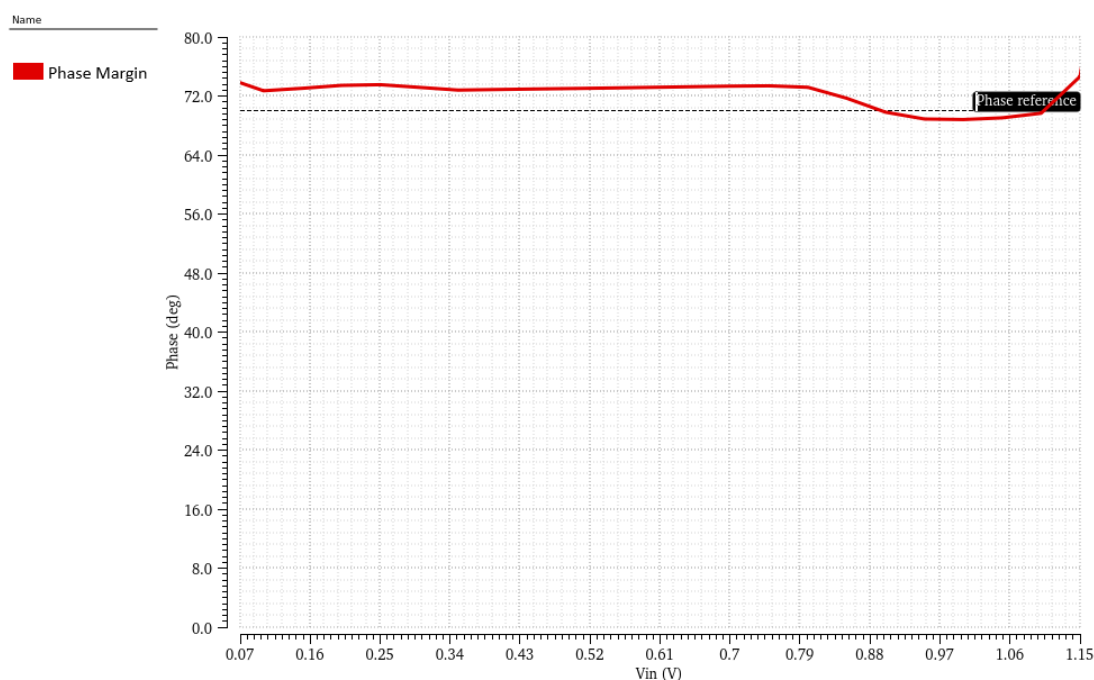
Transkonduktancja efektywna wynosi:

- $gm_{eff} \approx 575 \mu S \pm 4\%$.

Wynik ten wypada całkiem dobrze w porównaniu do danych przedstawionych w publikacjach wymienionych w Tabelach 2.1, 2.2 oraz 2.3 gdzie wartość transkonduktancji waha się również w zakresie od kilku do kilkunastu procent wartości.

4.2.3 Margines fazy

Chcąc poprawić stabilność wzmacniacza dwustopniowego w układzie, została zastosowana kompensacja Millera. Kondensator wraz z rezystorem dobrano tak, by zachować możliwie szerokie pasmo, utrzymując margines fazy w pobliżu wartości referencyjnej $\phi = 70^\circ$. Zachowanie marginesu fazy na przestrzeni podanych napięć wejściowych wygląda w sposób pokazany na Rysunku 4.12.



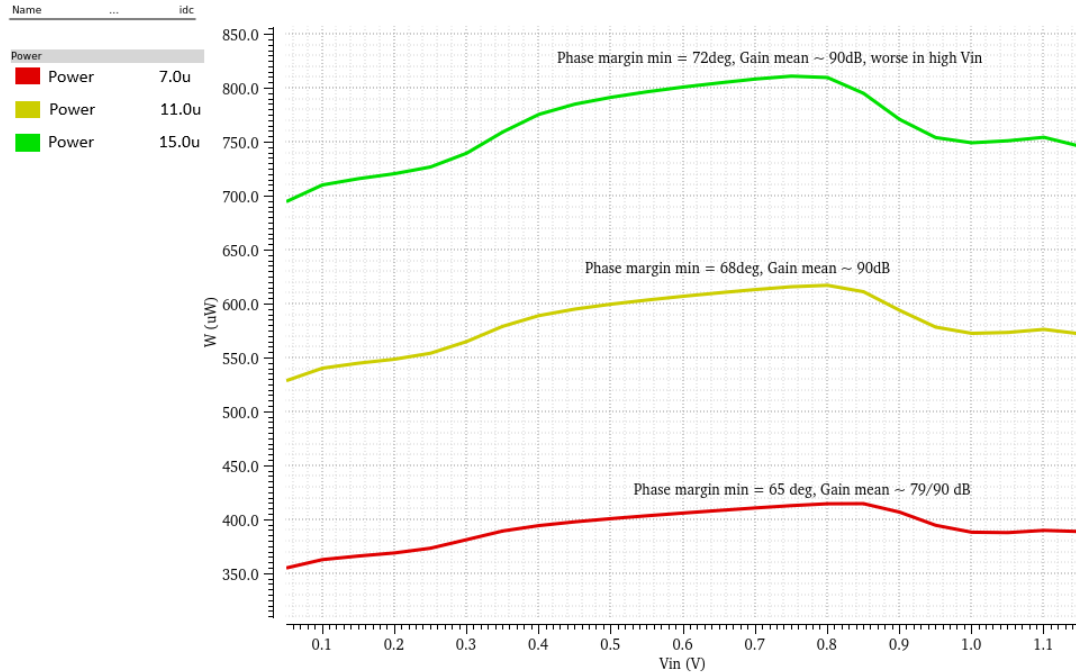
Rysunek 4.12: Symulacja marginesu fazy w przedziale napięć wejściowych dających wysokie wzmocnienie.

Najniższa wartość marginesu fazy to $\phi \approx 67^\circ$, więc układ spełnia założenia projektowe.

4.2.4 Moc pobrana

Symulacje mocy pobranej badano w zależności od polaryzacji luster prądowych wewnątrz układu wzmacniacza. Zasyulowano wartości, w których prąd referencyjny

zawiera się w zbiorze $idc \in \{7\mu A, 11\mu A, 15\mu A\}$. Rekomendowany prąd referencyjny wynosi $idc = 11\mu A$. Wyniki symulacji wraz z notacją dotyczącą wzmocnienia i marginesu fazy znajdują się na Rysunku 4.13.

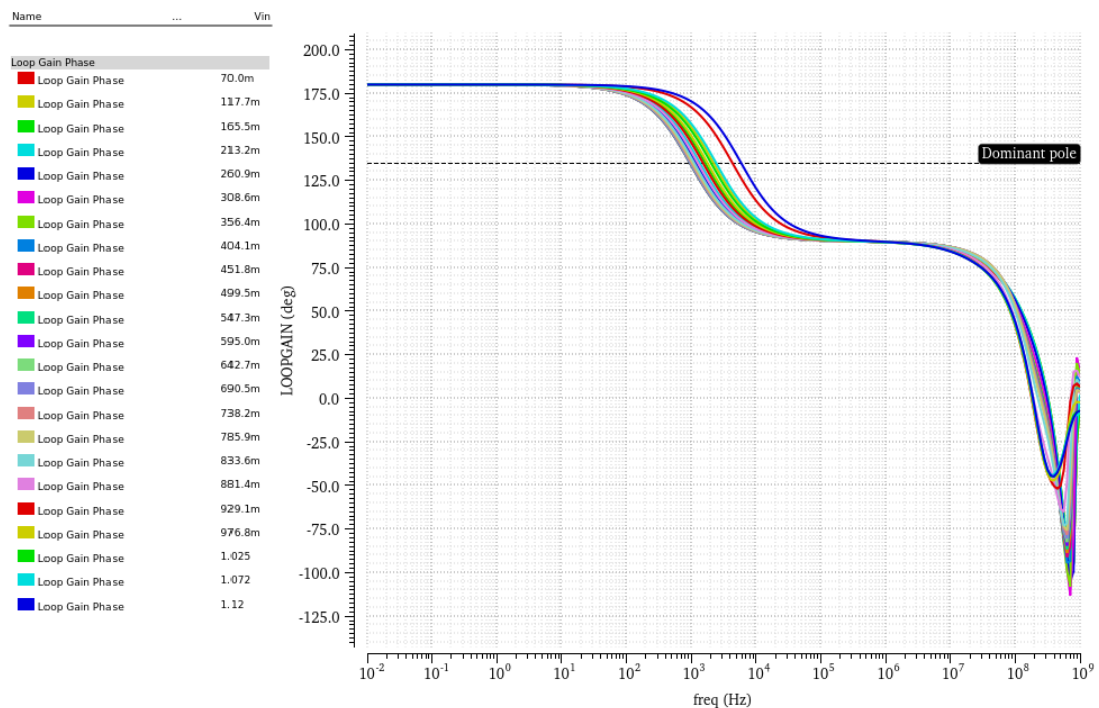


Rysunek 4.13: Symulacja mocy pobranej w zależności od prądu referencyjnego wewnętrznych luster prądowych w przedziale napięć wejściowych dających wysokie wzmocnienie.

Optymalną pracę układu otrzymać można, gdy moc pobrana ze źródła sięga $P = 650\mu W$. Układ można przyspieszyć (zwiększając prąd referencyjny) oraz spowolnić (zmniejszając prąd referencyjny), redukując przy tym moc pobraną, w granicach symulowanych wartości; w innym przypadku część tranzystorów jest narażona na wyjście z aktywnego obszaru pracy i pogorszenie własności całego układu. Wynikowa moc pobrana jest akceptowalna przez wymagania projektowe wraz z zakresem swojej zmienności ($\pm 200\mu W$).

4.2.5 Symulacje czasowe i pasmo.

Pasmo układu zbadano wykorzystując symulację stabilności. Wyniki symulacji znajdują się na Rysunku 4.14. Prąd referencyjny zastosowany w symulacji to $idc = 11\mu A$.

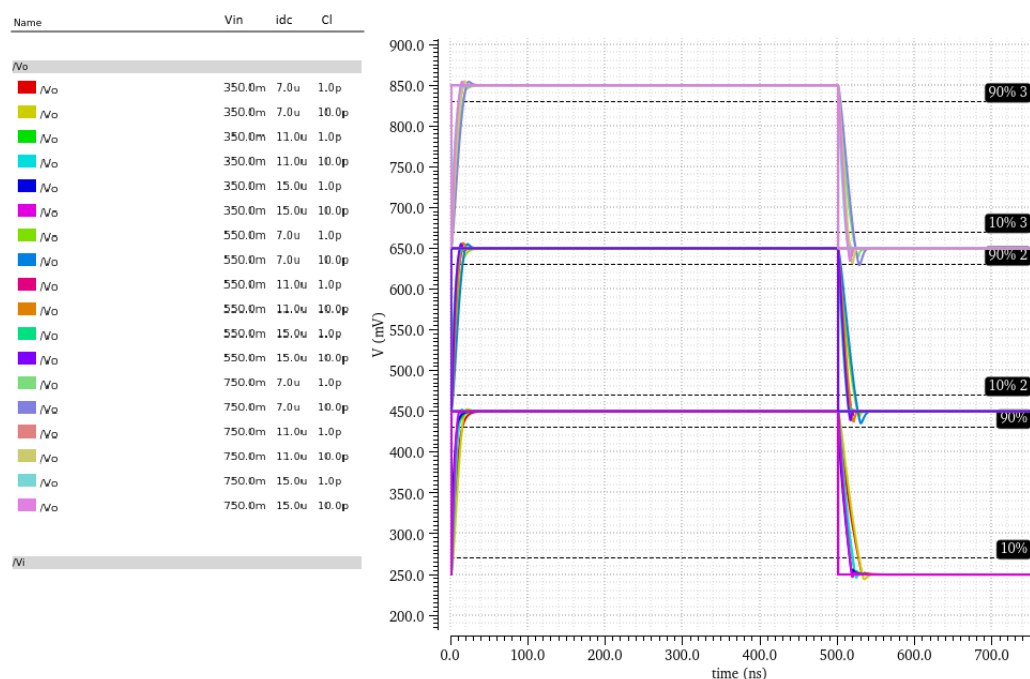


Rysunek 4.14: Symulacja charakterystyki fazowej w przedziale napięć wejściowych dających wysokie wzmocnienie. Każdemu z kolejnych kolorów krzywych odpowiada rosnąca wartość napięcia wejściowego.

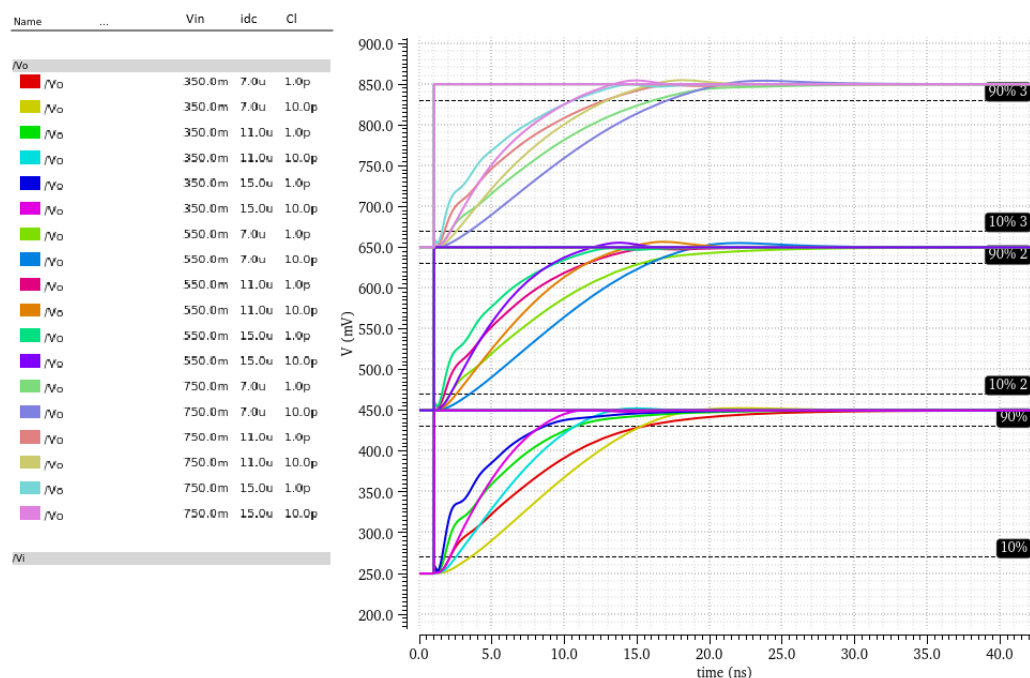
Charakterystyka fazowa pokazuje, że:

- częstotliwość graniczna układu $f_{3dB} \in (900Hz, 7kHz)$ w zależności od napięcia wejściowego,
- $f_{3dB-min}$ odpowiada $V_{in} \sim 800mV$,
- $f_{3dB-max}$ odpowiada $V_{in} \sim 1120mV$.

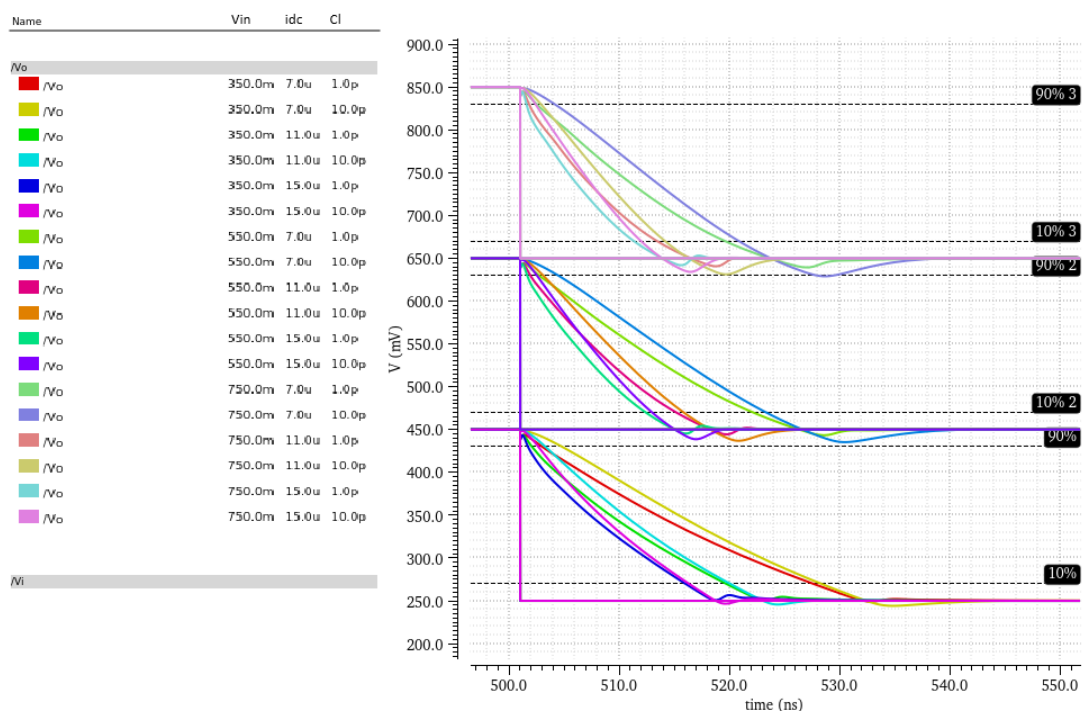
Wykonana została również symulacja odpowiedzi na skok jednostkowy o amplitudzie $A = 200mV$ (Rysunki 4.15, 4.16, 4.17) celem wyznaczenia parametru Slew-rate.



Rysunek 4.15: Symulacja czasowa odpowiedzi na zadane skoki impulsowe. Odpowiedź zbadana dla trzech różnych napięć zasilania, w zależności od pojemności obciążenia Cl oraz wartości prądu referencyjnego.



Rysunek 4.16: Symulacja czasowa odpowiedzi na zadane skoki impulsowe; pomiar czasu narastania. Zaznaczone markery wyznaczają liniowy zakres odpowiedzi na zmianę stanu.

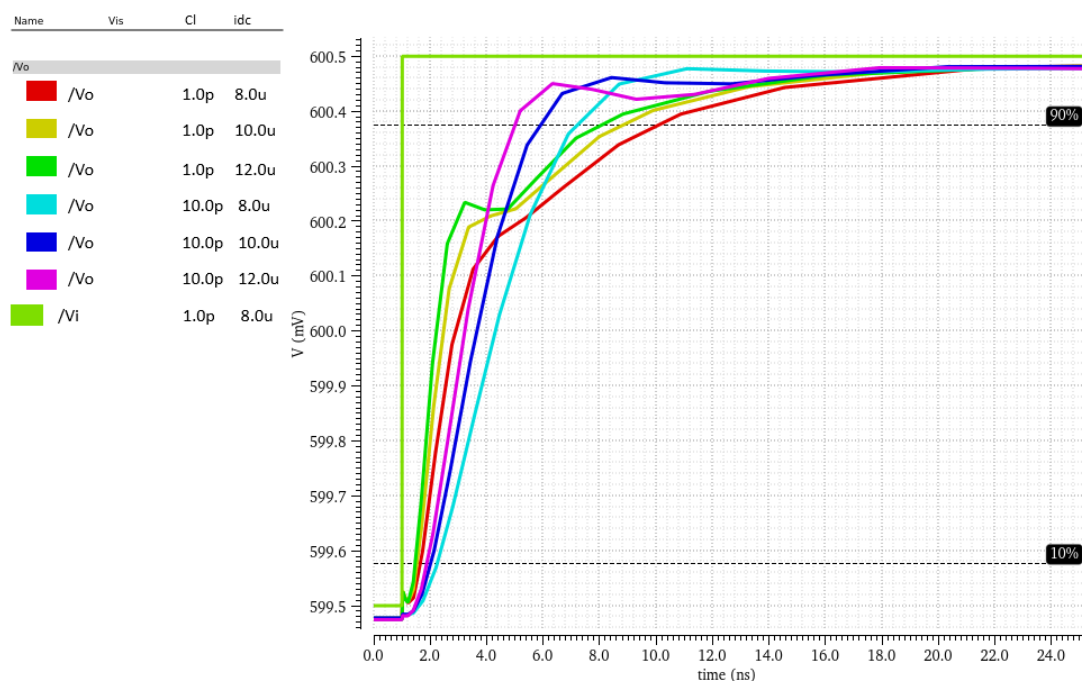


Rysunek 4.17: Symulacja czasowa odpowiedzi na zadane skoki impulsowe. pomiar czasu opadania. Zaznaczone markery wyznaczają liniowy zakres odpowiedzi na zmianę stanu.

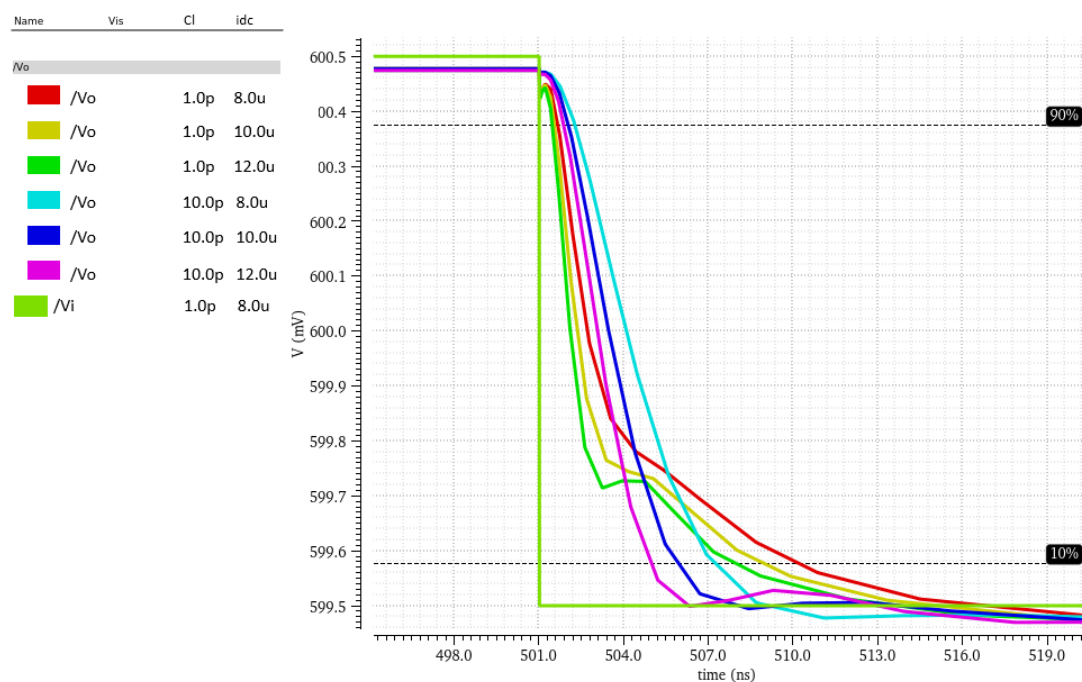
Po przeliczeniu zmiany napięcia w stosunku do zmiany czasu widać, że najgorsza szybkość narastania napięcia wyjściowego wzmacniacza odpowiada wartościom:

- $SR = 1.5 \frac{V}{\mu S}$ dla zmiany ze stanu niskiego na wysoki,
- $SR = 0.75 \frac{V}{\mu S}$ dla zmiany ze stanu wysokiego na niski.

Wysymulowano również odpowiedź układu na mały sygnał V_{in} . Na wejście podano impuls o amplitudzie $V_{pp} = 1mV$ (Rysunki 4.18, 4.19).



Rysunek 4.18: Symulacja czasowa odpowiedzi na zadane skoki impulsowe; pomiar czasu narastania.



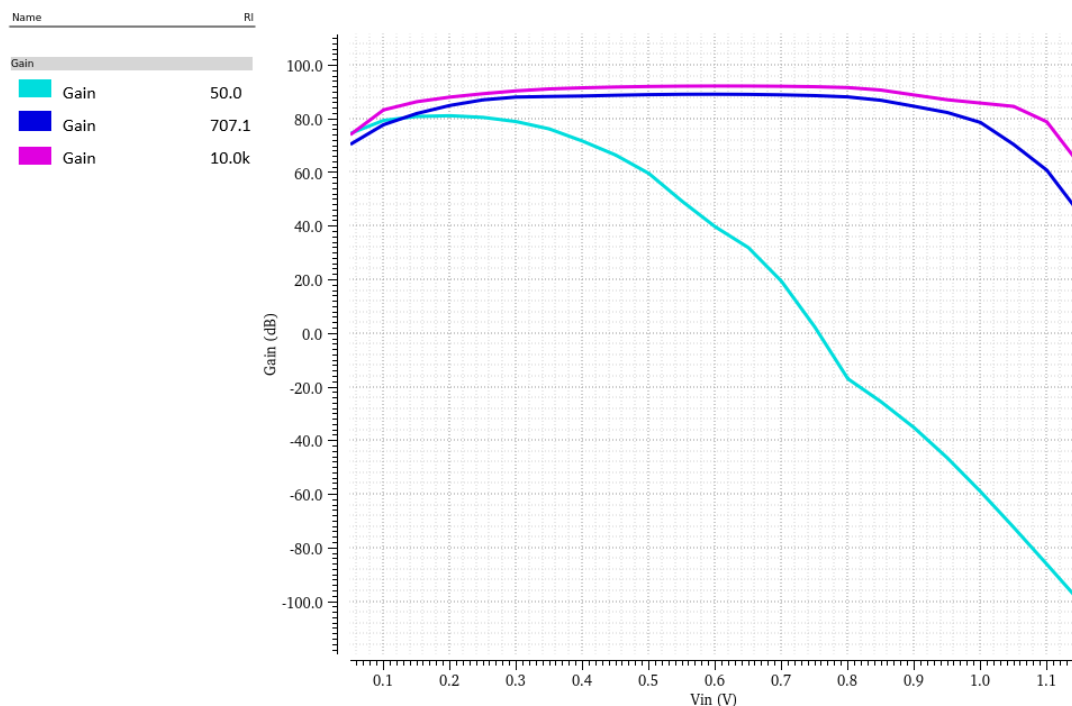
Rysunek 4.19: Symulacja czasowa odpowiedzi na zadane skoki impulsowe; pomiar czasu opadania.

Niestety w przypadku niskich wartości pojemności obciążenia widać wpływ pasożytniczego bieguna w funkcji przenoszenia. Gdy obciążenie jest większe, obserwować

można natomiast charakterystykę eksponencjalną; typową dla funkcji jednobiegunowej.

4.2.6 Obciążenie rezystancyjne

Układ został zasymulowany z samym obciążeniem rezystancyjnym w zakresie $R_l \in \{50\Omega, 707\Omega, 10k\Omega\}$. Układ pracuje dobrze z wysokim wzmocnieniem już od obciążenia $R_l = 10k\Omega$ (Rysunek 4.20).

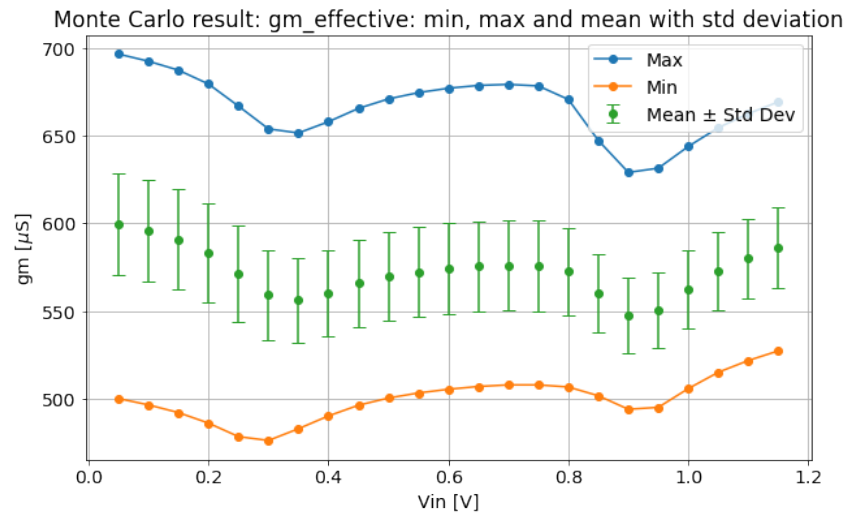


Rysunek 4.20: Symulacja charakterystyki wzmocnienia w zależności od rezystancji obciążenia R_l .

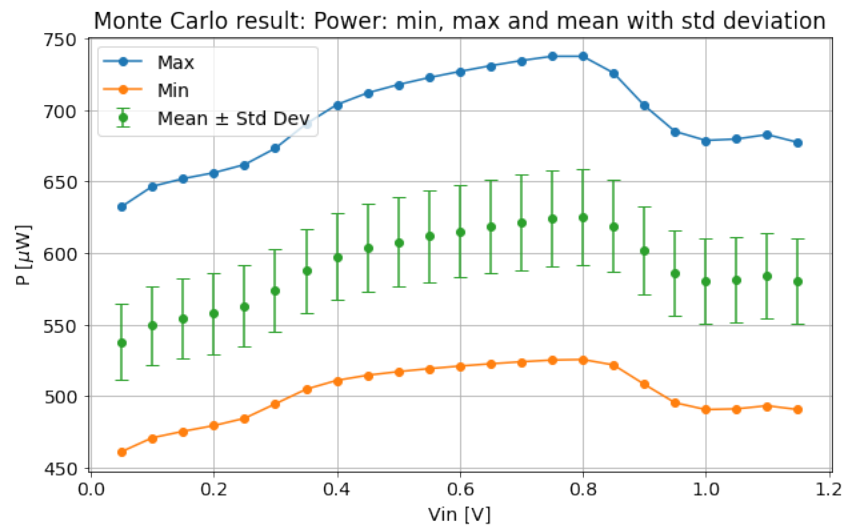
4.2.7 Symulacje Monte Carlo

W ramach weryfikacji schematu została również przeprowadzona analiza Monte Carlo wykorzystująca model tranzystorów zaproponowany przez producenta wybranej technologii. Jest to doskonały sposób na próbę identyfikacji przewidywanych parametrów niedopasowania wynikających z ograniczeń produkcyjnych (tzw. mismatch). Wynik symulacji pozwala zweryfikować, jak statystyczny rozrzut kluczowych parametrów produkcyjnych tranzystorów może wpłynąć na podstawowe parametry pracy układu wzmacniacza. W analizie tej zbadano wpływ parametrów niedopasowania na transkonduktancję efektywną par wejściowych, moc pobraną ze źródła, margines fazy oraz wzmocnienie.

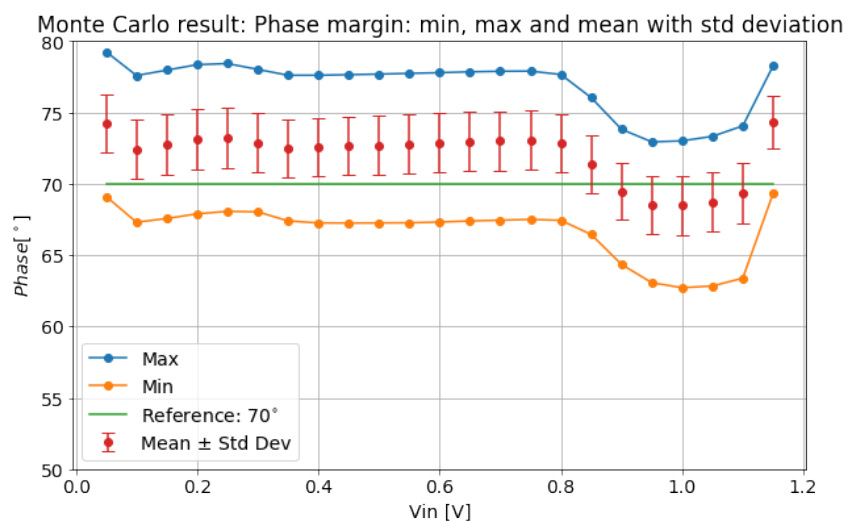
Dla każdej zmiennej wysymulowano po 200 przypadków dla danego napięcia zasilania. Otrzymane wyniki najwyższej i najmniejszej wartości oraz średnia z jednym odchyleniem standardowym znajdują się na Rysunkach: 4.21, 4.23, 4.22, 4.24.



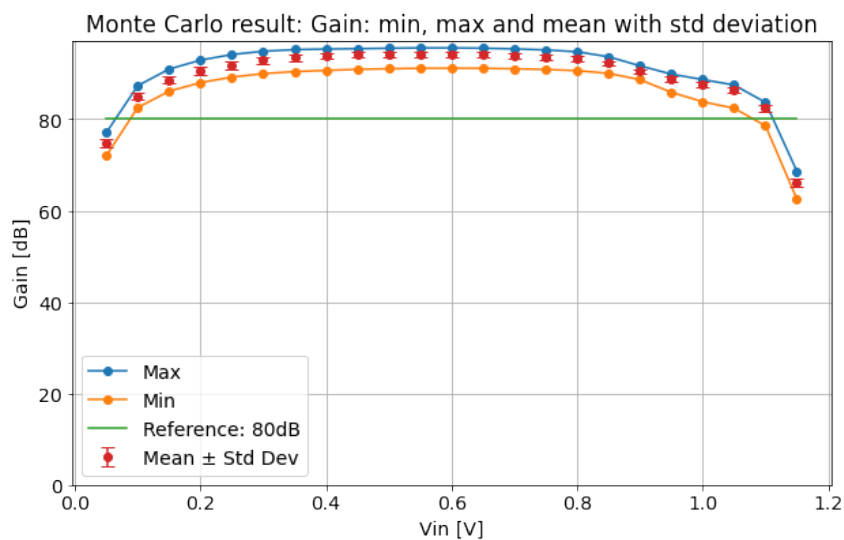
Rysunek 4.21: Otrzymane wartości dla $g_{m_{eff}}$ uzyskanej w symulacjach Monte Carlo.



Rysunek 4.22: Otrzymane wartości mocy uzyskanej w symulacjach Monte Carlo.



Rysunek 4.23: Otrzymane wartości marginesu fazy uzyskanego w symulacjach Monte Carlo.



Rysunek 4.24: Otrzymane wartości wzmocnienia uzyskanego w symulacjach Monte Carlo.

Otrzymane wyniki są zgodne z wymaganiami, jedyną wątpliwość mogą budzić wyniki marginesu fazy. Problem ten jednak można rozwiązać, zmieniając wartość pojemności kompensacyjnej (kompensacja Millera).

4.2.8 Analiza Worst case

Wykonana została również analiza najgorszego możliwego przypadku produkcji obwodu, wykorzystująca model zaproponowany przez producenta. Chcąc poznać reakcje układu na pracę w różnych warunkach, każdy 'worst-case' (model najgorszego przypadku) zbadany został w warunkach:

- zmiennej temperatury $T \in \{-20^\circ, 27^\circ, 70^\circ\}$
- zmiennego napięcia zasilania $V_{dd} \in \{1.08V, 1.2V, 1.32V\}$.

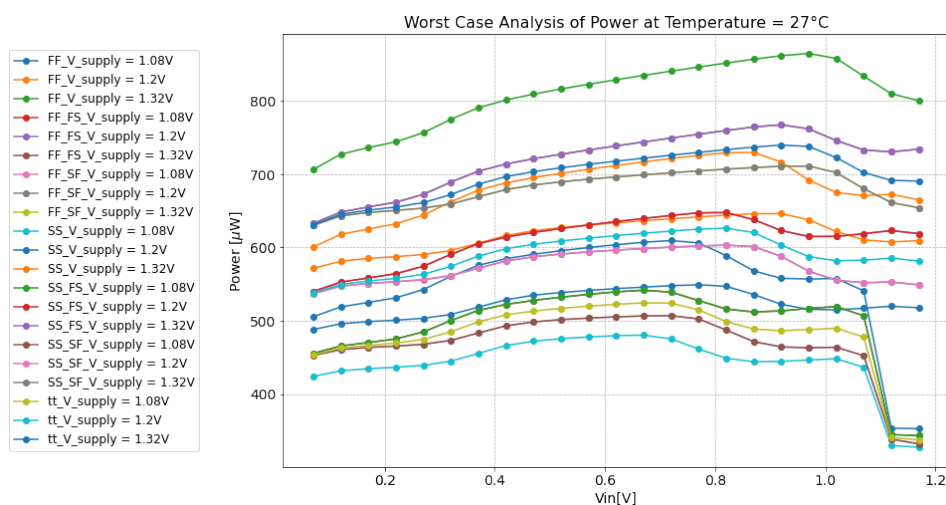
Zastosowane modele najgorszych przypadków prezentują się w następujący sposób:

- TT ('tt' w oznaczeniu wykresów ; Typical-Typical) - typowe zachowanie tranzystora, wybrane jako punkt referencyjny,
- FF (Fast-Fast) - zarówno tranzystor typu pMOS jak i nMOS działają z maksymalną szybkością,
- SS (Slow-Slow) - zarówno tranzystor typu pMOS jak i nMOS działają z minimalną szybkością,
- FF_FS - pierwszy człon reprezentuje wielkość pasożytniczej pojemności i rezystancji, drugi indywidualne szybkości przełączenia tranzystorów nMOS i pMOS, w tym przypadku model ten opisuje małe wartości pasożytów, szybki tranzystor nMOS i wolny pMOS,
- FF_SF - podobnie jak wyżej, występują tu małe wartości pasożytów, wolny nMOS, szybki pMOS,
- SS_FS - duże wartości pasożytów, szybki nMOS, wolny pMOS,
- SS_SF - duże wartości pasożytów, wolny nMOS, szybki pMOS.

Wyniki przedstawione są poniżej oraz w dodatku (Appendix), badając zależności dla danej temperatury. Zrezygnowano tutaj z umieszczenia wyników związanych z transkonduktancją, ponieważ analiza Worst-case ma na celu przedstawienie makroskopowych parametrów układu w najgorszych możliwych scenariuszach, co nie jest związane z transkonduktancją bezpośrednio, a jej wpływ jest składową wzmocnienia układu, więc powinien być dostrzegalny na wykresach poświęconych wzmocnieniu.

Moc

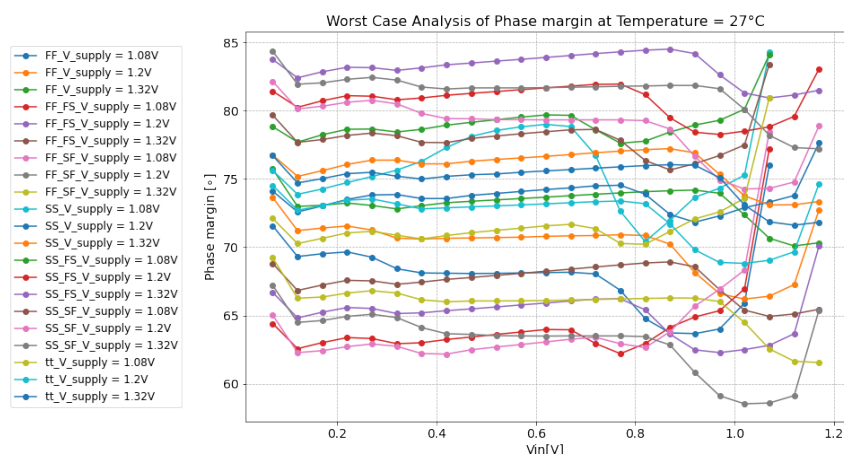
Jeden z wyników, stowarzyszony z mocą pobraną przez układ, znajduje się na Rysunku 4.25. Zauważyć można, że zużycie mocy wzrasta zarówno ze wzrostem napięcia zasilania, jak i temperatury. Najwyższe wartości w typowych warunkach pracy przyjmuje model FF_FS, a najniższe model SS. Wartości te nie są jednak tak krytyczne, by podjąć decyzję o zmianach.



Rysunek 4.25: Wyniki symulacji mocy w analizie Worst case wybranych modeli w temperaturze $T = 27^{\circ}\text{C}$.

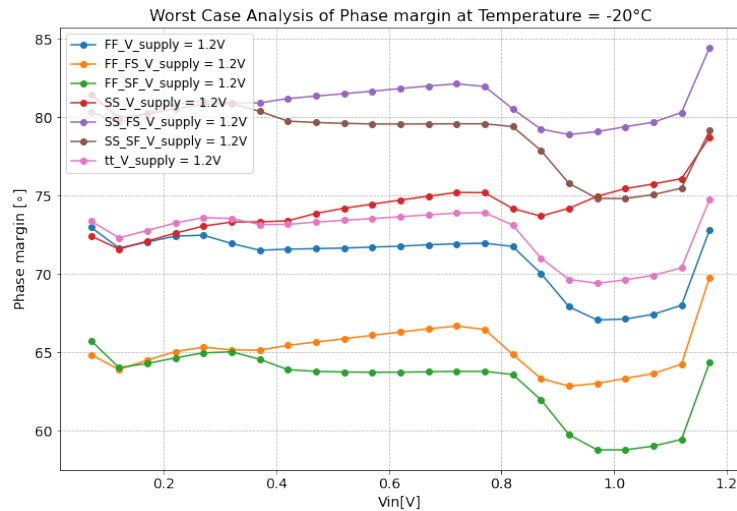
Margines fazy

Przykład wyniku związanego z marginesem fazy wzmacniacza znajduje się na Rysunku 4.26. Spadek w najgorszym możliwym przypadku dochodzi do wartości $\phi = 59^{\circ}$, a wśród pozostałych wyznaczonych ledwie kilka przekracza granicę $\phi = 67^{\circ}$. W pewnych warunkach projektowych takie przypadki są akceptowalne, w związku z czym zmiany w układzie powinny być wprowadzone po wcześniejszej analizie zastosowania układu w innych obwodach. Jeśli zmiana będzie konieczna, to wystarczy zmienić wartość pojemności kompensacyjnej na odpowiednio większą.



Rysunek 4.26: Wyniki symulacji marginesu fazy w analizie Worst case wybranych modeli w temperaturze $T = 27^{\circ}\text{C}$.

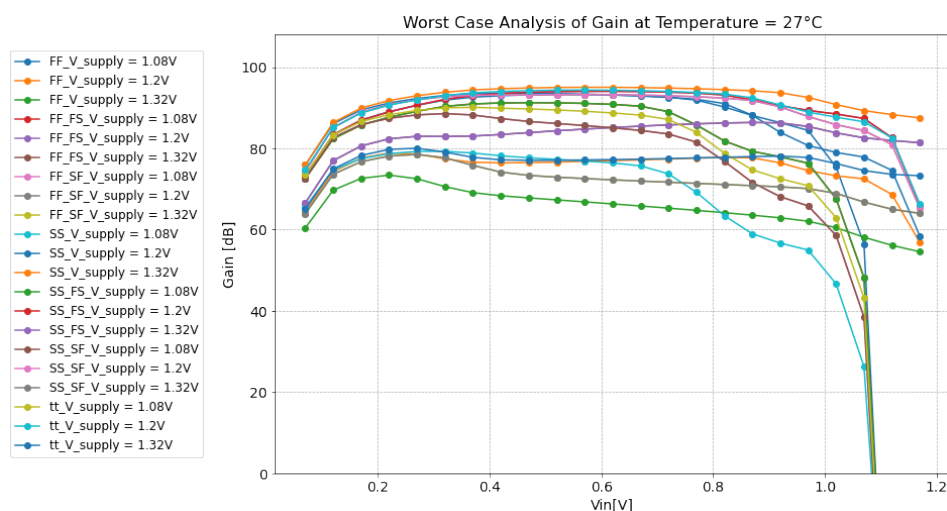
Dla przejrzystego oglądu dodany został również Rysunek 4.27, przedstawiający najgorsze przypadki w typowych warunkach pracy.



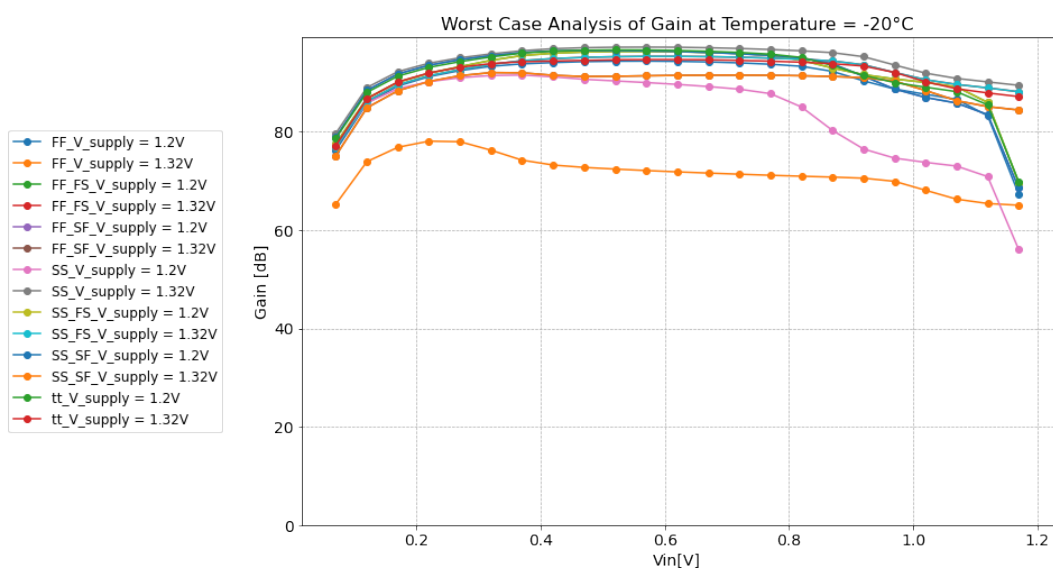
Rysunek 4.27: Wyniki symulacji marginesu fazy w analizie Worst case wybranych modeli w temperaturze $T = 27^{\circ}\text{C}$, $V_{\text{dd}} = 1.2\text{V}$.

Wzmocnienie

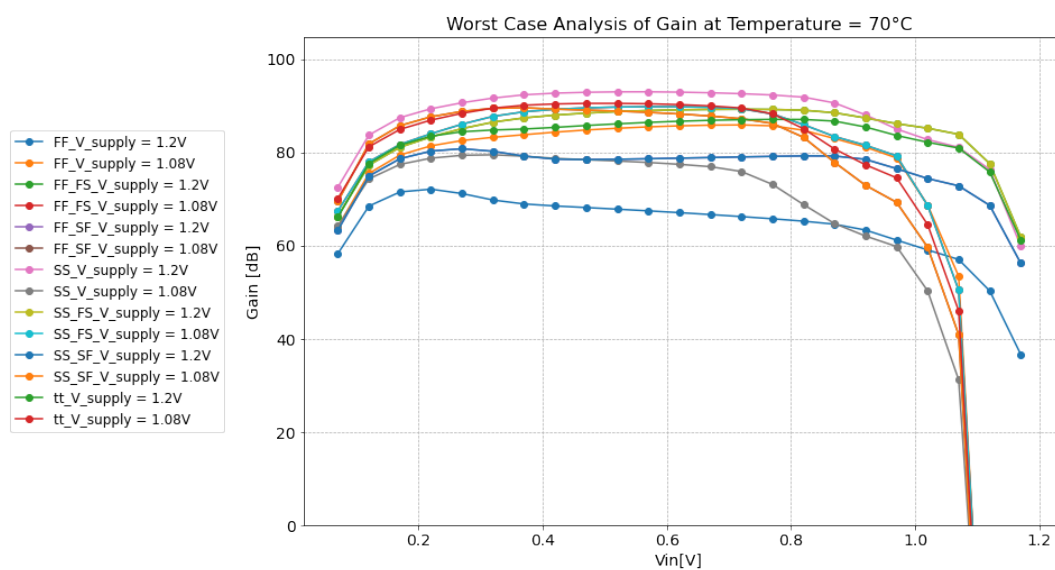
Przykład wyniku związanego ze wzmocnieniem układu znajduje się na Rysunku 4.28. Ważna okazuje się również zmienność wzmocnienia na przedziale temperatur, co można zaobserwować na Rysunkach 4.29 oraz 4.30. Zauważyć można, że w określonym przedziale temperatur układ dobrze wzmacnia sygnał właściwie dla jednej wartości napięcia zasilania. W warunkach pokojowych są to wartości typowe; w pozostałych dwóch napięcie odpowiednio wyższe (w zakresie niskich temperatur: $T = -20^{\circ}$) oraz napięcie niższe (w zakresie wysokich temperatur: $T = 70^{\circ}$), gdzie oczywiście zakres pracy napięć wejściowych jest odpowiednio zredukowany (układ nie przenosi poprawnie wyższych napięć wejściowych niż wartość napięcia zasilania). Oznacza to, że wraz ze wzrostem temperatury można próbować zmieniać napięcie zasilania tak, by finalnie otrzymać układ z podobnie wysokim wzmocnieniem w każdych warunkach pracy.



Rysunek 4.28: Wyniki symulacji wzmocnienia w analizie Worst case wybranych modeli w temperaturze $T = 27^{\circ}\text{C}$.

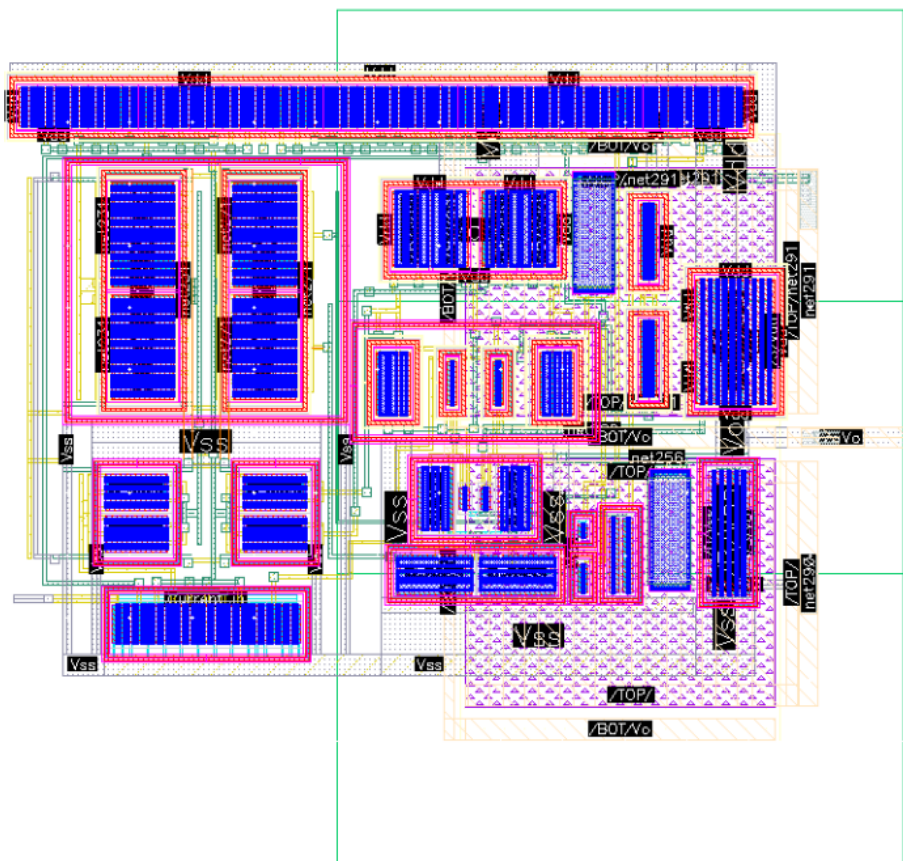


Rysunek 4.29: Wyniki symulacji wzmocnienia w analizie Worst case wybranych modeli w temperaturze $T = -20^{\circ}\text{C}$ - wymiana T na V_{dd} .



Rysunek 4.30: Wyniki symulacji wzmocnienia w analizie Worst case wybranych modeli w temperaturze $T = 70^{\circ}C$ - wymiana T na V_{dd} .

4.3 Layout

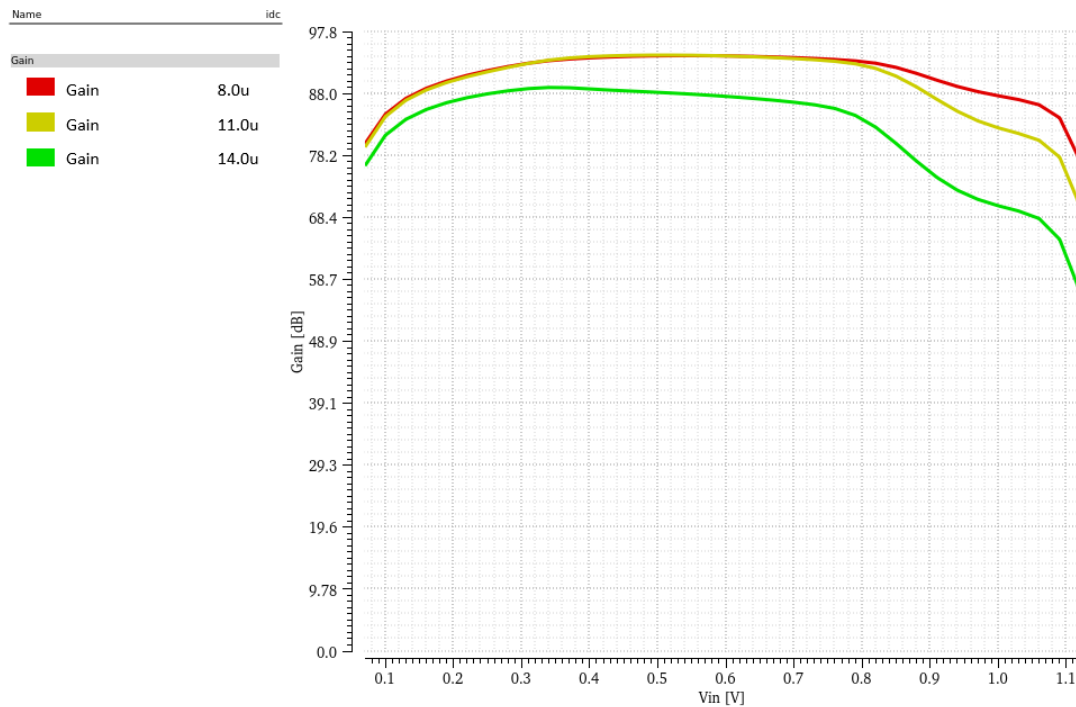


Rysunek 4.31: Layout wzmacniacza Rail-to-rail input-output.

Wykonany layout (Rysunek 4.31) cechuje się możliwie dużą symetrią w obszarach, w których gra ona kluczową rolę (takich jak pary różnicowe). Źródła prądowe zostały rozbite na wiele zmultiplikowanych tranzystorów jednofingerowych, które następnie połączono, tworząc dwa duże źródła prądowe, w których ułożenie kolejnych tranzystorów powinno zredukować wpływ związany z błędami niedopasowania (Common centroid layout). Ponadto dołączone zostały dwa tranzystory w połączeniu diodowym, których rolą jest zadbać o to, by wszystkie pozostałe elementy miały takie samo otoczenie. Większość komponentów o takim samym potencjale podłoża dzieli wspólny guardring, a ponadto niektóre grupy komponentów otoczone są dodatkowym jego wariantem, by skutecznie zabezpieczyć układ przed efektami pasożytniczymi i wspomóc odporność radiacyjną. Tranzystory wyjściowe zaprojektowano w odpowiednio większym rozmiarze w porównaniu do pozostałych komponentów, tak by zapewnić odpowiednio duży prąd obciążenia. Pojemności kompensujące zostały umieszczone "na" układzie z uwagi na swój znaczący rozmiar i brak wpływu takiego ułożenia na efektywność całego projektu. Dzięki temu udało się układ zmieścić na powierzchni rzędu $S = 60\mu\text{m} \times 70\mu\text{m}$.

4.3.1 Wzmocnienie

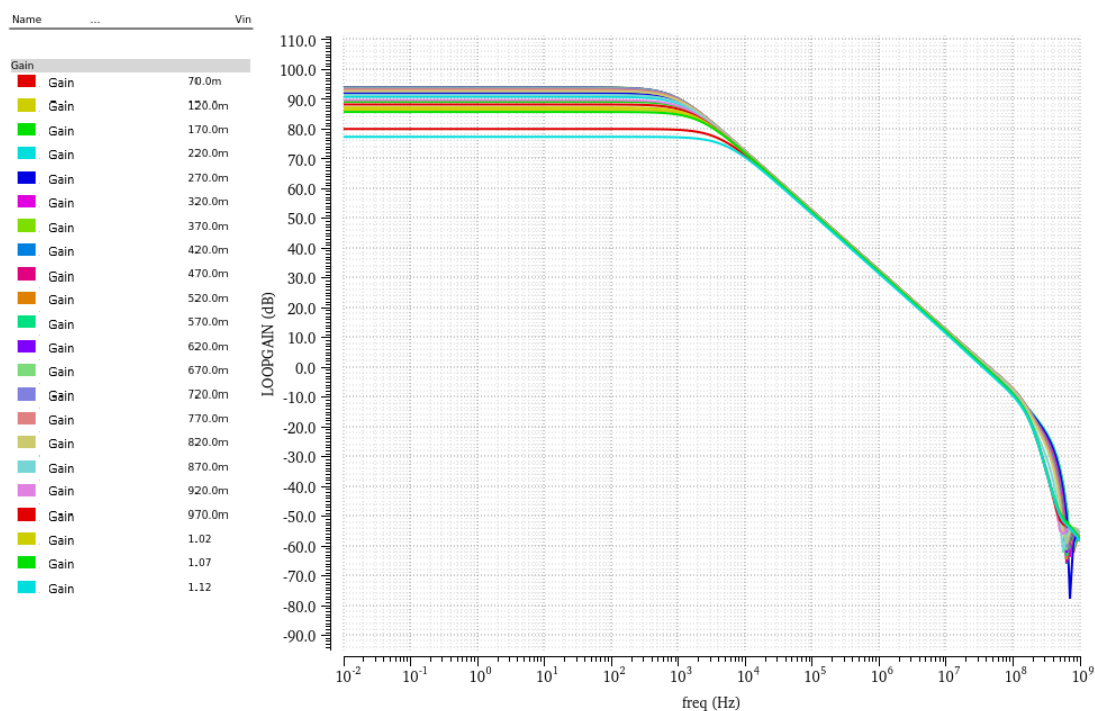
Można zauważyć, że prąd polaryzujący źródła prądowe zmienił swoje właściwości po layoucie; układ zdecydowanie lepiej pracuje dla niskich jego wartości (Rysunek 4.32). Wówczas w całym zakresie poprawnej pracy wzmocnienie przekracza $A_v = 80dB$, a jego wartość środkowa dochodzi do wielkości $A_{v_{max}} \approx 94dB$; czyli analogicznie do danych otrzymanych z symulacji schematu (Rysunek 4.10). Dlatego też, w dalszych symulacjach przyjęto, jako wartość rekomendowaną, prąd polaryzujący równy wielkości $I = 8\mu A$.



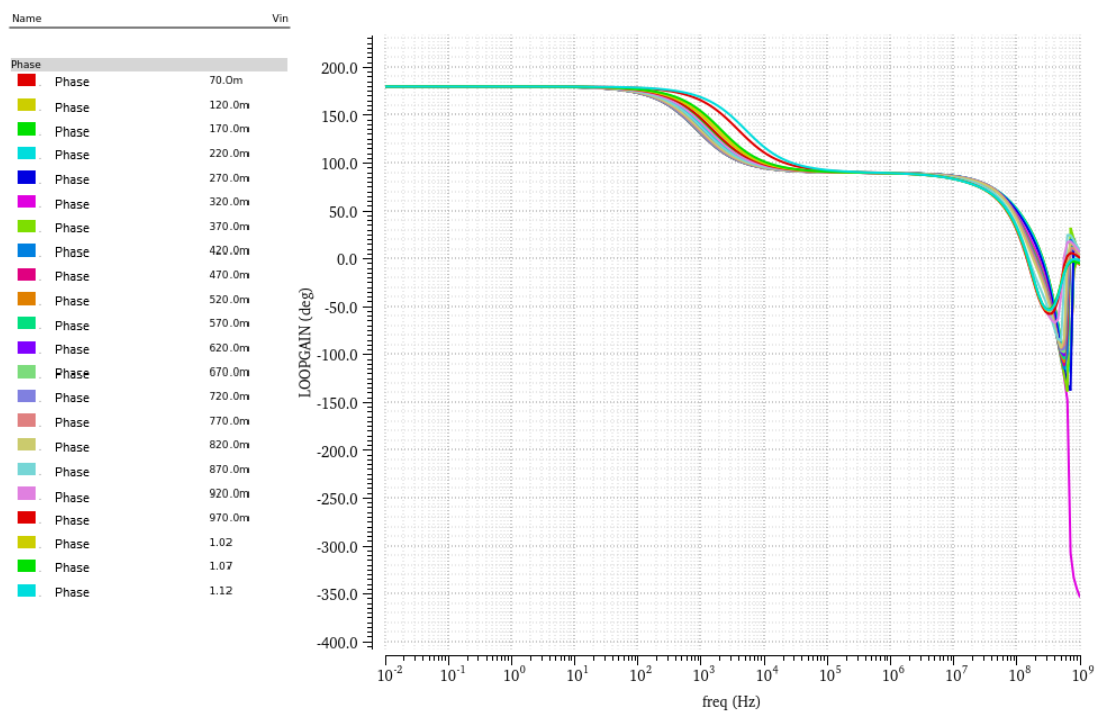
Rysunek 4.32: Wzmocnienie układu w zależności od prądu polaryzującego źródła prądowe.

4.3.2 Charakterystyki częstotliwościowe

Charakterystyka amplitudowa (Rysunek 4.33) przedstawia wyniki podobne do symulacji schematu; przegięcia i zaburzenia przebiegu pojawiają się dopiero w granicy wysokich częstotliwości dla obciążenia $C_L = 10pF$. Charakterystyka fazowa (Rysunek 4.34) wyznacza jeden widoczny punkt przegięcia bez wpływu dodatkowych biegunów pasożytniczych.



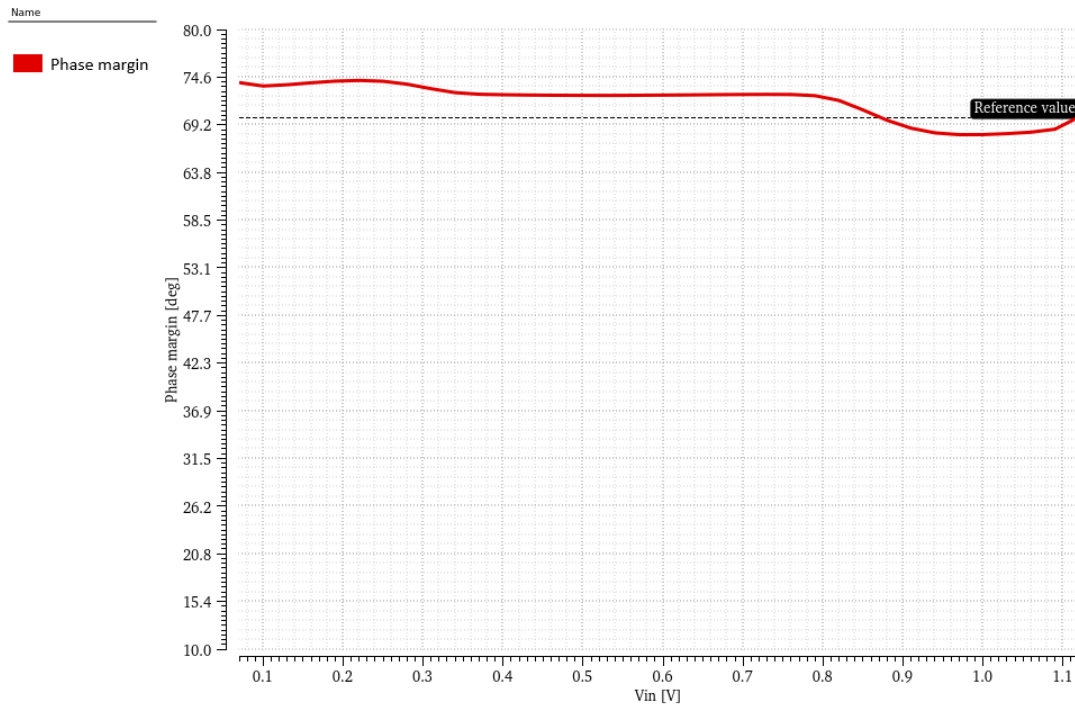
Rysunek 4.33: Charakterystyka amplitudowa otrzymana w symulacji post-layout.



Rysunek 4.34: Charakterystyka fazowa otrzymana w symulacji post-layout.

4.3.3 Margines fazy

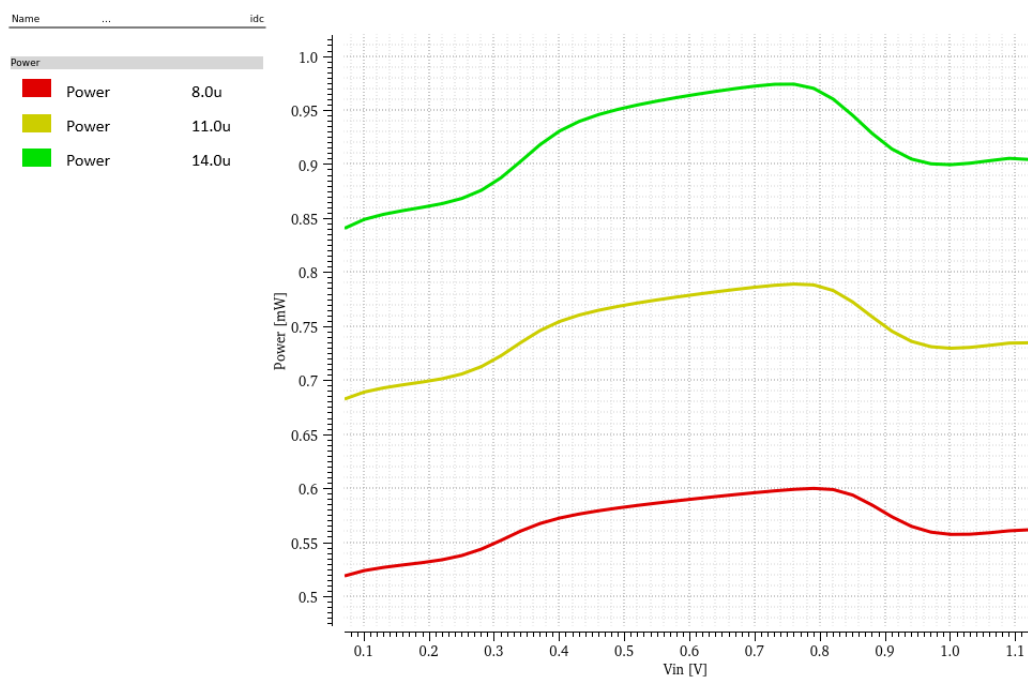
Minimalna wartość marginesu fazy wynosi $\phi = 68^\circ$ (Rysunek 4.35), więc układ działa poprawnie i nie obserwuje się wpływu pojemności pasożytniczych, które mogłyby zaburzyć pracę wzmacniacza (w kwestii stabilności).



Rysunek 4.35: Margines fazy otrzymany w symulacji post-layout.

4.3.4 Moc pobrana

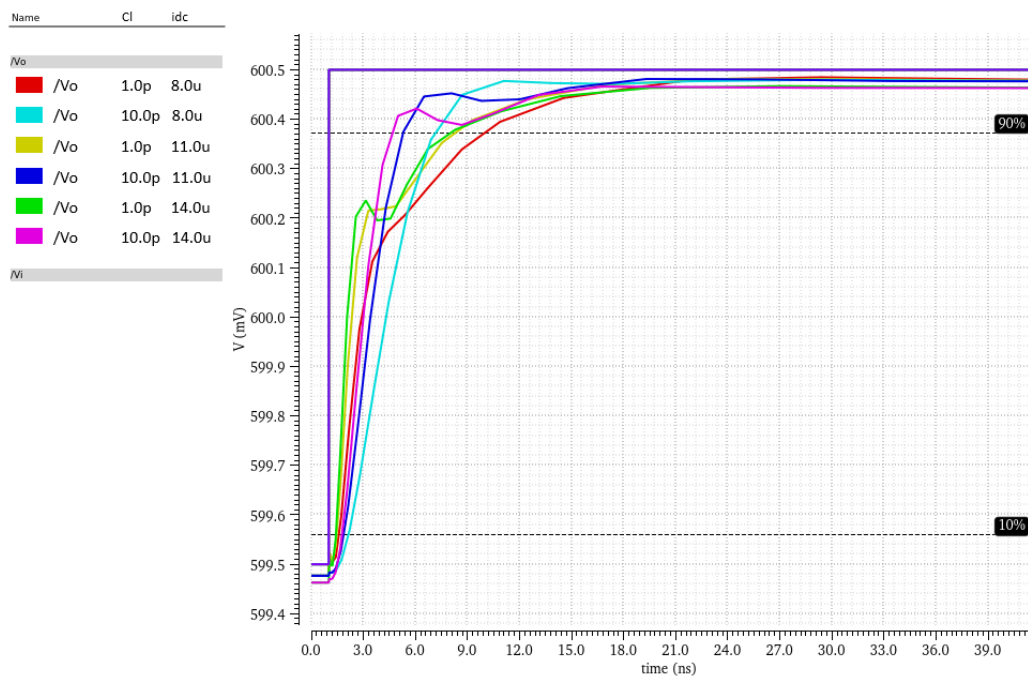
Podobnie jak w przypadku symulacji schematu, pobrana moc nie przekracza znacznie wyznaczonych wcześniej wartości (Rysunek 4.36); z uwagi jednak na pogorszenie parametrów układu w zakresie pracy z wysokimi prądami, zaleca się pozostanie przy małych prądach.



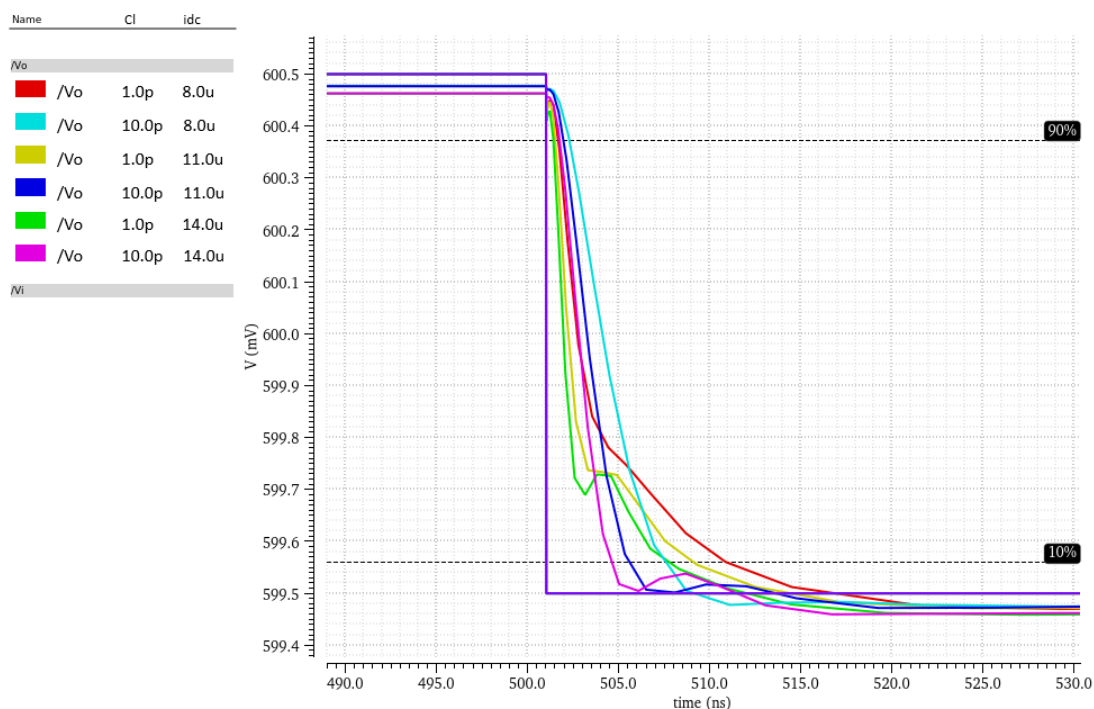
Rysunek 4.36: Moc pobrana w symulacji post-layout.

4.3.5 Symulacja czasowa

Na wejście podano mały impuls chcąc zaobserwować jednobiegunową odpowiedź na skok jednostkowy (Rysunki 4.37, 4.38).



Rysunek 4.37: Czas narastania impulsu w symulacji post-layout.

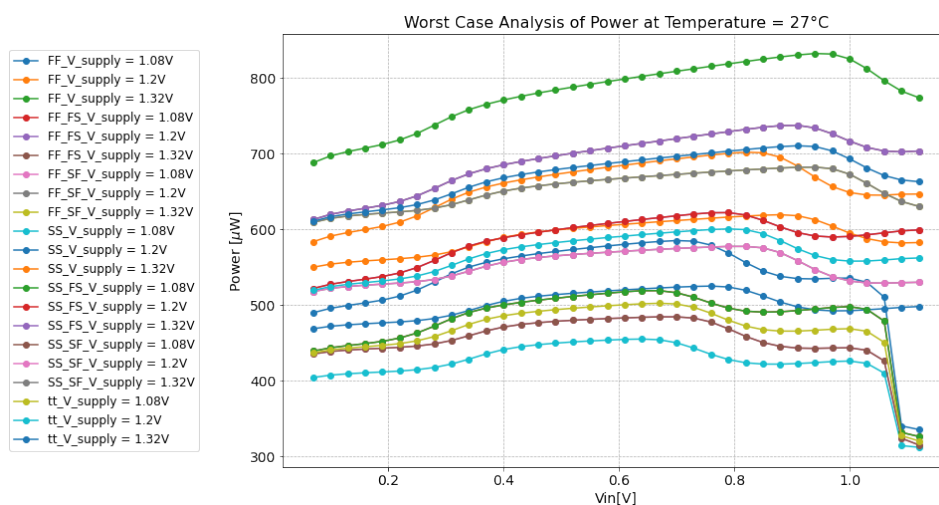


Rysunek 4.38: Czas opadania impulsu w symulacji post-layout.

Podobnie jak wcześniej, w pracy z małymi pojemnościami obciążenia uwidacznia się wpływ dodatkowych biegunów funkcji przenoszenia, które generują dodatkowy 'garb' w odpowiedzi czasowej. W przypadku większych pojemności widać charakterystykę eksponencjalną.

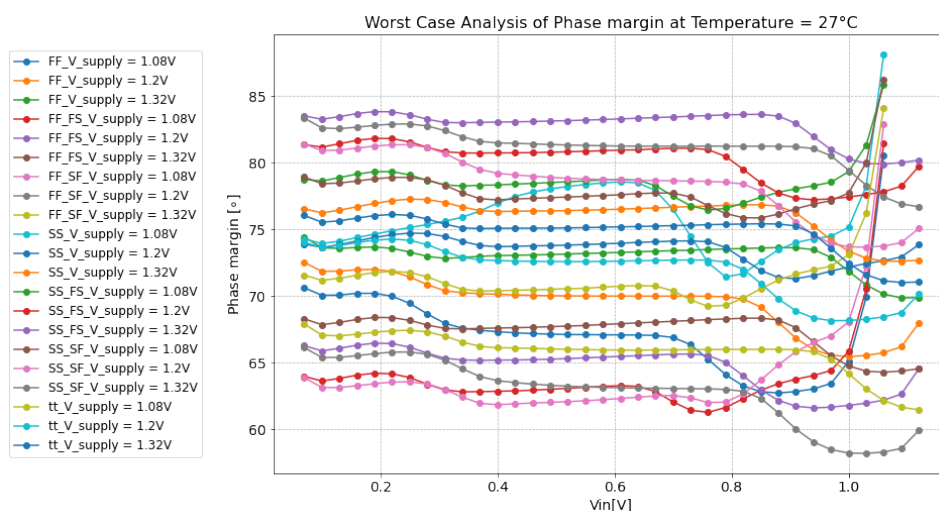
4.3.6 Analiza Worst-case post-layout

Symulacje najgorszego przypadku nie wykazały znacznych różnic w porównaniu do rezultatów otrzymanych w symulacji schematu. Podobnie jak wcześniej, moc pobrana przez układ utrzymuje się w granicy $P \in \{400\mu W; 900\mu W\}$ w całym zakresie zmienności temperatury i napięcia zasilania (Rysunek 4.39 oraz Appendix).



Rysunek 4.39: Moc pobrana jako wynik symulacji Worst case post-layout w temperaturze pokojowej $T = 27^{\circ}\text{C}$.

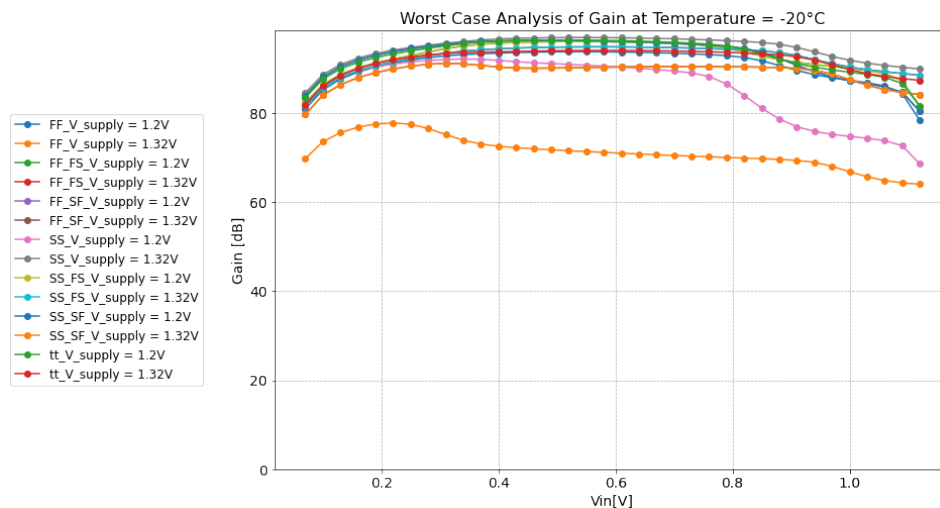
W przypadku marginesu fazy tylko nieliczne z wysymulowanych przypadków znajdują się poniżej granicy $\phi = 70^{\circ}$, a efekt ten można zredukować, zwiększając wartość pojemności kompensacyjnej w obwodzie wzmacniacza (Rysunek 4.40 oraz Appendix).



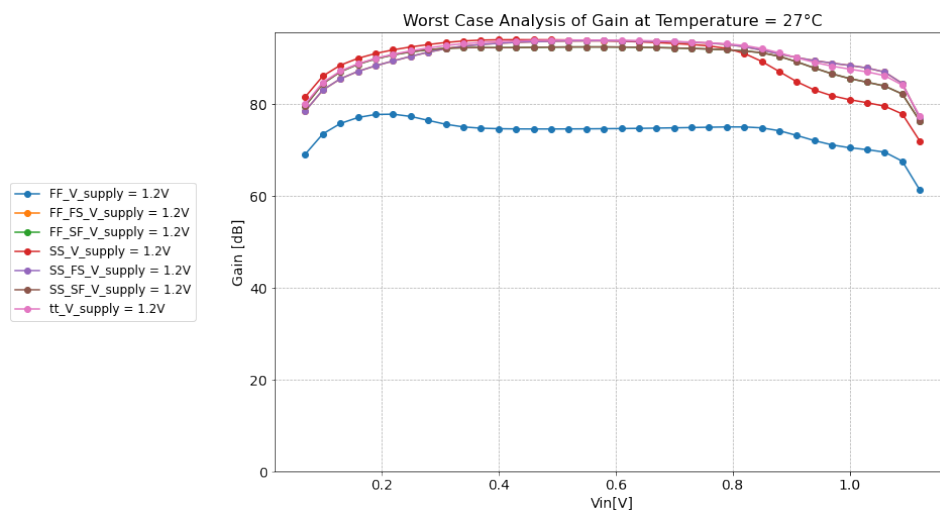
Rysunek 4.40: Margines fazy jako wynik symulacji Worst case post-layout w temperaturze pokojowej $T = 27^{\circ}\text{C}$.

Wzmocnienie natomiast zmienia się istotnie wraz z temperaturą. Podobnie jednak jak wyniki symulacji Worst case schematu, na symulacjach post-layout widać również, że efekt ten można zniwelować poprzez zmiany napięć zasilania modułu. W niskiej temperaturze wzmacniacz dobrze pracuje z zasilaniem zwiększonym o 10% swojej typowej wartości ($V_{dd} = 1.32\text{V}$) (Rysunek 4.41). W warunkach normalnych najbardziej korzystny jest dobór wartości zalecanej ($V_{dd} = 1.2\text{V}$) (Rysunek 4.42),

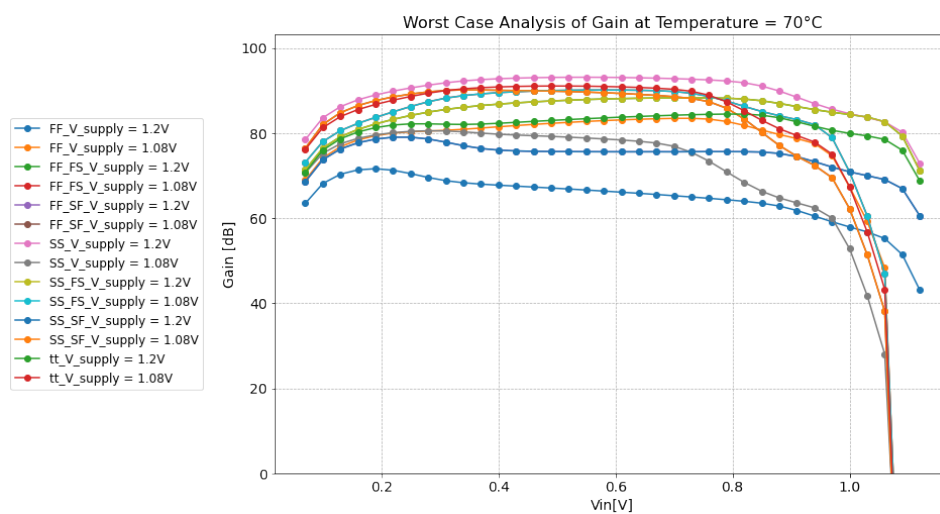
a w przypadku wysokich temperatur (Rysunek 4.43) i obserwacji znacznego pogorszenia parametrów pracy wzmacniacza można zdecydować się na obniżenie wartości napięcia zasilania ($V_{dd} = 1.08V$) co oczywiście wiąże się z ograniczeniem zmienności napięcia wyjściowego, ale w większej części skrajnych przypadków zachowuje wzmocnienie powyżej wartości $A_v = 80dB$.



Rysunek 4.41: Wzmocnienie jako wynik symulacji Worst case post-layout w temperaturze $T = -20^{\circ}C$. Wynik przedstawia możliwość aplikacji wyższego napięcia zasilania celem polepszenia charakterystyki wzmocnienia w skrajnych przypadkach.



Rysunek 4.42: Wzmocnienie jako wynik symulacji Worst case post-layout w temperaturze $T = 27^{\circ}C$. Najlepsze wyniki uzyskano z $V_{dd} = 1.2V$; dla przejrzystości pominięto wyniki uzyskane dla innych V_{dd} .



Rysunek 4.43: Wzmocnienie jako wynik symulacji Worst case post-layout w temperaturze $T = 70^{\circ}\text{C}$. Wynik przedstawia możliwość aplikacji niższego napięcia zasilania celem polepszenia charakterystyki wzmocnienia w skrajnych przypadkach.

Podsumowanie

Praca dyplomowa przedstawia kompletny projekt wzmacniacza rail-to-rail input-output bazujący na pogłębionych studiach materiałów dostępnych w literaturze naukowej. Udało się sporządzić projekt dostosowany do wybranej technologii (CMOS130nm), w którym wszystkie elementy układu pracują w założony sposób - tranzystory pozostają w aktywnym punkcie pracy przez cały zakres działania wzmacniacza rail-to-rail, a sam wzmacniacz pracuje zgodnie z wymaganiami.

Dużą zaletą niniejszej pracy jest wybór tematu, który nie posiada zbyt wielu odpowiedników w projektowanych i publikowanych obecnie układach wzmacniaczy. Dlatego też, oprócz samego projektu, w pracy zebrano i przedstawiono szczegóły związane z trzema najpopularniejszymi technikami projektowania par wejściowych wzmacniaczy rail-to-rail: komplementarna para wejściowa, dodatkowa para różnicowa ('dummy input pair') oraz para różnicowa, w której sterowanie bazuje na wykorzystaniu efektu podłoża. Jest to jedna z niewielu prac, która stara się zebrać i podsumować informacje dotyczące projektowania wzmacniaczy rail-to-rail w jednym miejscu. Wiele z zebranych materiałów dotyczy starszych technologii, w których reguły projektowe nie są tak sztywne, jak w technologiach wybranych do produkcji detektorów w układach fizyki cząstek, co pokazuje, że niniejsza praca może stanowić interesujący wkład w rozwój tego typu wzmacniaczy.

Wykonane zostały obliczenia teoretyczne na specjalnie dobranym uproszczonym modelu, który stanowił wstęp do projektu końcowego wzmacniacza rail-to-rail. Analitycznie wyliczono małosygnałowe, niskoczęstotliwościowe wzmocnienie układu i przedstawiono uproszczoną analizę częstotliwościową. Pokazano, że pomimo uwzględnienia dużej liczby elementów pasożytniczych i dobranych z pozoru niezbyt dużych uproszczeń, zaproponowana metoda nie jest wystarczająca, by wyznaczyć pełną charakterystykę częstotliwościową zaproponowanego układu. Stanowi jednak wiarygodny sposób wyznaczenia bieguna dominującego, co zostało wraz ze wzmocnieniem zweryfikowane w symulacji wykorzystującej zaawansowane modele technologiczne zaproponowane przez producenta.

Końcowy schemat układu, jego layout i wszystkie poświęcone projektowi symulacje pokazane zostały w rozdziale czwartym. Wykazano, że układ działa ze wzmocnieniem powyżej $A_v > 80dB$ w zakresie napięć wejściowych $V_{in} \in (0.07V, 1.12V)$. Margines fazy również pozostaje w otoczeniu wartości $\phi = 70^\circ$, co jest zgodne z oczekiwaniami. Moc wydzielona pozostaje w zakresie akceptowalnych wartości w całym przedziale wartości napięć wejściowych. Pasma układu jest rzędu kiloherców i zale-

ży nieznacznie od napięcia V_{in} . Układ dobrze przenosi obciążenie pojemnościowe w zakresie $Cl \in [1pF, 10pF]$ oraz rezystancyjne dla $Rl \geq 10k\Omega$. Wykonane zostały symulacje Monte Carlo, które potwierdzają, że układ działa poprawnie przy przewidywanym rozrzucie statystycznym parametrów niedopasowania. Symulacje Worst Case pokazały, że układ zachowuje się poprawnie w większości zaproponowanych przez producenta przypadków.

Jako, że projekt ten nie ma jeszcze wyspecyfikowanych precyzyjnych wymagań, można rozważyć próbę dopracowania kluczowych jego parametrów pod kątem praktycznego zastosowania. Można zmodyfikować układ pod kątem szybkości i rozważyć zmianę pojemności kompensującej obwodu na rzecz zwiększonego pasma. Istnieje możliwość ulepszenia jego własności temperaturowych lub też można spróbować zmniejszyć wielkość pobieranej przez niego mocy - jeśli wzmacniacz ten będzie przeznaczony do pracy statycznej (np. przy pracy z przetwornikiem cyfrowo-analogowym DAC). Zmiany te osiągnięte będą jednak stosunkowo niskim nakładem pracy, ponieważ zaproponowany w tej pracy układ wraz z parametrami dobrze odpowiada na wymagania stawiane wzmacniaczom rail-to-rail i ma szansę na znalezienie zastosowania w projektowanych obecnie i w przyszłości układach elektroniki front-end.

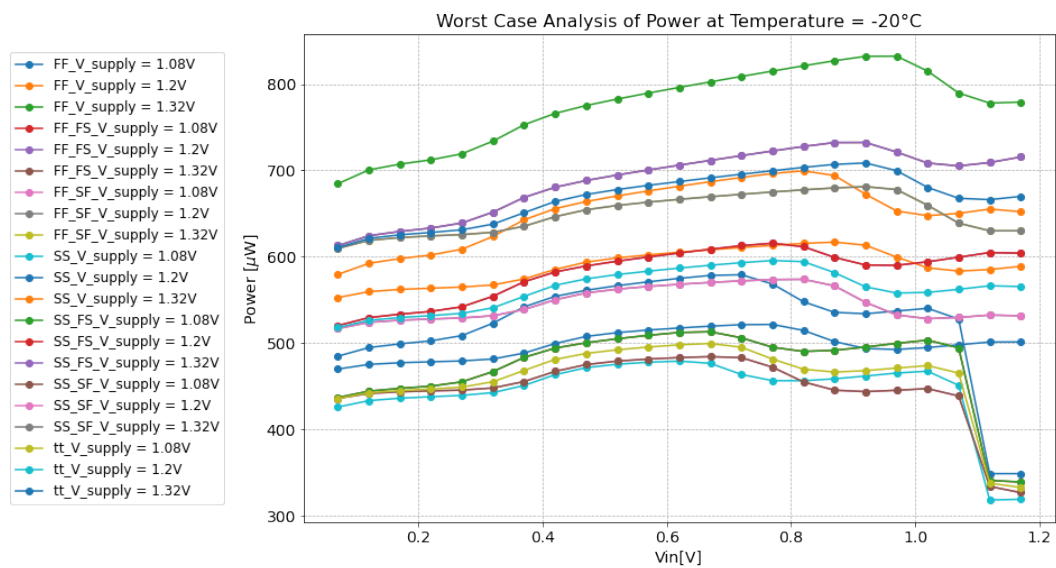
Bibliografia

- [1] Hans-Günther Moser, "Silicon detector systems in high energy physics", Max-Planck-Institut für Physik, Föhringer-Ring 6, D-80805 Munich, Germany - Progress in Particle and Nuclear Physics, DOI: 10.1016/j.pnpnp.2008.12.002,
- [2] Grybos P. "Front-end Electronics for Multichannel Semiconductor Detector Systems; EuCARD Editorial Series on Accelerator Science and Technology, Vol.08" / Institute of Electronic Systems Warsaw University of Technology . - Warsaw: 2010. - 201 p.,
- [3] Gennaro Termo, PhD Thesis: "Reliability of Advanced Nanoscale CMOS Technology for High-Radiation Environments" - CERN THESIS-2024-267, DOI: 10.5075/epfl-thesis-11279,
- [4] Flavio Loddo, "Introduction to Front-End electronics for particle detectors", Istituto Nazionale di Fisica Nucleare – Sez. di Bari (Italy),
- [5] Jeffrey Prinzie, Firman Mangasa Simanjuntak, Paul Leroux, and Themis Prodromakis "Low-power electronic technologies for harsh radiation environments", Nature Electronics, DOI: 10.1038/s41928-021-00562-4,
- [6] Oliver Schrape "Methodology for Standard Cell-based Design and Implementation of Reliable and Robust Hardware Systems", Universität Potsdam, 2023,
- [7] Juan M. Carrillo, Guido Torelli, Raquel Pérez-Aloe, and J.Francisco Duque-Carrillo "1-V Rail-to-Rail Bulk-Driven CMOS OTA With Enhanced Gain and Gain-Bandwidth Product", Proceedings of the 2005 European Conference on Circuit Theory and Design, 2005, DOI: 10.1109/ECCTD.2005.1522960,
- [8] Edgar Sánchez-Sinencio "Bulk Drive Transistors" Department of Electrical Engineering, Texas A&M University,
- [9] Benjamin J. Blalock, Phillip E. Allen, Fellow, IEEE, and Gabriel A. Rincon-Mora "Designing 1-V Op Amps Using Standard Digital CMOS Technology", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: ANALOG AND DIGITAL SIGNAL PROCESSING, VOL. 45, NO. 7, JULY 1998, DOI: 10.1109/82.700924,
- [10] Juan M. Carrillo, Guido Torelli, Senior Member, IEEE, Raquel Pérez-Aloe, and J. Francisco Duque-Carrillo "1-V Rail-to-Rail CMOS OpAmp With Improved Bulk-Driven Input Stage", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 42, NO. 3, MARCH 2007, DOI: 10.1109/JSSC.2006.891717,

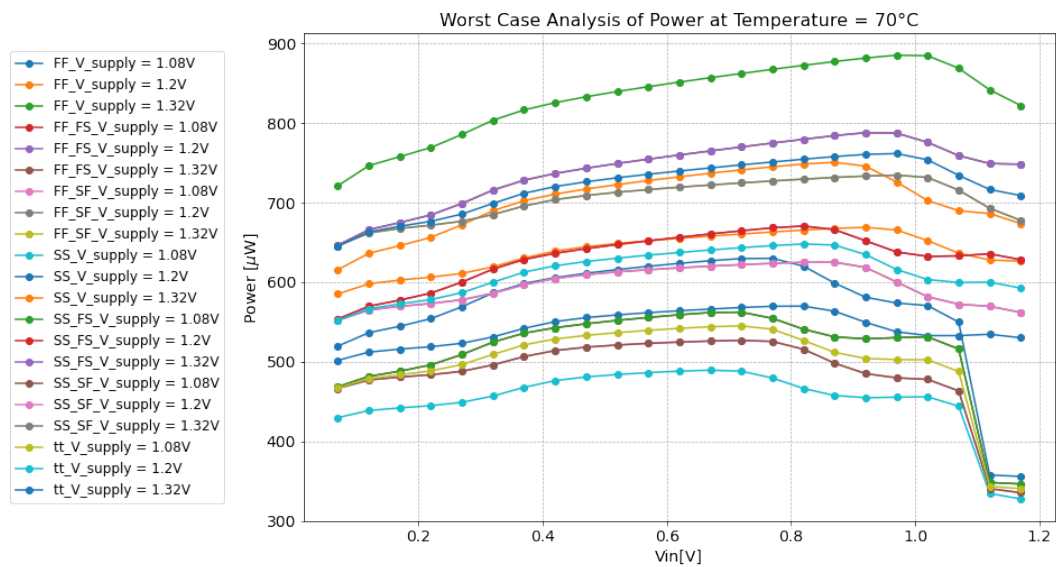
- [11] Rongtai Wang And Ramesh Harjani "Partial Positive Feedback for Gain Enhancement of Low-Power CMOS OTAs",
- [12] Luis Henrique Rodovalho, Cesar Ramos Rodrigues, Orazio Aiello "Rail-to-rail input/output bulk driven class AB operational amplifier with improved composite transistors", Vol.:(0123456789)1 3Analog Integrated Circuits and Signal Processing (2023) 115:279–291, DOI: 10.1007/s10470-023-02160-0,
- [13] Tongyu Song, Student Member, IEEE, Jingyu Hu, Student Member, IEEE, Xiaohong Li, Student Member, IEEE, Edgar Sánchez-Sinencio, Fellow, IEEE, and Shouli Yan, Member, IEEE "A Robust and Scalable Constant-gm Rail-to-Rail CMOS Input Stage With Dynamic Feedback for VLSI Cell Libraries", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS, VOL. 55, NO. 3, APRIL 2008, DOI: 10.1109/TCSI.2008.916414,
- [14] Vivek Kumar, Kamal K. Kashyap, Dept. of School of VLSI Design and Embedded System, National Institute of Technology, Kurukshetra "A Simple Low Power OT A Based Circuitry for Constant-gm Rail-to-Rail Operation", 2014 International Conference on Signal Propagation and Computer Technology (IC-SPCT 2014), DOI: 10.1109/ICSPCT.2014.6885004,
- [15] R. Hogervorst, R. J. Wiegerink, P. A. L. de Jong, L. Fonderie, R. E. Wassenaar, and J. H. Huijsing, "CMOS low-voltage operational amplifier with constant-gm rail-to-rail input stage," 1992 IEEE International Symposium on Circuits and Systems (ISCAS), DOI: 10.1109/ISCAS.1992.230650,
- [16] RICCARDO DELLA SALA , FRANCESCO CENTURELLI , (Senior Member, IEEE), PIETRO MONSURRÒ , GIUSEPPE SCOTTI , (Senior Member, IEEE), AND ALESSANDRO TRIFILETTI "A 0.3V Rail-to-Rail Three-Stage OTA With High DC Gain and Improved Robustness to PVT Variations", IEEE Access (Volume: 11), DOI: 10.1109/ACCESS.2023.3248303,
- [17] Yan Lu, Ruo He Yao; Institute of Microelectronics, South China University of Technology, Guangzhou 510640, China "Low-voltage constant-gm rail-to-rail CMOS operational amplifier input stage", Solid-State Electronics 52 (2008) 957–961, DOI: 10.1016/j.sse.2008.02.002,
- [18] Xiao Zhao, Huajun Fang and Jun Xu, Institute of Microelectronics, Tsinghua University "A Low Power Constant-Gm Rail-to-Rail Operational Transconductance Amplifier by Recycling Current", 2011 IEEE International Conference of Electron Devices and Solid-State Circuits, DOI: 10.1109/EDSSC.2011.6117572,
- [19] Manas Kumar Hati, Tarun K. Bhattacharyya "Design of a low power, high speed complementary input folded regulated cascode OTA for a parallel pipeline ADC", 2011 IEEE Computer Society Annual Symposium on VLSI, DOI: 10.1109/ISVLSI.2011.9,
- [20] Derek L. Knee and Charles E. Moore "General-Purpose 3V CMOS Operational Amplifier with a New Constant-Transconductance Input Stage", August 1997 Hewlett-Packard Journal,

- [21] Guo-Ding Dai, Peng Huang, Ling Yang, Bo Wang, Institute of Electronic CAD, Xidian University, Xi'an Shaanxi 710071, China "A Constant Gm CMOS Op-Amp with Rail-to-Rail input/output stage", 2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology, DOI: 10.1109/IC-SICT.2010.5667830,
- [22] Hong-Yi Huang, Bo-Ruei Wang and Jen-Chieh Liu, Department of Electric Engineering, Fu-Jen Catholic University, Taiwan "High-Gain and High-Bandwidth Rail-to-Rail Operational Amplifier with Slew Rate Boost Circuit", 2006 IEEE International Symposium on Circuits and Systems (ISCAS), DOI: 10.1109/ISCAS.2006.1692733,
- [23] Behzad Razavi "Design of Analog CMOS Integrated Circuits; Second Edition", ISBN 978-0-07-252493-2,
- [24] Bult, K., Geelen, G.J.G.M. (1993). The CMOS Gain-Boosting Technique. In: Huijsing, J.H., van der Plassche, R.J., Sansen, W. (eds) Analog Circuit Design. Springer, Boston, MA. DOI: 10.1007/978-1-4757-2233-8_5,
- [25] Phillip E. Allen, Douglas R. Holberg "CMOS Analog Circuit Design; Third edition", ISBN 978-0-19-976507-2,
- [26] Behzad Razavi "Fundamentals of Microelectronics; Second Edition" ISBN-10:1118156323,
- [27] Ron Hogervorst, John P. Tero, Ruud G. H. Eschauzier, and Johan H. Huijsing "A Compact Power-Efficient 3 V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries", IEEE JOURNAL OF SOLID-STATE CIRCUITS. VOL. 29. NO 1?. DECEMBER 1994, DOI: 10.1109/4.340424

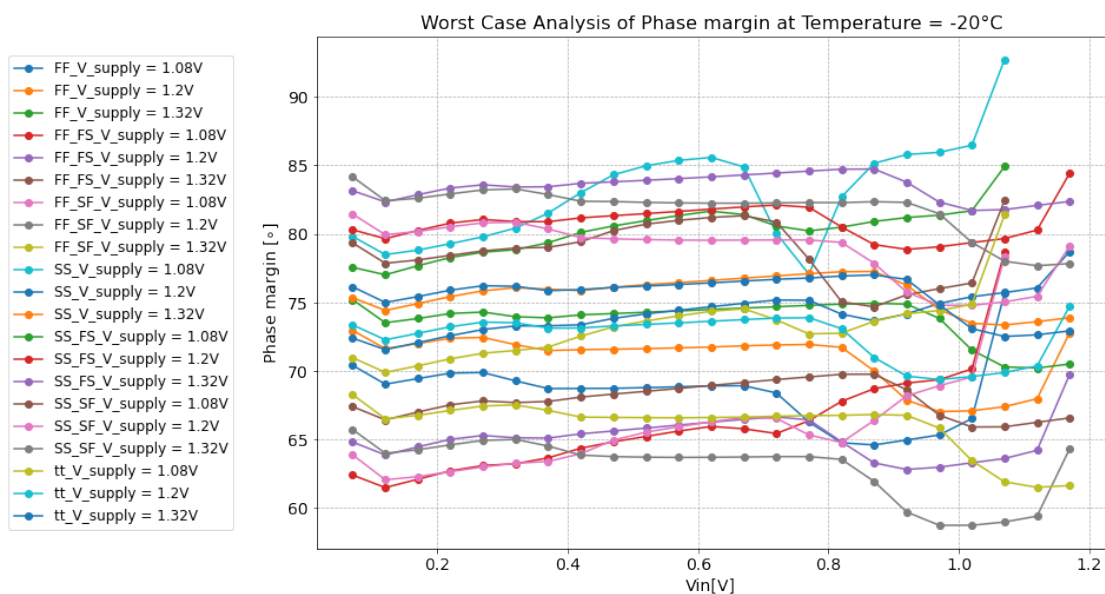
Dodatek



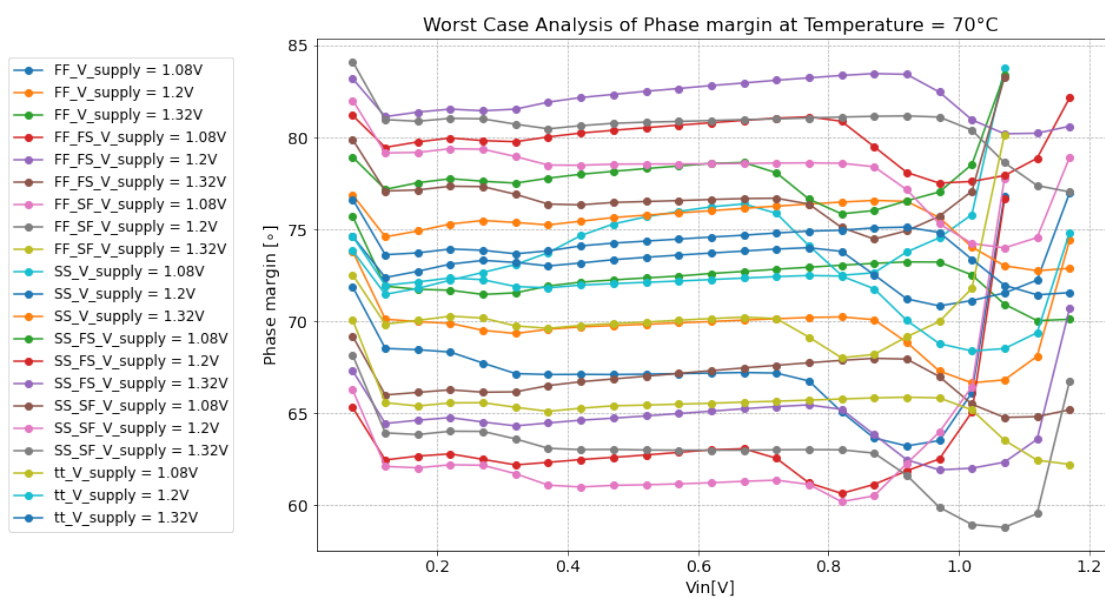
Rysunek 4.44: Worst-case symulacja schematu: moc pobrana w $T = -20^{\circ}\text{C}$.



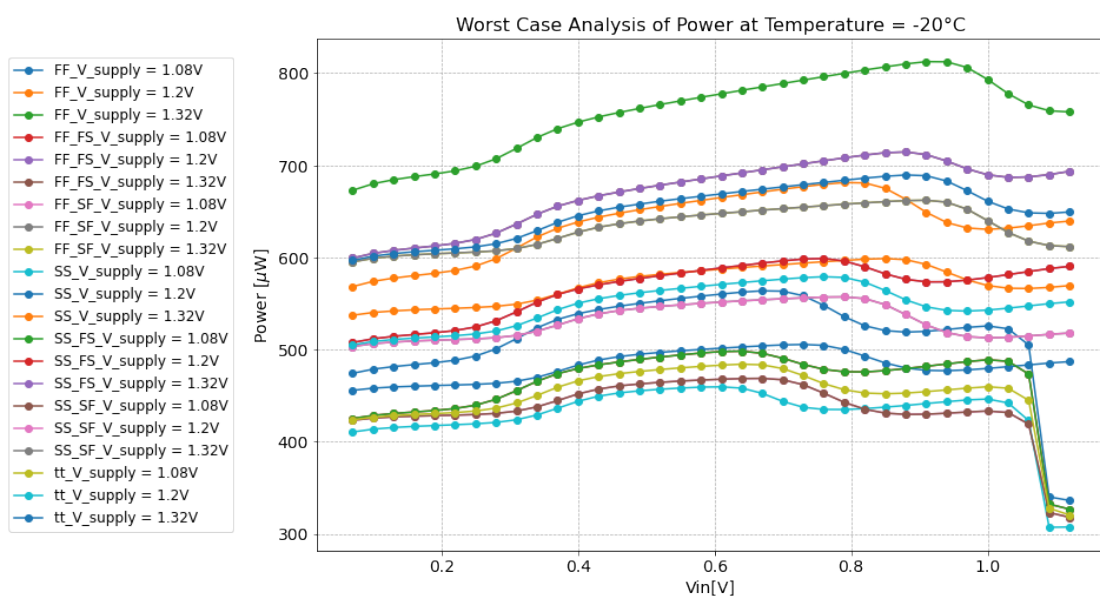
Rysunek 4.45: Worst-case symulacja schematu: moc pobrana w $T = 70^{\circ}\text{C}$.



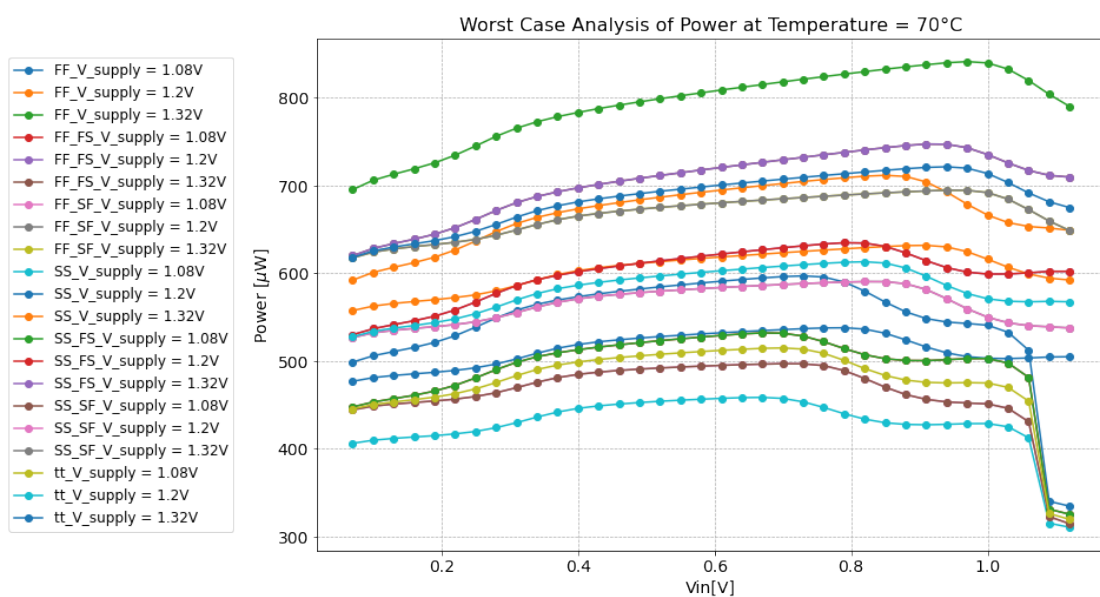
Rysunek 4.46: Worst-case symulacja schematu: margines fazy w $T = -20^{\circ}\text{C}$.



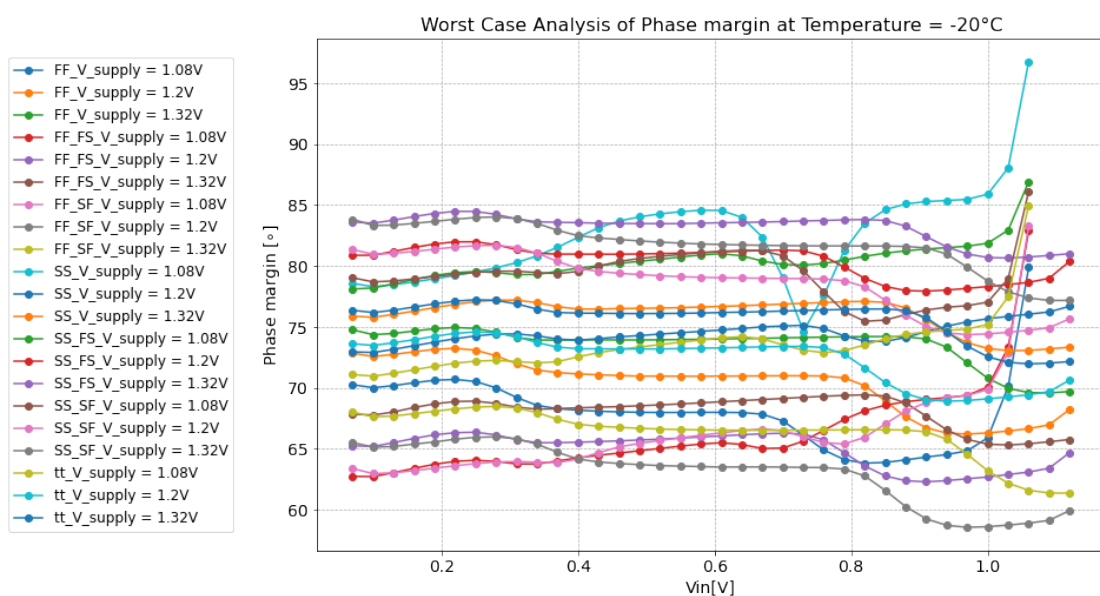
Rysunek 4.47: Worst-case symulacja schematu: margines fazy w $T = 70^{\circ}\text{C}$.



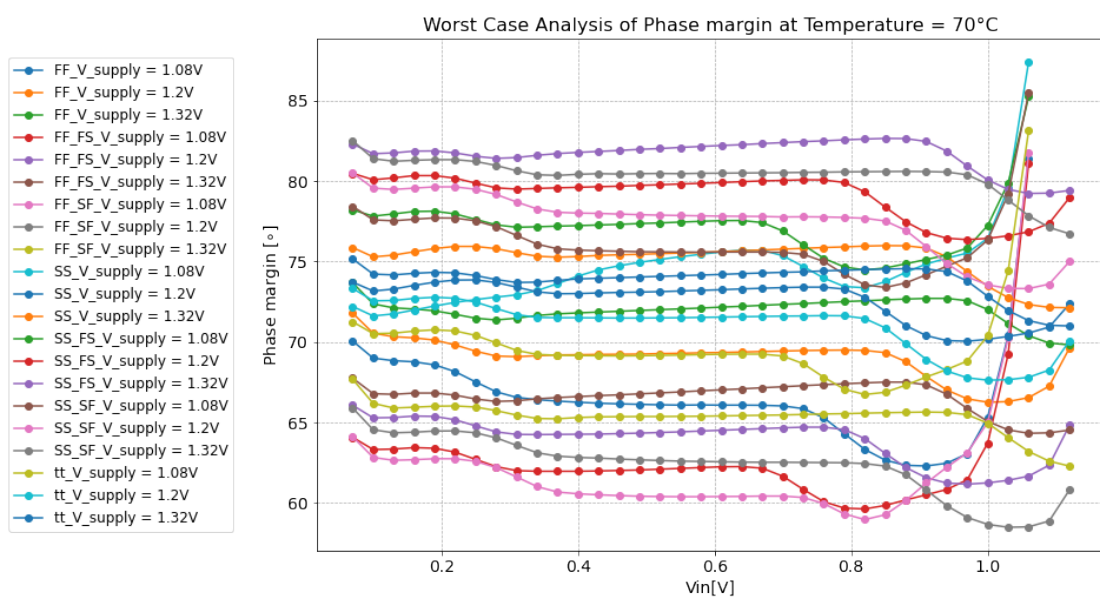
Rysunek 4.48: Worst-case symulacja post-layout: moc pobrana w $T = -20^{\circ}\text{C}$.



Rysunek 4.49: Worst-case symulacja post-layout: moc pobrana w $T = 70^{\circ}\text{C}$.



Rysunek 4.50: Worst-case symulacja post-layout: margines fazy w $T = -20^{\circ}\text{C}$.



Rysunek 4.51: Worst-case symulacja post-layout: margines fazy w $T = 70^{\circ}\text{C}$.